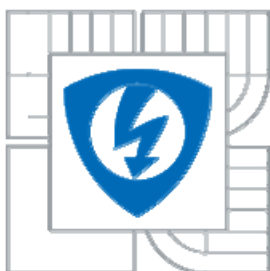




VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

OSCILOSKOP A LOGICKÝ ANALYZÁTOR S MIKROPROCESOREM

OSCILLOSCOPE AND LOGIC ANALYZER WITH MICROPROCESSOR

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

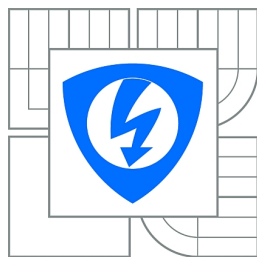
AUTOR PRÁCE
AUTHOR

JIŘÍ PEŠL

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. PAVEL ŠTEFFAN, Ph.D.

BRNO 2011



**VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky
a komunikačních technologií**

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Jiří Pešl

ID: 72981

Ročník: 3

Akademický rok: 2010/2011

NÁZEV TÉMATU:

Osciloskop a logický analyzátor s mikroprocesorem

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte jednoduchý osciloskop a logický analyzátor, který umožní měření periodických signálů v běžně používaných rozsazích. Osciloskop bude připojen k osobnímu počítači pomocí sběrnice USB. Provedte návrh měřicí části a simulace vstupních obvodů. Zaměřte se na jednoduchost návrhu.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 7.2.2011

Termín odevzdání: 2.6.2011

Vedoucí práce: Ing. Pavel Šteffan, Ph.D.

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt:

Obsahem této bakalářské práce je návrh elektronického měřicího a diagnostického zařízení k počítači nebo jinému modernímu přenosnému zařízení jako jsou moderní mobilní telefony a PDA. Navržený elektronický systém bude měřit průběhy spojitých periodických signálů v čase v běžně používaných rozsazích a diskrétních logických signálů. Signály budou následně rekonstruovány a zobrazovány na obrazovce jiného zařízení s nímž bude navržené zařízení komunikovat prostřednictvím USB 2.0 nebo Bluetooth rozhraní.

Klíčová slova:

analogové zpracování signálu, Microchip PIC32MX mikrokontrolér, osciloskop, logický analyzátor, vzorkování, kvantování, aliasing, operační zesilovač, diferenční proudový zpětnovazební zesilovač, diferenční zesilovač s proměnným zesílením, sumační integrátor, A/D převodník, lineární regulátor napětí, nábojová pumpa, SPI sběrnice, USB 2.0, Bluetooth.

Abstract:

The content of this bachelor thesis is design of electronic measurement and diagnostic device to a computer or any other portable device as are modern mobile phones and PDAs. Designed system will be measure analog periodical signals in time in currently used ranges and discrete logic signals. Signals will be restored and displayed on the screen of any other device. Wherewith designed device will be communicate through USB 2.0 or Bluetooth interface.

Key words:

Analog signal processing, Microchip PIC32MX microcontroller, oscilloscope, logic analyzer, sampling, quantization, aliasing, operational amplifier, differential current feedback amplifier, differential variable gain amplifier, summing integrator, A/D converter , linear voltage regulator, charge pump, SPI interface, USB 2.0, Bluetooth.

Bibliografická citace práce:

PEŠL, J. *Osciloskop a logický analyzátor s mikroprocesorem*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 53 s. Vedoucí bakalářské práce Ing. Pavel Šteffan, Ph.D..

Prohlášení

Prohlašuji, že svoji bakalářskou práci na téma **Osciloskop a logický analyzátor s mikroprocesorem** jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 1. června 2011

.....

podpis autora

Poděkování:

Děkuji vedoucímu bakalářské práce Ing. Pavlu Šteffanovi, Ph.D. za pedagogickou a odbornou pomoc a další cenné rady hlavně při zpracování formy bakalářské práce.

Dále také Ing. Šárce Nové za korekci pravopisných chyb v textu bakalářské práce.

V Brně dne 1. června 2011

.....

podpis autora

OBSAH:

OBSAH:	8
Seznam obrázků:	10
Úvod:	12
1 Teoretický rozbor	13
1.1 Osciloskop:	13
1.2 Princip Analogově digitálního převodu signálu	14
1.2.1 Aliasing:	15
1.2.2 Kvantování:	15
1.3 Impedanční přizpůsobení osciloskopu	17
1.4 Logický analyzátor:	18
1.5 USB 2.0	19
1.6 SPI	21
2 Konstrukce	23
2.1 Blokového schéma navrhovaného zařízení	23
2.2 Analogové vstupní obvody osciloskopu	24
2.2.1 Vstupní diferenční převodník s vazební kapacitou	25
2.2.2 Zesilovač s proměnným zesílením	26
2.2.3 Předzesilovač A/D převodníku	27
2.2.4 Rozbočení stejnosměrné složky	28
2.2.5 A/D převodník	29
2.3 Kalibrace osciloskopu	29
2.4 Zapojení logického analyzátoru	30
2.5 Oscilátor pro kompenzaci napěťové sondy	30
2.6 Mikrokontrolér	31
2.7 Připojení signálů k mikrokontroléru	33
2.7.1 Paralelní sběrnice	33
2.7.2 Sériové sběrnice	36
2.7.3 Ostatní signály	37
2.8 Zapojení zdrojové části	38
2.9 Deska plošných spojů	40
2.9.1 Návrhová pravidla desky plošných spojů	40
2.9.2 Výsledná topologie plošných spojů	41

2.9.3	Výroba prototypové desky plošných spojů	42
3	Kalibrační měření na prototypu.....	44
3.1	Měření stejnosměrných napětí regulátorů a děličů napětí:.....	44
3.2	Měření doby odeznění přechodových dějů při spínání části obvodu:	44
3.3	Měření parametrů zapojení vstupních operačních zesilovačů:	45
3.4	Měření invertujícího sumačního integrátoru:	47
3.5	Použité referenční přístroje při kalibračním měření:.....	49
3.6	Výpočet kvantizačních koeficientů:	49
4	Závěr:	51
	Bibliografické citace:	52

Seznam obrázků:

Obr.1.	Stolní analogový osciloskop [1]	13
Obr.2.	Digitální osciloskop k PC [1]	13
Obr.3.	Analogového signálu s detailem[5].....	14
Obr.4.	Vzorkování spojitého signálu[5]	14
Obr.5.	Příklad kvantování signálu[5]	16
Obr.6.	Rekonstrukce vzorkovaného signálu[5]	16
Obr.7.	Schéma zapojení pasivní kompenzační sondy[3].....	18
Obr.8.	Stolní logický analyzátor [1]	19
Obr.9.	USB logický analyzátor k PC[1].....	19
Obr.10.	Uspořádání obvodů SPI[9]	21
Obr.11.	Blokové schéma celého zařízení	23
Obr.12.	Blokové schéma diferenčního kanálu harmonických složek signálu.....	24
Obr.13.	Schéma zapojení vstupního diferenčního zesilovače	25
Obr.14.	Schéma zapojení jednotkového sledovače	28
Obr.15.	Schéma zapojení invertujícího sumačního integrátoru:	29
Obr.16.	Schéma komparátoru logického analyzátoru	30
Obr.17.	Schéma zapojení oscilátoru	31
Obr.18.	Ilustrační obrázek mikrokontroléru[2]	32
Obr.19.	Zapojení a komunikační protokol paralelní sběrnice zesílení	33
Obr.20.	Zapojení paralelních sběrnic A/D převodníku	34
Obr.21.	Časování A/D převodníku[10]	35
Obr.22.	Zapojení paralelní sběrnice logického analyzátoru	35
Obr.23.	Zapojení SPI sběrnice.....	36
Obr.24.	Zapojení sběrnice pro ovládání D/A převodníku	36
Obr.25.	Komunikační protokol DAC sběrnice[7]	36
Obr.26.	Zapojení USB sběrnice.....	37
Obr.27.	Blokové schéma zapojení zdrojové části	39
Obr.28.	Náhled navržené desky v CAD softwaru	41
Obr.29.	Vrchní strana vyrobené desky plošných spojů.....	43
Obr.30.	Osazené zařízení po korekci chyb ve schématu	43
Obr.31.	Měření doby odeznění přechodových dějů na úrovni napětí 3,3V_OSC_ANALOG	44

Obr.32.	Průběh napětí na vstupu A/D převodníku při vstupním signálu 4 V _{p-p}	45
Obr.33.	Frekvenční charakteristika vstupního diferenčního kanálu.....	46
Obr.34.	Odezva na jednotkový skok s měřením času vrcholu překmitu.....	46
Obr.35.	Naměřená frekvenční charakteristika Integrátoru	47
Obr.36.	Přenosová charakteristika integrátoru kanál A.....	48
Obr.37.	Přenosová charakteristika integrátoru kanál B.....	49

Úvod:

Měření průběhů napětí v čase je základem odladování veškerých návrhů elektronických zařízení. Ve svém volném čase se zabývám jak návrhem různých aplikací s osmibitovými mikrokontroléry tak výrobou výkonových koncových zesilovačů a reproduktorů k elektrickým hudebním nástrojům pro své přátele, bohužel za absence osciloskopu ve své domácí dílně nemohu odladit několik projektů a na trhu nabízené osciloskopy jsou pro mě finančně nedostupné. Proto se konstrukce jednoduchého osciloskopu a logického analyzátoru s mikroprocesorem v rámci bakalářské práce jevila jako zajímavé téma, nejen kvůli nabytím dalších zkušeností z oblasti návrhu elektronických zařízení během řešení bakalářské práce ale také pro další využití navrženého zařízení při řešení dalších projektů

1 Teoretický rozbor

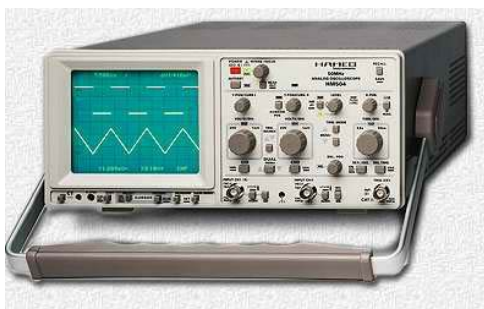
1.1 Osciloskop:

Osciloskop je základní vybavení každé elektrotechnické laboratoře. Je to přístroj konstruovaný pro měření signálů v čase nebo vzájemné závislosti dvou signálů reprezentovaných funkcí napětí v čase. Vývoj osciloskopu prošel několika stadii od čistě elektronkového přístroje, přes kombinaci elektronek a polovodičových prvků až ke dnešním digitálním osciloskopům. [1]

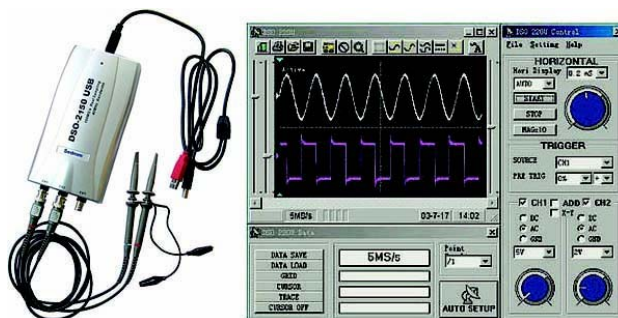
Dnes známé konstrukce lze rozdělit do dvou skupin:

Analogové osciloskopy – u těchto konstrukcí jde o zesilování napětí, které je poté přivedeno do horizontálně uloženého kondenzoru obrazovky v němž vychyluje elektronový svazek v ose Y přičemž vychýlení v ose X určuje periodická lineární funkce přivedená na kondenzor který je uložen vertikálně. Tento elektronový svazek poté vykreslí toto vychýlení jako funkci v čase na stínítku přístroje.

Digitální osciloskopy – pracují na principu vzorkování analogovými integrovanými obvody předzpracovaného signálu, což oproti analogovým přístrojům přináší výhody ale i nevýhody které tvoří především jevy spojené právě se vzorkováním jako je například aliasing. Navzorkovaný signál se zpracovává číslicovými filtry a zobrazuje se na LCD obrazovce či na počítači pomocí grafické aplikace. V rámci této aplikace je možné naprogramovat také dopočítávání různých veličin, jako jsou frekvence, perioda, amplituda, efektivní a střední hodnota napětí, délka nástupné a sestupné hrany nebo je možné převést vzorkovaný signál do spektrální oblasti pomocí rychlé Fourierovy transformace.



Obr.1. Stolní analogový osciloskop [1]



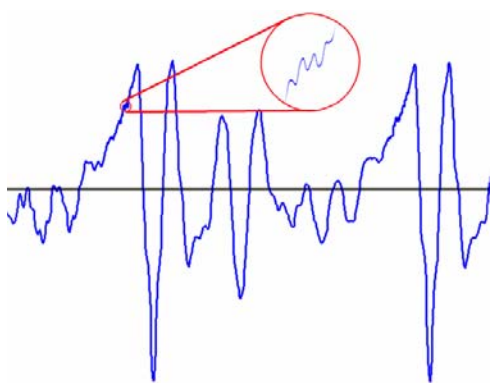
Obr.2. Digitální osciloskop k PC [1]

1.2 Princip Analogově digitálního převodu signálu

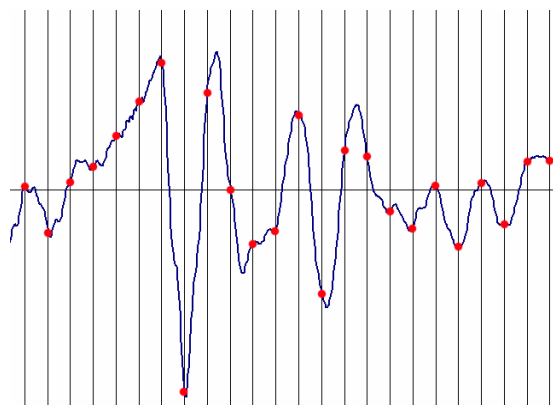
Analogově digitální převodník (zkratky A/D, v angličtině i ADC) je elektronická součástka určená pro převod spojitého (neboli analogového) signálu na signál diskretní (digitální). Důvodem tohoto převodu je umožnění zpracování původně analogového signálu na číslicových počítačích. Mezi nimi v současnosti převažují digitální signální procesory DSP, které jsou právě na zpracování takových signálů specializované. V digitální podobě se také dají signály daleko kvalitněji zaznamenávat a přenášet. Opačný převod z digitálního signálu na analogový zajišťuje D/A převodník.

Převod spojitého signálu na diskretní se skládá ze dvou fází. Nejprve se provede vzorkování signálu, a potom následuje kvantování. [5]

Úsek spojitého signálu se sice dá nekonečně zvětšovat a pozorovat tak jeho nekonečně malé detaily, ale protože počítače mají pouze konečnou kapacitu paměti a ani nejsou nekonečně rychlé, musíme se u reálného vzorkování při A/D převodu omezit pouze na nezbytně nutné množství vzorků, které budeme dále zpracovávat. Na Obr.3 je cca 15 ms zvukového signálu odpovídajícího malému úseku zvuku hlásky „Á“. Vzorkování se provede tím způsobem, že rozdělíme vodorovnou osu signálu (v našem příkladu je na této ose čas) na rovnoměrné úseky a z každého úseku odebereme jeden vzorek (na Obr.4 jsou tyto vzorky znázorněny červenými kolečky). Je přitom zřejmé, že tak z původního signálu ztratíme mnoho detailů, protože namísto spojitě čáry, kterou lze nekonečně zvětšovat dostáváme pouze množinu diskretních bodů s intervalem odpovídajícím použité vzorkovací frekvenci.[5]



Obr.3. Analogového signálu s detailem[5]



Obr.4. Vzorkování spojitého signálu[5]

1.2.1 Aliasing:

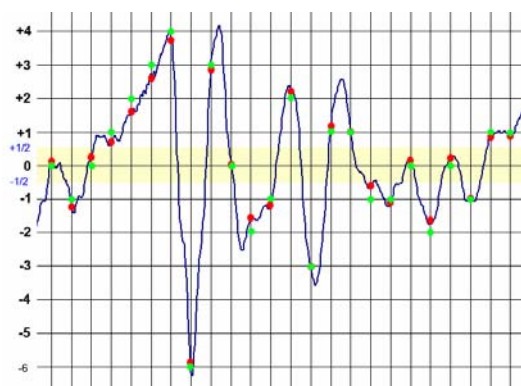
Chyba vzorkování může ovšem být ještě daleko horší. Pokud se totiž v původním spojitém signálu vyskytuje frekvence vyšší než je polovina vzorkovací frekvence (nazývaná též Nyquistova frekvence), dojde, jak praví Shannonův teorém, k úplnému a nenávratnému zkreslení signálu díky jevu nazývanému se aliasing. Aliasingu se dá zabránit jedinečně takzvaným antialiasing filtrem, což je dolní propust zařazená před převodníkem. Ta nedovolí frekvencím vyšším než je Nyquistova frekvence vstoupit do převodníku.

Například u záznamu hudby na CD je použita vzorkovací frekvence 44,1 kHz, takže na CD mohou být zachyceny frekvence zhruba do 22 kHz. Vzhledem k tomu, že rozsah frekvencí slyšitelný lidským uchem se uvádí jako 20 Hz - 16 kHz, je tak na CD možno zaznamenat slyšitelné spektrum v celé šíři. [5]

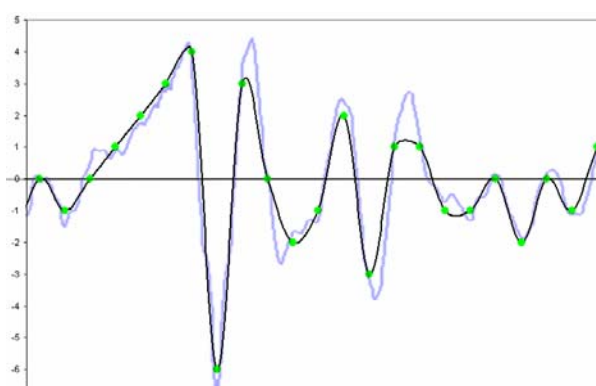
1.2.2 Kvantování:

Vzhledem k tomu, že počítače a další zařízení dále zpracovávající digitální signál umí vyjádřit čísla pouze s omezenou přesností, je potřeba navzorkované hodnoty upravit i na svislé ose. Protože se hodnota vzorku dá vyjádřit pouze po určitých kvantech, nazýváme tuto fázi A/D převodu kvantování. [5]

Na Obr.5 může veličina na svislé ose například nabývat pouze celočíselných hodnot. Aby bylo možné určit, které hodnoty má po kvantování nabývat určitý vzorek, je třeba rozdělit prostor kolem jednotlivých hodnot na toleranční pásy (jeden takový pás je naznačen kolem hodnoty 0). Kterémukoliv vzorku, který padne do daného tolerančního pásu, je při kvantování přiřazena daná hodnota. Kvantované hodnoty jsou na obrázku naznačeny zelenými kolečky. Jak je vidět, kvantované hodnoty se ve většině případů liší od skutečných navzorkovaných hodnot. Velikost kvantizační chyby je vzdálenost mezi kvantovanými a původními navzorkovanými body, na obrázku 5 ji vyjadřují délky pomyslných úseček mezi červenými a zelenými kolečky. Velikost této chyby se pohybuje v intervalu $+1/2$ až $-1/2$ kvantizační úrovně. [5]



Obr.5. Příklad kvantování signálu[5]



Obr.6. Rekonstrukce vzorkovaného signálu[5]

Počet kvantizačních úrovní:

Protože se digitální signál zpravidla zpracovává na zařízeních pracujících ve dvojkové číselné soustavě, bývají počty kvantizačních úrovní A/D převodníků zpravidla rovny N -té mocnině čísla 2, přičemž kvantovaný signál pak lze vyjádřit v N bitech. [5]

Kvantizační šum:

Pokud bychom vynesli velikosti chyb od jednotlivých vzorků do grafu, získali bychom náhodný signál, kterému se říká kvantizační šum. Velikost šumu je zvykem vyjadřovat jako poměrné číslo v decibelech, a sice jako poměr užitečného signálu k šumu. Protože číslo ve jmenovateli zlomku (tzv. kvantizační chyba) je u všech lineárních převodníků stejné (interval $+1/2$ až $-1/2$ kvantizační úrovně), závisí velikost kvantizačního šumu jen na čitateli zlomku, tedy na velikosti užitečného signálu, což je maximální počet kvantizačních úrovní daného převodníku. [5]

$$SNR_{A/D} = 20 \cdot \log 2^N \approx 6,02 \cdot N \text{ [dB]} \quad (1.1)$$

Například u 16 bitového kvantování použitého u záznamu hudby na CD je odstup signálu od šumu $16 \cdot 6,02 = 96,32 \text{ dB}$

Díky diskretizaci původního spojitého signálu ve dvou osách nemůže ve většině případů signál zpětně převedený z digitální podoby do analogové přesně odpovídat původnímu signálu. Černá čára na Obr.6 znázorňuje zpětným D/A převodem zrekonstruovaný analogový signál, zatímco modrá čára je původní analogový signál, ze kterého byl A/D převodníkem získán signál digitální (zelená kolečka na Obr.6). [5]

1.3 Impedanční přizpůsobení osciloskopu

Napětí v reálném obvodu se změní, je-li k němu připojena vnější impedance. Velikost této změny závisí na poměru zatěžovací impedance a ekvivalentní impedance zdroje. Ekvivalentní vstupní impedance analogových číslicových osciloskopů je ve velké většině tvořena paralelní kombinací vstupního odporu $R_i = 1 \text{ M}\Omega$ a kapacity $C_i = 15 - 50 \text{ pF}$. Osciloskopy bývají k měřenému obvodu připojeny koaxiálním kabelem, který má kapacitu $C_k = 100 \text{ pF / m}$. Součet kapacit osciloskopu a kabelu může způsobit změnu pracovních podmínek měřeného obvodu a snížit mezní kmitočet osciloskopu. Vliv kapacity přívodního kabelu lze minimalizovat připojením osciloskopu k měřenému objektu do míst s malou impedancí. [3]

Pokud impedančního přizpůsobení nelze dosáhnout, snažíme se zvětšit vstupní impedanci osciloskopu a současně zajistit stínění přívodů. K tomuto účelu slouží kompenzační napěťové sondy. Sonda je zakončena kovovým hrotem, kterým je přiveden měřený signál. Plášť sondy je obvykle spojen se signálovou zemí. [3]

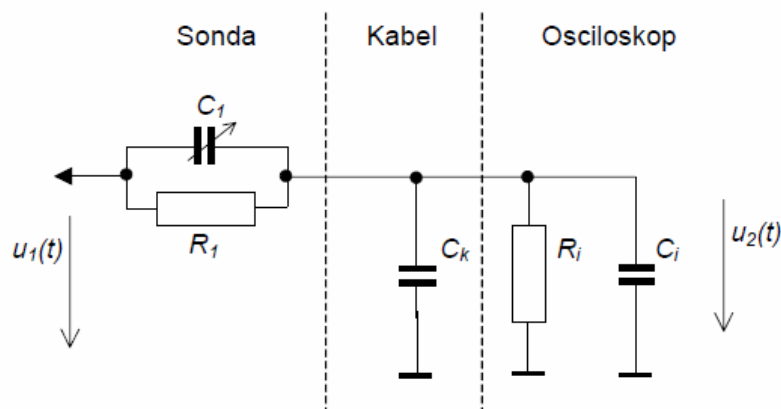
Pasivní napěťové sondy – obsahují kmitočtově kompenzovaný vstupní dělič – paralelní kombinaci rezistoru a proměnného kondenzátoru, tvořící část umístěnou v hlavici sondy na začátku stíněného kabelu. Dělicí poměr napětí je dán poměrem odporů:

$$N = \frac{U_2(t)}{U_1(t)} = \frac{R_i}{R_1 + R_i} \quad (1.2)$$

a je nezávislý na kmitočtu je-li splněna podmínka:

$$R_1 \cdot C_1 = R_i \cdot (C_i + C_k) \quad (1.3)$$

kde je: R_1odpor v sondě	[Ω]
C_1proměnný kondenzátor v sondě	[F]
R_i vstupní odpor osciloskopu	[Ω]
C_i vstupní kapacita osciloskopu	[F]
C_k vstupní odpor osciloskopu	[F]



Obr.7. Schéma zapojení pasivní kompenzační sondy[3]

Pasivní sondy musí být správně vykompenzovány aby nezpůsobily zkreslení měřeného průběhu. Správná velikost C_1 závisí na kapacitě vstupu osciloskopu a na kapacitě kabelu, lze ji většinou nastavit šroubovákem. Kalibrace sondy se provádí pro obdélníkový signál při současném sledování průběhu. Pokud je sonda správně kompenzována, má signál dokonale pravoúhlý tvar. Pasivní sondy jsou dodávány k osciloskopům jako příslušenství mají většinou vstupní odpor v řadách 1 M Ω , 10 M Ω , 100 M Ω což odpovídá dělení signálu 1:2, 1:10, 1:100.[3]

Aktivní napěťové sondy - jsou tvořeny zapojením operačních zesilovačů s požadovaným zesílením a výstupní impedancí přizpůsobenou koaxiálnímu kabelu a vstupní impedanci osciloskopu. Vstupní impedance u těchto sond bývá většinou daná vstupním odporem 1 M Ω a kapacitou 1-2 pF. Nevýhodou těchto sond je nutnost zvláštního napájení sondy.

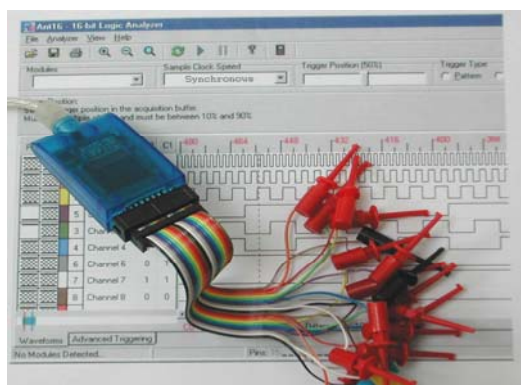
1.4 Logický analyzátor:

Logický analyzátor je zařízení určené k zobrazení logických signálů v digitálních obvodech. Z hlediska principu je logický analyzátor podobný digitálnímu osciloskopu jen s tím rozdílem že je zde vynechána operace kvantování a signál je zobrazován jen ve dvou úrovních „LO“ tzv. logické nuly a „HI“ tzv. logické jedničky. Toto má za následek možnost přenést a zobrazit mnohem více signálů než osciloskop.

Logické analyzátoři se připojují ke sledovanému zařízení obvykle pomocí mnoha jednotlivých vodičů. Pro sledování sběrnice je možné k logickému analyzátoru připojit modul, který usnadní propojení sběrnice k logickému analyzátoru.[1]



Obr.8. Stolní logický analyzátor [1]



Obr.9. USB logický analyzátor k PC[1]

1.5 USB 2.0

USB 2.0 je univerzální sériová sběrnice. Moderní způsob připojení periférií k počítači. Nahrazuje dříve používané způsoby připojení (sériový a paralelní port, PS/2, Gameport apod.) pro běžné druhy periférií - tiskárny, myši, klávesnice, joysticky, fotoaparáty, modemy atd., ale i pro přenos dat z videokamer, čteček paměťových karet, MP3 přehrávačů, externích disků a externích vypalovacích mechanik.

USB je sběrnice jen s jedním zařízením typu Master, tj. všechny aktivity vycházejí z PC. Data se vysílají

- v krátkých paketech o 8 bajtech
- delších paketech o délce až 256 bajtů.

a přijímají

- PC může požadovat data od zařízení.
- naopak žádné zařízení nemůže vysílat data samo od sebe.

Veškerý přenos dat se uskutečňuje v tzv. rámcích (frame), které trvají přesně 1 milisekundu. Uvnitř jednoho rámce mohou být postupně zpracovávány pakety pro několik zařízení. Přitom se mohou spolu vyskytovat pomalé (low-speed) i rychlé (full-speed) pakety. Obrací-li se PC

na více zařízení, zajišťuje jejich rozdělení jako rozdělovač sběrnice (hub). Zabraňuje také, aby signály s plnou rychlostí (full-speed) byly vedeny na pomalá zařízení. Pomalá zařízení pracují s přenosovou rychlostí 1,5 Mb/s. Rychlé přenosy pracují s rychlostí 12 Mb/s. Časový průběh přenosu informace je předepisován výhradně zařízením typu master. Zařízení typu slave se musí synchronizovat s datovým tokem.

Používá se k tomu metoda NRZI (Non Return to Zero Inverted). Nuly v datech vedou ke změně úrovně, jedničky nechávají úroveň beze změny. Kódování a dekódování signálů je čistě hardwarovou záležitostí. Přijímač musí být schopen získat signál, přijmout a dekódovat data. Speciální prostředky zajišťují, aby nedocházelo ke ztrátě synchronizace.

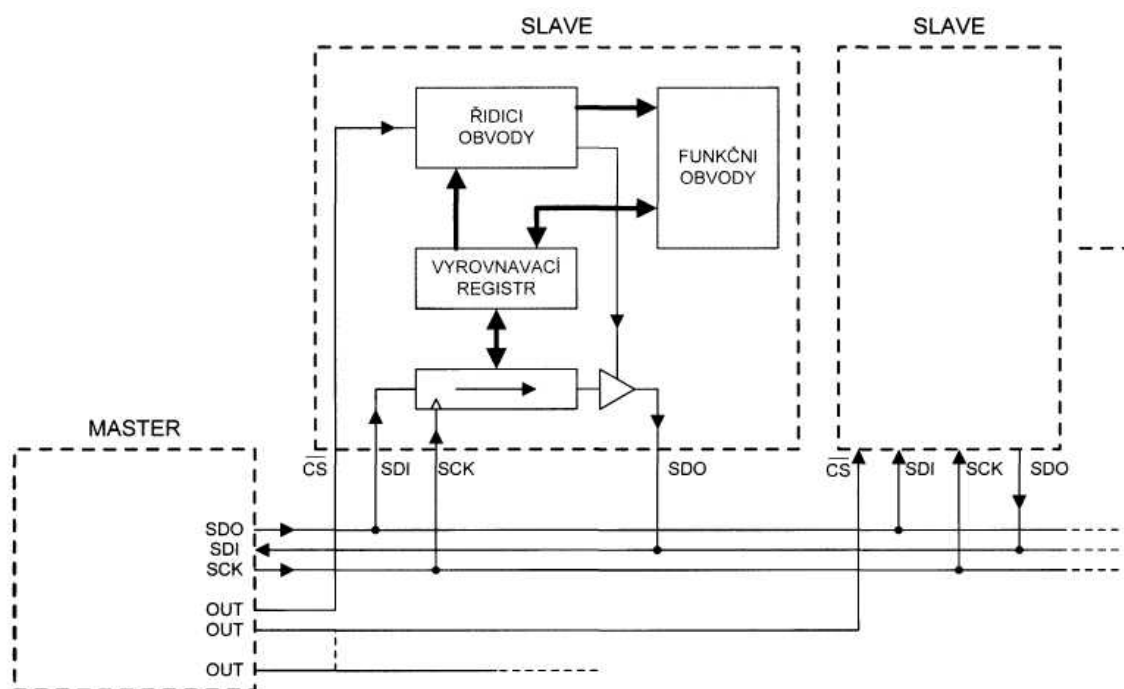
Obsahuje-li původní datový tok šest po sobě jdoucích jedniček, přidá vysílač automaticky jednu nulu (vkládání bitů – bit-stuffing), aby se tím vynutila změna úrovně. Přijímač tuto nulu z datového toku opět odstraní. Každý datový paket má za účelem synchronizace speciální zaváděcí bajt (00000001b). Přijímač v důsledku kódování NRZI a vsouvání bitů vidí osm střídajících se bitových stavů, podle kterých se může zařízení synchronizovat. Během následujícího přenosu musí synchronizace zůstat zachována. Všechny tyto procesy se odehrávají pouze v odpovídajících hardwarových modulech. Přijímač a vysílač jsou realizovány vždy společně v jednom modulu.

Zařízení USB obsahuje jednotku zvanou SIE (Serial Interface Engine), která přebírá vlastní práci. K výměně dat mezi SIE a zbytkem zařízení slouží buffery FIFO. FIFO (First In First Out) to jsou paměti, které mohou postupně přijímat a vydávat data podobně jako posuvné registry. Připojený mikrořadič tedy potřebuje jen přečíst data z FIFO a jiná data do FIFO zapsat. Všechno ostatní vyřídí SIE. Ve většině případů je SIE součástí mikrořadiče USB. Zařízení USB má obecně několik pamětí FIFO, jejichž prostřednictvím je možno přenášet data.

Tak například myš, která je připojena přes USB, má vždy endpoint 0 a endpoint 1. Endpoint 0 se používá při inicializaci. Vlastní uživatelská data se z mikrořadiče v určitých časových odstupech zapisují do endpointu 1 a odtud si je vybírá PC. USB software tvoří tzv. trubice (pipes) k jednotlivým endpointům (koncovým adresám). Jedna pipe je logický kanál k jednomu endpointu v jednom zařízení. Pipe si můžeme představit jako datový kanál tvořený jediným vodičem. Ve skutečnosti však jsou data v pipe přenášena jako datové pakety v milisekundových rámcích a hardwarem rozdělována na reálné paměti podle jejich koncové (endpoint) adresy. Jedno zařízení může současně používat několik trubic (pipes), takže přenosová rychlost celkově vzroste.[6]

1.6 SPI

Sériová periférie SPI (angl. Serial Peripheral Interface) je velmi jednoduchá a obsahuje ji převážná většina mikrokontrolérů. Využívá se pro spojení s blízkými obvody na jednom plošném spoji. Typicky se jedná o sériové paměti EEPROM, převodníky, různé senzory, hodiny reálného času, apod. Jednoduchost obvodů vyplývá z jednoduché synchronizace, kdy hodinové impulzy jsou generovány hlavním uzlem (zařízení master) a jsou rozváděny ke všem podřízeným uzlům (zařízení slave).[9]



Obr.10. Uspořádání obvodů SPI[9]

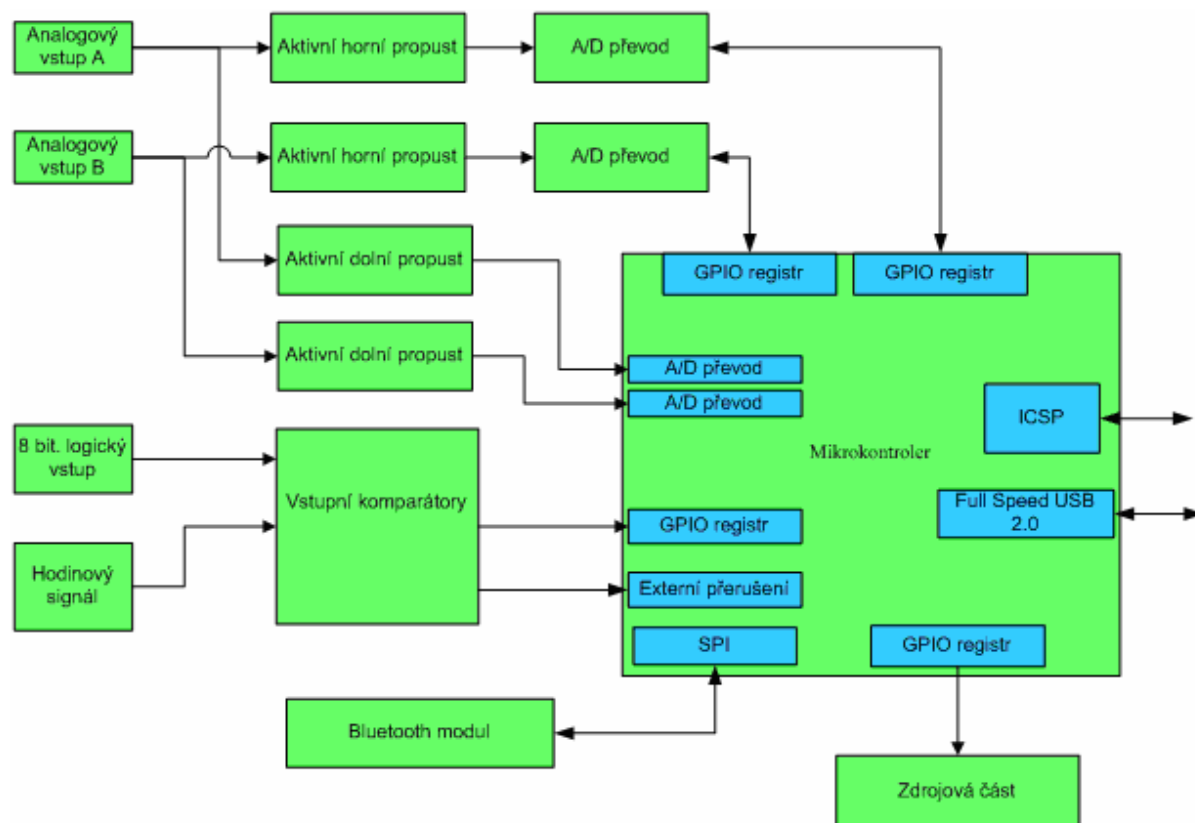
Po třech společných vodičích se rozvádějí: synchronizační impulzy SCK, sériová výstupní data SDO a sériová vstupní data SDI. Označení vývodů u zařízení master a slave je vzájemně obrácené - co je SDI u zařízení master, je SDO u zařízení slave, a co je SDO u zařízení master, je SDI u zařízení slave. Zapojení vnitřních obvodů je shodné u všech uzlů, u zařízení master je navíc generátor synchronizačních impulzů. Před vlastním sériovým přenosem se nejprve vybere patřičné zařízení slave. Výběr se děje výběrovými signály, generovanými zařízením master, a vedenými po výběrových vodičích ke každému podřízenému zařízení zvlášť. Ke generaci výběrových signálů se využívají jednotlivé bity některé paralelní brány, programově ovládané. Tím odpadá nutnost přenášet v sériovém kódu adresu podřízeného zařízení a přenos se zkrátí. Okamžikem zápisu do registru vysílače začne přenos. Přenáší se osmice bitů s MSB napřed. Nejprve se od zařízení master přenáší příkaz pro vybrané zařízení

slave. Řídící obvody zařízení slave příkaz dekodují a pak provedou patřičnou akci s funkčními obvody (to je např. převodník, paměť, apod.). Jako druhé (případně i třetí) slovo se od zařízení master přenáší adresa pro práci s vnitřními funkčními obvody (např. pro paměť) - adresa může chybět, pokud funkční obvody žádnou nepotřebují (např. jednobanálový převodník). Naposled se přenášejí data ve směru, který vyplývá z předchozího příkazu. Jedná-li se o zápis, přenesou se data z master do slave, jedná-li se o čtení, přenesou se data ze zařízení slave do zařízení master - i v tomto případě však hodinový signál SCK generuje zařízení master. Obvody pro SPI jsou běžné a vyrábí je řada výrobců. Pro SPI není předepsán způsob řízení jednotlivých obvodů ani časování signálů - je nutné respektovat vlastnosti jednotlivých obvodů. Kmitočet synchronizačních signálů se proto pohybuje od set kHz do několika MHz, rovněž průběh impulzů je různý. Detaily komunikace s jednotlivými vnějšími obvody jsou proto závislé na jejich skladbě. Na straně mastera (mikrokontroléru) to znamená programové nastavení kmitočtu i průběhu synchronizačních impulzů, obecně pro každý obvod jinak.[9]

2 Konstrukce

2.1 Blokového schéma navrhovaného zařízení

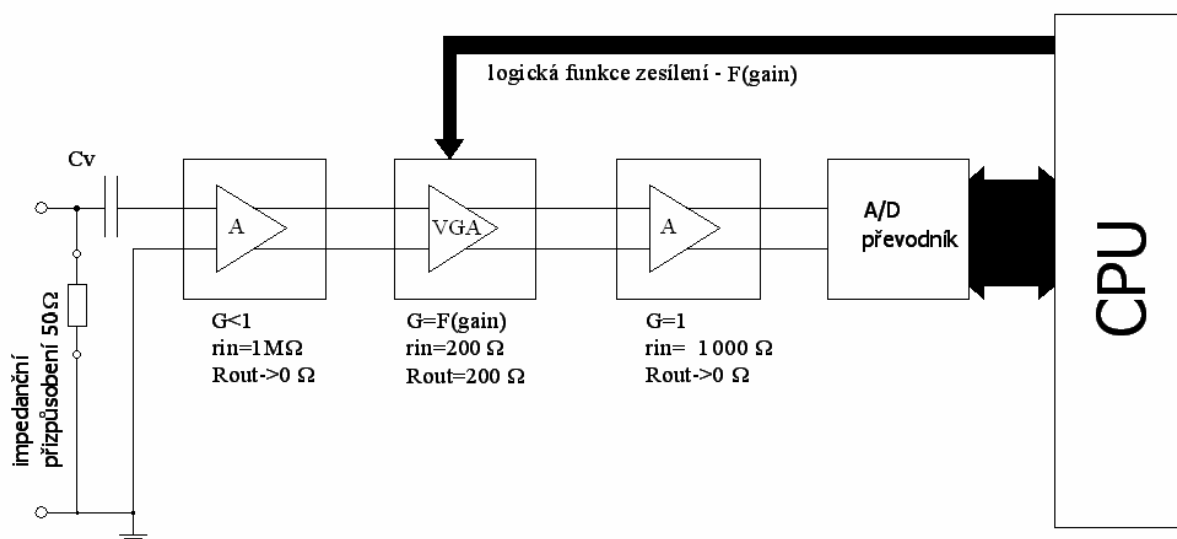
Navržené zařízení by mělo funkci osciloskopu utvářet pomocí bloků operačních zesilovačů, které zajistí potřebné zesílení a oddělení stejnosměrné a harmonických složek, které budou poté zvláště vzorkovány pomocí analogově digitálních převodníků, externích v případě vzorkování harmonických signálů a v případě měření stejnosměrné složky bude použit A/D převodník integrovaný na čipu mikrokontroléru. Další blok ve schématu zastává funkci logického analyzátoru, který bude tvořen devíti komparátory a jedním digitálně analogovým převodníkem jehož výstupní napětí bude reprezentovat hranici logické informace „1“ a „0“ low, aby bylo možno použít zařízení na diagnostiku obvodů realizovaných technologiemi TTL , CMOS i LVDS. Funkci sběru informací a odesílání informací přes rozhraní USB 2.0 nebo Bluetooth do počítače či přenosného zařízení zajistí 32 bitový mikrokontrolér. Na počítači se pak signál bude rekonstruovat do obrazové podoby pomocí aplikace napsané v C.++ nebo v JAWA. Na následujícím obrázku je navržené blokové schéma celého zařízení.



Obr.11. Blokové schéma celého zařízení

2.2 Analogové vstupní obvody osciloskopu

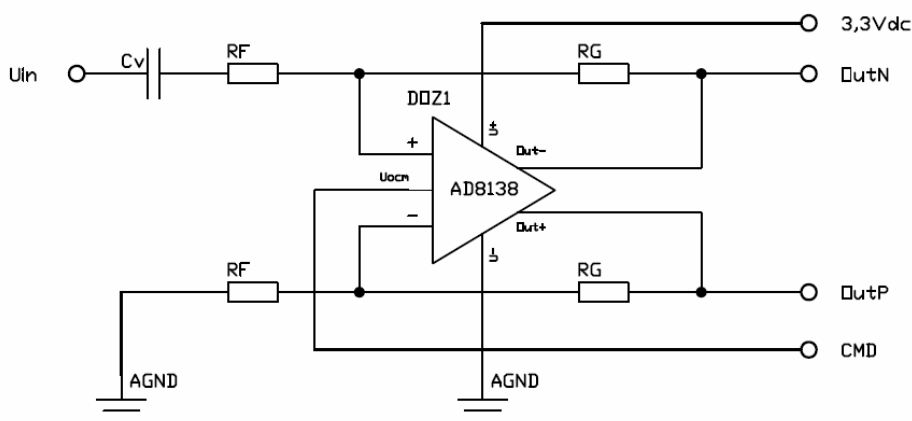
Pro realizaci analogového kanálu byly vybrány diferenční zesilovače, jelikož při jejich použití odpadá nutnost symetrického napájení nebo řešení ofsetu vstupního signálu. Další výhodou diferenčního signálu je v použití diferenčního analogově digitálního převodníku který má volitelný formát výstupních dat s digitálním ofsetem nebo dvojkovým doplňkem. Celkový měřitelný rozsah analogového signálu přivedeného na vstup osciloskopu je zeslaben rychlým diferenčním zesilovačem s proudovou zpětnou vazbou na rozsah 2V_{p-p} mezi diferenční výstupy zesilovače. Tento zeslabený diferenční signál je poté zesilován diferenčním zesilovačem s digitálně řízeným zesílením který určí finální zesílení A/D převodníkem vzorkovaného signálu. Jelikož rychlé převodníky mají malý vstupní odpor je potřeba impedančně oddělit zesilovač s digitálně řízeným zesílením od A/D převodníku diferenčním zesilovačem se zesílením 1 vstupní impedancí rovnou R_L a co nejmenším výstupním odporem. Převod analogového signálu osciloskopu je realizován 12bitovým A/D převodníkem s mikrokontrolérem řízenou vzorkovací frekvencí. Pokud bude mnou navržené zařízení v rámci zkoušení a programování připojeno ke generátoru periodických signálů s impedančním přizpůsobením $50\ \Omega$ bude na vstup připojen terminační odpor $50\ \Omega$. Pro pozdější měření s navrženým osciloskopem bude z návrhu terminační odpor odstraněn a zařízení tak nabyde vstupní odpor $1\ M\Omega$, aby měřené signály byly co nejméně ovlivňovány. K zařízení bude poté navržena kompenzační sonda.



Obr.12. Blokové schéma diferenčního kanálu harmonických složek signálu

2.2.1 Vstupní diferenční převodník s vazební kapacitou

Jako vstupní zesilovač střídavého signálu slouží diferenční proudový zpětnovazební zesilovač AD8138 v zapojení s nesymetrickým napájením 3,3V, kdy na jeho střední vstup V_{OCM} je přivedeno napětí z přesného napětového děliče. Jelikož střední vstup má velmi vysoký vstupní odpor v jednotkách megaohmů bude napětový dělič zanedbatelně zatížen. Zesilovač poté udržuje přes zpětnou vazbu nulový rozdíl napětí mezi vstupními terminály a středním terminálem V_{OCM} . Na pozitivní vstup zesilovače je přiveden jednoduchý vstupní signál přes 1 M Ω odpor R_F jež zajišťuje vysoký vstupní odpor a tím i velmi malé ovlivnění měřeného signálu. Vnitřní zapojení poté negativně zesiluje tento signál na negativní výstup na který je připojen odpor R_G , který realizuje negativní zpětnou vazbu a jeho hodnota určuje polovinu celkového zesílení výstupního diferenčního signálu mezi pozitivním a negativním výstupem podle vztahu (2.1). Jelikož by se vlivem dalšího zesílení stejnosměrné složky dostal jednotkový předzesilovač signálu do saturace je nutno tuto složku odfiltrovat vazební kapacitou, která spolu se vstupním rezistorem R_F tvoří derivační článek v proudové zpětné vazbě diferenčního zesilovače. Vazební kapacita musí mít takovou velikost aby časová konstanta derivačního článu dovolila přenos i velmi nízkých kmitočtů.



Obr.13. Schéma zapojení vstupního diferenčního zesilovače

Výpočet vstupního diferenčního zesilovače:

$$R_{in} \approx 1 M\Omega$$

$$U_{out} = 2 V_p - p$$

$$U_{in \max} = \pm 10 V$$

$$U_p - U_{n \max} = \Delta U_{in \max} \cdot A \Rightarrow A = \frac{U_{out}}{U_{in}} = \frac{2}{30} = \frac{1}{15} = 0,1$$

$$A = \frac{R_F}{R_G} \Rightarrow R_F = A \cdot R_G = 0,1 \cdot 1 \cdot 10^6 = 100 k\Omega \quad (2.1)$$

$$R_{in} = \frac{R_G}{1 - \frac{R_F}{2 \cdot (R_G + R_F)}} = \frac{1 \cdot 10^6}{1 - \frac{100 \cdot 10^3}{2 \cdot (1 \cdot 10^6 + 100 \cdot 10^3)}} = 1,048 M\Omega \quad (2.2)$$

2.2.2 Zesilovač s proměnným zesílením

Funkci proměnného zesílení bude zastávat integrovaný obvod AD8369, který má diferenční vstup a diferenční výstup, 16 digitálně nastavitelných úrovní zesílení s krokem po 3dB s nastavitelným počátkem pomocí zatěžovacího rezistoru R_L . Jelikož budu z hlediska zjednodušení programování používat paralelní rozhraní nastavení zesílení je nutné spojit vstup SENB na potenciál 0V poté se vstupy BIT3-BIT0 chovají jako vstup paralelního logického vektoru určujícího zesílení a přivedením sestupné hrany na vstup DENB se toto zesílení nastaví. Zesílení výstupu se poté určí z následujícího vztahu ze zatěžovacího odporu a vstupního čtyřbitového logického vektoru Gain[3] podle vztahu 2.3.

$$R_L = 1020\Omega$$

$$n = 3$$

$$A = 0,6 \cdot \left(\frac{200 R_L}{200 + R_L} \right) \cdot \frac{1}{\sqrt{2^{(15-n)}}} =$$

$$0,6 \cdot \left(\frac{200 \cdot 1020}{200 + 1020} \right) \cdot \frac{1}{\sqrt{2^{(15-3)}}} = 1,5625 \quad (2.3)$$

Tabulka závislosti zesílení na hodnotě logického vektoru:

GAIN(A,B)	n	A	GAIN(A,B)	n	A
0x0	15	0,5524	0x8	7	8,8388
0x1	14	0,7813	0x9	6	12,5000
0x2	13	1,1049	0xA	5	17,6777
0x3	12	1,5625	0xB	4	25,0000
0x4	11	2,2097	0xC	3	35,3553
0x5	10	3,1250	0xD	2	50,0000
0x6	9	4,4194	0xE	1	70,7107
0x7	8	6,2500	0xF	0	100,0000

2.2.3 Předzesilovač A/D převodníku

Jelikož zesilovač s variabilním zesílením má velkou výstupní impedanci musí být od vstupu A/D převodníku oddělen diferenčním zesilovačem s jednotkovým zesílením signálu k čemuž nám poslouží už popsany integrovaný obvod AD8138 tentokrát v plně diferenčním zapojení, kdy všechny odpory v jeho obvodu mají stejnou velikost podle potřebného vstupního odporu, kterým nahradíme R_L předchozího zesilovače, jež určuje hodnotu funkce zesílení zesilovače s proměnným zesílením.

$$U_{in} = 2V_p - p$$

$$U_{out} = 2V_p - p = \pm 1V$$

$$A = 1$$

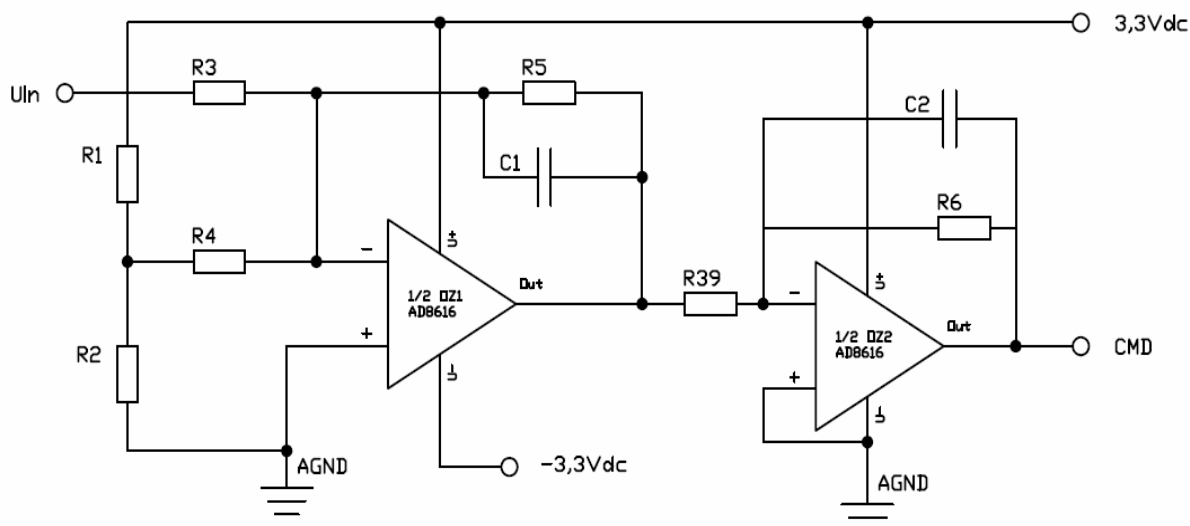
$$R_{in} = 2 \cdot R_G = 2 \cdot 510 = 1020 \Omega$$

$$A = \frac{R_F}{R_G} \Rightarrow R_F = A \cdot R_G = 1 \cdot 510 = 510 \Omega$$

(2.4)



Jelikož by byla zesilovačem s proměnným zesílením zesilována i stejnosměrná složka vstupního signálu, která by při větších zesíleních uváděla následující diferenční zesilovač do saturace bylo nutné do návrhu zakomponovat vazební kapacitor jež má za úkol tuto složku potlačit. K měření stejnosměrného napětí je použito zapojení tzv. invertujícího sumačního integrátoru kdy na jednu větev záporného vstupu připojíme přesně polovinu napájecího napětí z napěťového děliče přes rezistor s hodnotou odporu rovnou rezistoru ve zpětné vazbě čímž na výstupu získáme ofset rovný polovině napájecího napětí. Na druhou větev poté připojíme vstupní signál přes vysoký odpor který zajistí velmi malé ovlivnění signálu. Paralelním kapacitorem ve zpětné vazbě potlačíme všechny harmonické. Vlivem zapojení dojde k invertování signálu proto bude k zapojení přidán invertující zesilovač s jednotkovým zesílením. Takto upravenou stejnosměrnou složku poté převedeme na digitální hodnotu pomocí analogově digitálních převodníků integrovaných na čipu mikrokontroléru . Na toto zapojení je nejvíce vhodný v pouzdře zdvojený precísní operační zesilovač firmy Analog devices AD8616 s velmi malou hodnotou offsetu .



Obr.15. Schéma zapojení invertujícího sumačního integrátoru:

2.2.5 A/D převodník

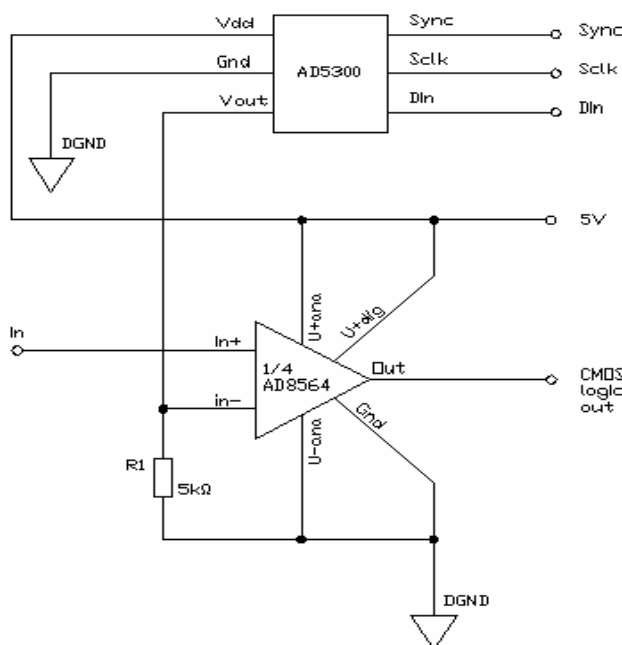
Jelikož jsou vstupní analogové zesilovače navrženy na maximální frekvenci měřeného signálu 20 MHz je podle vzorkovacího teorému pro následnou obrazovou rekonstrukci se sinovou interpolací nutné dodržet dvounásobnou vzorkovací frekvenci než je frekvence vzorkovaného signálu. Analogový signál se převede na diskretní za pomoci diferenciálního analogově digitálního 40 MSps převodníku se spínanými kapacitami od firmy Analog devices AD9235. Tento převodník je vybaven interní referencí napětí, CMOS 3,3V výstupní logikou, separovaným napájením digitální části integrovaného obvodu od analogové obě napěťové úrovně 3,3 V, indikací překročení rozsahu, stabilizátorem hodinového signálu a volitelným formátem výstupních dat. Tento analogově digitální převodník je výrobcem přímo doporučován pro konstrukci levných osciloskopů s maximální vzorkovací frekvencí 40 MSps. Jako antialiasingový filtr vstupního signálu slouží RC články mezi jednotkovým zesilovačem a analogově digitálním převodníkem. Hodnoty odporu $R=22\ \Omega$ a kondenzátoru $C=15\text{pF}$ jsou převzaty z typického zapojení uvedeného v katalogovém listu převodníku[10].

2.3 Kalibrace osciloskopu

Pro konečné určení kvantizačních koeficientů jimiž se bude násobit finální 11 bitové číslo s dvojkovým doplňkem je potřeba změřit referenčním měřidlem přenos diferenčního kanálu při všech používaných zesíleních. Rovněž bude nutné změřit přenos stejnosměrného napětí integrátoru a určit celkový rozsah a kvantizační koeficient jednoho bitu a offset výstupu.

2.4 Zapojení logického analyzátoru

Je jednoduché zapojení napěťového komparátoru AD8564, kdy na pozitivní vstupní terminál je přiveden digitální signál a na negativní vstupní terminál je přivedeno stejnosměrné napětí z D/A převodníku se sériovou komunikací AD5300, které určuje hranici mezi hodnotou HI a LO. V návrhu je také zakomponován vstup hodinového signálu přivedený na vstup ovladače externího přerušení integrovaného na čipu mikrokontroléru.



Obr.16. Schéma komparátoru logického analyzátoru

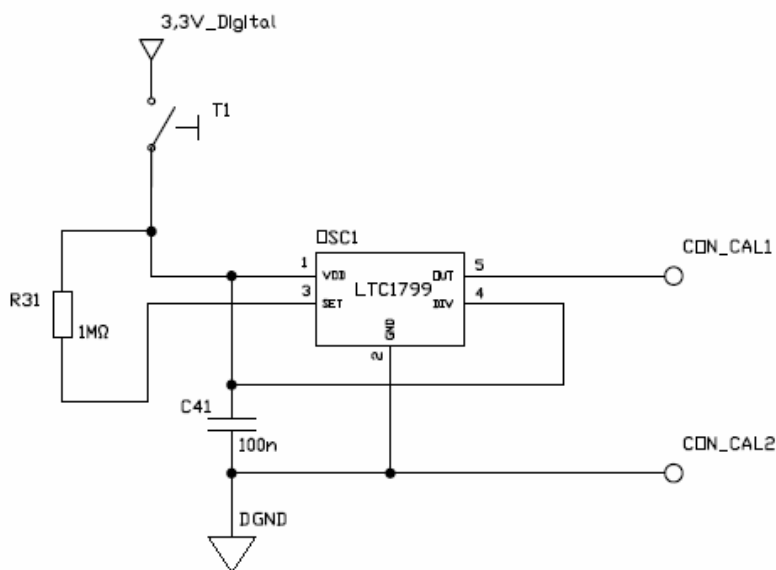
2.5 Oscilátor pro kompenzaci napěťové sondy

Pro kalibraci kompenzační sondy je třeba zanést do návrhu generátor obdélníkového signálu o kmitočtu 1 kHz. Pro tento účel poslouží integrovaný obvod LTC1799. Tento obvod by byl při trvalém sepnutí zdrojem nežádoucího digitálního šumu, proto bude v případě potřeby spínán tlačítkem umístěným na předním panelu nad konektory pro kalibraci.

$$f = 1 \text{ kHz}$$

$$f = 10e6 * \frac{50e3}{R_{set}}$$

$$R_{31} = R_{set} = 10e6 * \frac{10e3}{f} = 10e6 * \frac{10e3}{1e3} = 1 \text{ M}\Omega \quad (2.5)$$



Obr.17. Schéma zapojení oscilátoru

2.6 Mikrokontrolér

Mikrokontroléry z rodiny PIC32MX jsou komplexní systémy-na-čipu které obsahují mnoho integrovaných funkcí. PIC32MX jsou vysoce výkonné RISC mikrokontroléry, které mohou být programovány v 32-bitovém a 16-bitovém módu, nebo ve smíšeném módu. PIC32MX MCU obsahuje vysoce výkonný kontrolér přerušení, DMA kontrolér, USB kontrolér, vysoce výkonné přepínání mezi sběrnicemi pro vysokorychlostní přístupy k datům periferních zařízení na čipu, paměť 64KB RAM integrovanou na čipu.

Klíčové vlastnosti:

Vlastnosti systému

512K Flash (plus 12K boot Flash)

64K RAM

8 kanálový hardwarově řízený DMA kontrolér

Přípravný Flash modul s 256 Bytovou vyrovnávací pamětí

Zamčení instrukcí nebo dat ve vyrovnávací paměti pro rychlý přístup

Programovatelný vektorový kontrolér přerušení

Analogové vlastnosti

16 kanálový 10-bitový Analogově digitální převodník s 1 Msps s relativní chybou převodu +/- 1LSB, pracující i během módů SLEEP a IDLE

Módy řízení výkonu

RUN, IDLE a SLEEP módy

Různě přepínatelné módy hodinového signálu, podporující optimální nastavení výkonu

Programování a ladění programu

8 hardwarových breakpointů (6 instrukcí a 2 data)

2vodičová programovací sběrnice ICSP podporující odlaďování programu v obvodu

JTAG sběrnice podporující programování, ladění programu a náhled do paměti

Ostatní periférie integrované na čipu MCU

Monitor hodinového signálu – zajišťující bezpečné vypnutí při ztrátě externího hodinového signálu

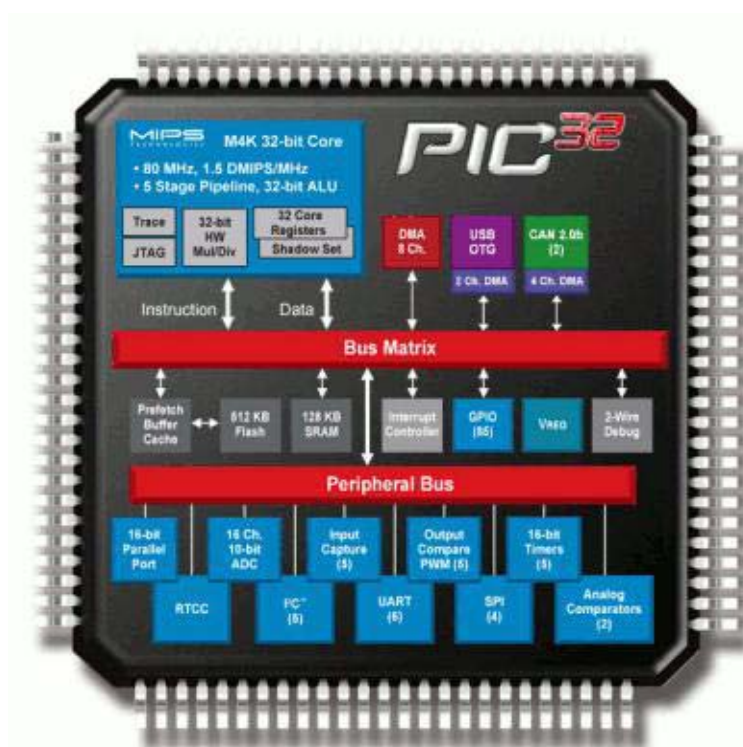
2 vnitřní oscilátory (8MHz & 31KHz)

Hardware RTCC (Real-Time Clock and Calendar with Alarms)

WD časovač s odděleným RC oscilátorem

Kompatibilita vývodů s řadou 16-bitových mikrokontrolérů PIC®

Sériové komunikační moduly UART/SPI/I2C™ a komunikační rozhraní Full Speed USB 2.0 integrované na čipu[2]



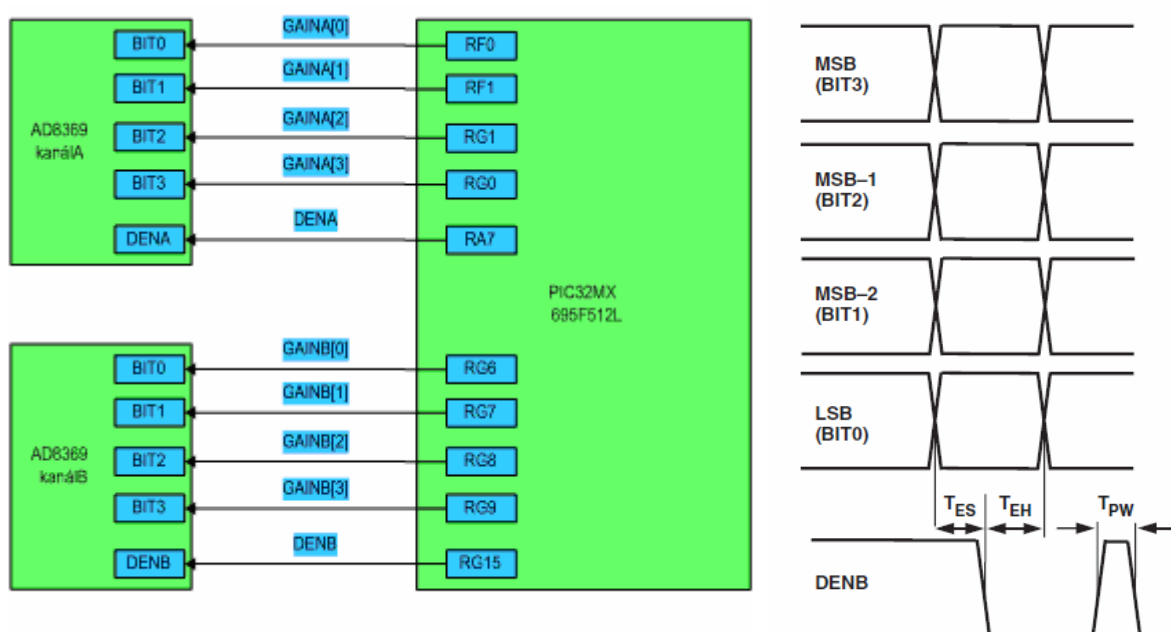
Obr.18. Ilustrační obrázek mikrokontroléru[2]

Do návrhu byl tento mikrokontrolér vybrán hlavně díky mým dosavadním zkušenostem s programováním mikrokontrolérů firmy Microchip® už od 8mi bitových verzí. Pro zařízení bude využito kontroléru přerušení, „Watch Dog“ časovače, dvou analogových vstupů, komunikačního modulu SPI a integrovaného rozhraní USB 2.0. Data ve sběrnicích budou čtena či nastavována pomocí příslušných registrů portů připojených k GPIO modulu.

2.7 Připojení signálů k mikrokontroléru

2.7.1 Paralelní sběrnice

GainA[3:0],DENA , **GainB[3:0],DENB** - jsou 5ti kanálové paralelní sběrnice zesílení kanálu A a B pomocí kterých se nastavují požadovaná zesílení kanálů. Protokol komunikace je naprosto jednoduchá funkce kdy dojde k nastavení hodnoty DEN(A,B) na hodnotu 1 poté proběhne nastavení požadované logické hodnoty která představuje konkrétní zesílení a při sestupné hraně signálu DEN(A,B) se tyto hodnoty načtou do vstupního registru obvodu AD8369.



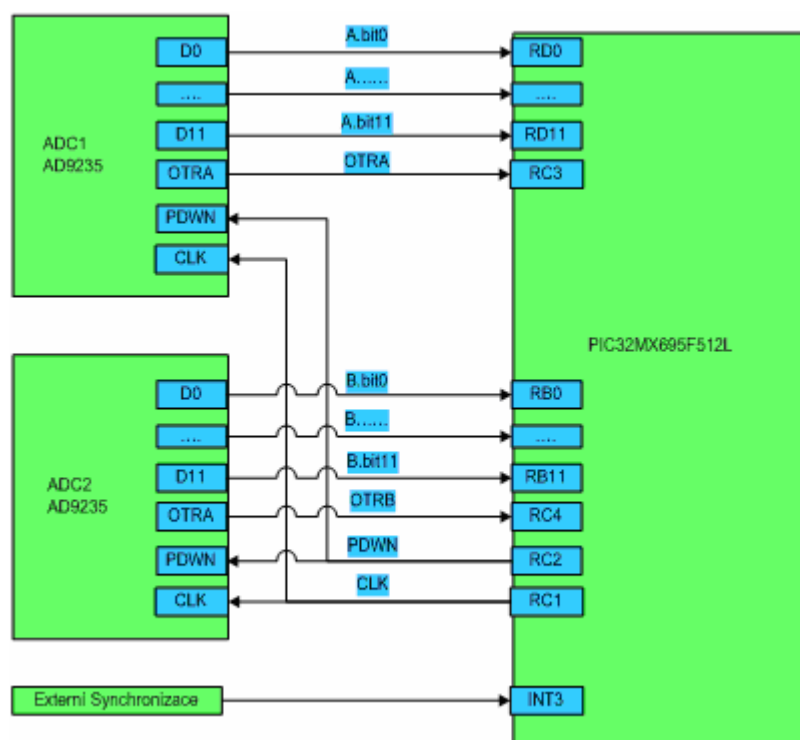
Obr.19. Zapojení a komunikační protokol paralelní sběrnice zesílení

Tabulka časů v komunikačním protokolu paralelní sběrnice

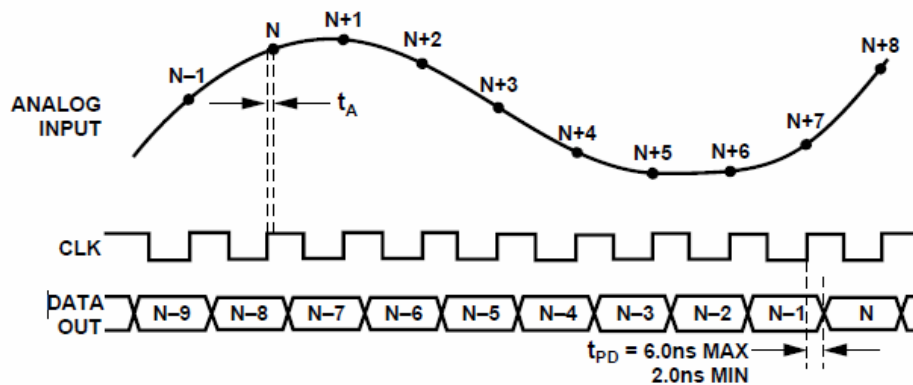
Parametr	Název	Tmin[ns]
Minimální prodleva sestupné hrany DENB od nastavení log.vektoru	TES	2
Minimální pozdržení hodnoty logického vektoru	TEH	2
Minimální šířka pulsu DENB	TPW	4

OSCA[11...0] , **OSCB[11...0]** jsou 11ti kanálové paralelní sběrnice diskrétního signálu a společně s řídicími signály **PDWN** ,**CLK** a indikačními signály překročení rozsahu **OTRA**, **OTRB** jsou veškerou komunikací potřebnou pro obsluhu AD převodníku.

Obsluha AD převodníku spočívá v nastavení log „1“ na výstupní port RC2 a po době nutné k odeznění přechodových dějů inicializovat překlápění portu RC1 jako hodinové funkce AD převodu, kdy se při náběžné hraně tohoto signálu inicializuje převod vzorku a po čase $T = 6-7 \text{ ns}$ se na digitální výstupní logice převodníku nastaví 11ti bitová hodnota vzorku s dvojkovým doplňkem na místě nejvyššího bitu, tato hodnota bude načtena do paměti následující instrukcí tak aby obě hodnoty vzorků z obou kanálů byly v jednom registru, což usnadní pozdější manipulaci se vzorky. Signály OTRA a OTRB zprostředkovávají informaci o překročení vstupního rozsahu AD převodníku 2 V_{p-p}, čehož se dá využít při programování automatického nastavení zesílení kanálu. Do návrhu je zakomponován i zdroj externí synchronizace který je přiveden na třetí port externího přerušení INT3. Tento vstupní port Mikrokontroléru je tolerantní vstupnímu napětí 5V.

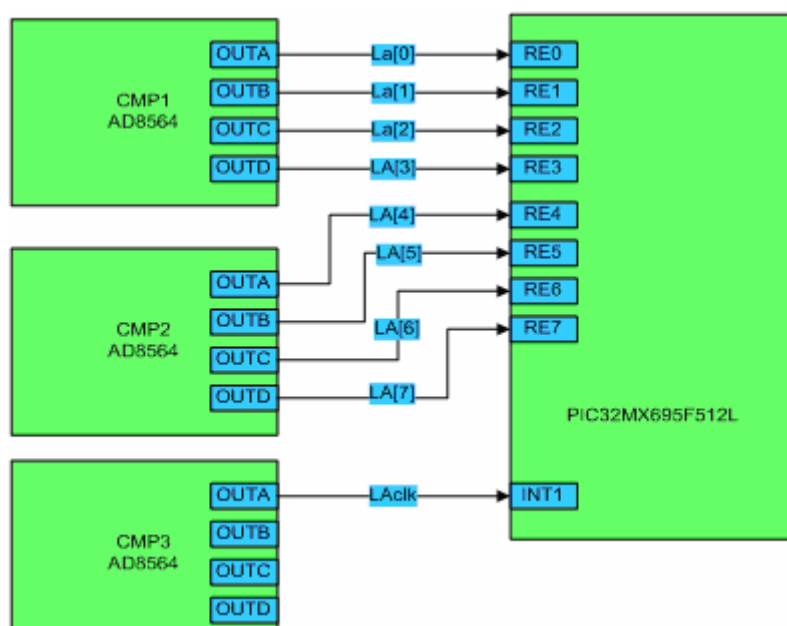


Obr.20. Zapojení paralelních sběrnic A/D převodníku



Obr.21. Časování A/D převodníku[10]

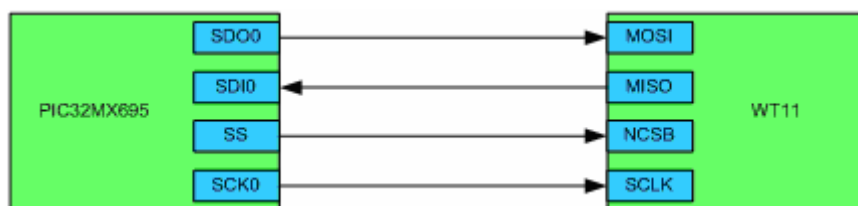
La[8] , **LAclk** je 8mi bitová paralelní sběrnice logického analyzátoru s hodinovým signálem diagnostikovaného zařízení který je přiveden na vstup kontroléru externího přerušení, přerušení pak může být inicializováno nástupnou nebo sestupnou hranou hodinového signálu. Mikrokontrolér poté uloží hodnoty načtené z 8mi bitů I/O portu E do registru paměti tak, aby ve 32ti bitovém registru byly uloženy 4 vzorky po sobě čímž se ušetří místo v paměti pro více vzorků .



Obr.22. Zapojení paralelní sběrnice logického analyzátoru

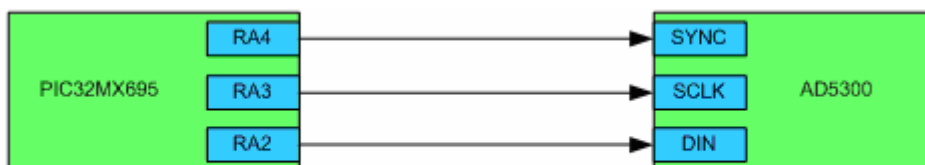
2.7.2 Sériové sběrnice

SPI[MISO,MOSI,SCK,CS0,RES] - Sériová sběrnice pro komunikaci s Bluetooth modulem.

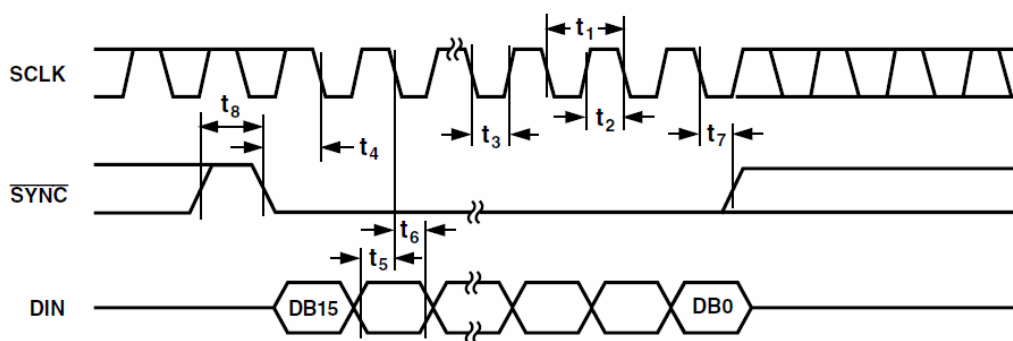


Obr.23. Zapojení SPI sběrnice

DAC[DIN,SCLK,SYNC] je sériová sběrnice digitálně analogového převodníku použitého v bloku logického analyzátoru pro nastavení výstupního napětí. Nastavení vnitřních registrů inicializuje sestupná hrana přivedená na vstup SYNC kdy po době minimálně 13 ns se inicializuje nástupná hrana hodinového signálu. Poté každou sestupnou hranu se po lince DIN nastavují bity vnitřního registru od nejvyššího bitu po nejnižší. Přivedením nástupné hrany na lince SYNC se pak nastaví výstupní napětí převodníku. [7]



Obr.24. Zapojení sběrnice pro ovládání D/A převodníku

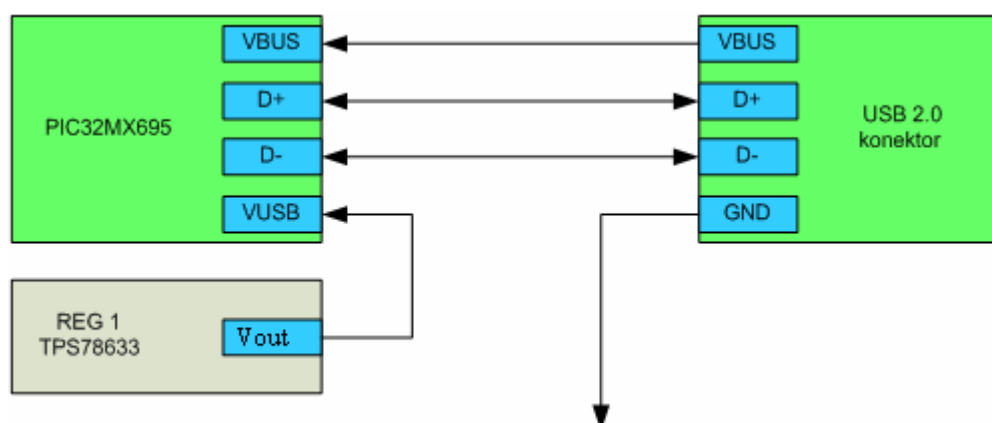


Obr.25. Komunikační protokol DAC sběrnice[7]

Tabulka časů v komunikačním protokolu DAC sběrnice

název času	označení	$t_{\min}$ [ns]
doba cyklu SCLK	t1	33
doba trvání úrovně "Hi" hodinového signálu	t2	13
doba trvání úrovně "Low" hodinového signálu	t3	13
doba mezi prvním hodinovým signálem a sestupnou hranou SYNC	t4	13
čas nastavení dat	t5	5
čas setrvání v hodnotě DIN	t6	4,5
čas mezi sestupnou hranou SCLK do vzestupné hrany SYNC	t7	0
minimální čas SYNC v hodnotě "Hi"	t8	33

USB 2:0[D+,D-] sériová sběrnice pro komunikaci s PC



Podle [2] stačí přímo připojit výstupní piny USB modulu integrovaného na čipu. Integrovaný USB modul je napájen z úrovně 3,3V a 5V přivedených na VBUS vstup mikrokontroléru slouží pouze k detekci připojení sběrnice.

Obr.26. Zapojení USB sběrnice

ICSP[PGD,PGC,MCLR] standardní sériová sběrnice pro programování mikrokontrolérů firmy Microchip.

2.7.3 Ostatní signály

Analogové signály **ANA,ANB** připojené na A/D převodník integrovaný na čipu připojené na porty AN12,AN13

Signály **LAEn**, **OSCEn** jsou inicializační signály pro regulátory napětí a nábojové pumpy popsané v následujícím odstavci.

Signály **SLED_READY**, **SLED_BUSY**, **SLED_ERROR** jsou výstupní signály pro zobrazení stavu mikrokontroléru připojeny na výstupní porty RG13, RG12, RG14 z nichž jsou přivedeny na LED diody 1,2,3 přes odpory R27,28,29 omezující proud diodou.

Výpočet odporů:

$$I_{d \max} = 5 \text{ mA}$$

$$I_d \approx 2 \text{ mA}$$

$$V_h = 3,3 \text{ V}$$

$$R_{xx} = \frac{U}{I} = \frac{3,3}{1 \cdot 10^{-3}} = 1650 \Omega \quad (2.6)$$

Nejbližší větší hodnota z řady IEC je 1800 Ω .

2.8 Zapojení zdrojové části

Pro správné dimenzování regulátorů napětí na příslušné proudy je potřeba tabelárně zpracovat a sečíst veškeré maximální proudy odebírané z jednotlivých úrovní napětí. Do návrhu je potřeba také zahrnout to že nábojové pumpy nejsou napájeny přímo nýbrž z regulátorů které jim předchází a tak je nutné u zvyšovaného napětí počítat se zvýšenou hodnotou proudu. Také se nesmí zanedbat pokles napětí výstupů regulátorů se zvyšujícím se odebíraným proudem, to může zavádět chyby do výpočtů analogových částí obvodu.

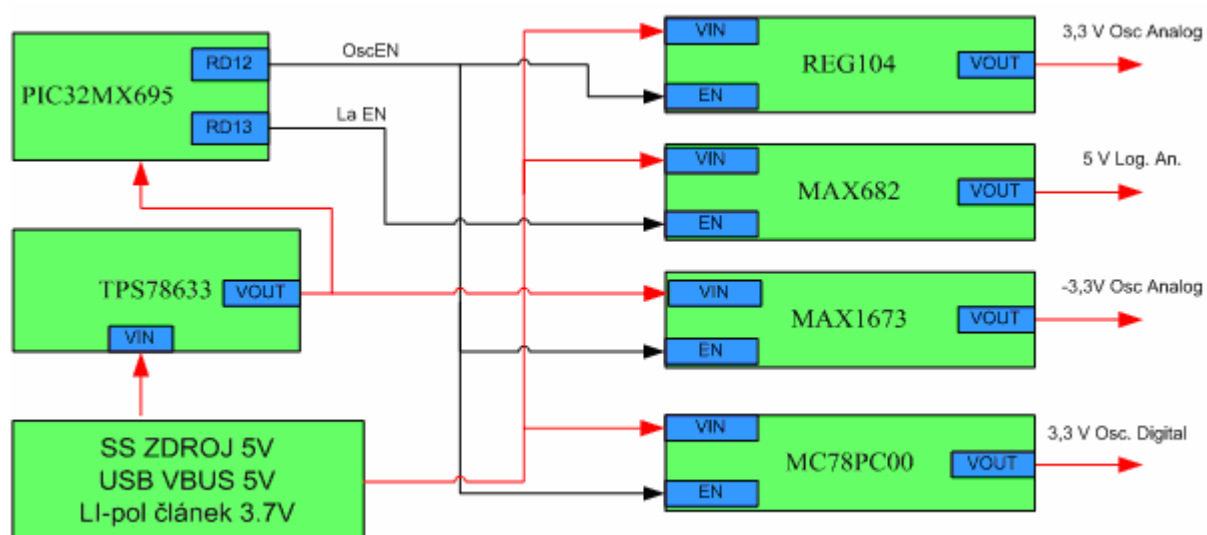
Tabulka napěťových úrovní v návrhu a maximálních odebíraných proudů :

Úroveň napětí [V]	komponent	Počet [ks]	Maximální odběr proudu [mA]	Celkový odběr + rezerva [mA]
Analogové obvody				
3,3	AD8138	4	30	120
	AD8369	2	42	84
	AD8616	2	5	10
	AD9235_ANA	2	100	250
	dělič napětí	2	1,65	4
	dělič napětí	1	<<1	1
			celkem	

Logický analyzátor				
5	AD5300	1	2,145	2,145
	AD8564	3	25	80
Mikroprocesor a Bluetooth modul				
3,3	PIC32MX695F512L	1	300	350
	WT11	1	170	170
A/D převodník				
3,3	AD9235-DIG.DR.	2	7	14

Použité regulátory napětí a nábojové pumpy

	U[V]	I _{max} [A]	Typové označení
3,3V	3,3	1,5	TPS78633
3,3V_osc_digital	3,3	0,150	MC78PC00
5V_log_an	5	0,250	MAX682
-3,3V_osc_analog	-3,3	0,125	MAX1673
3,3V_osc_analog	3,3	1	REG104



Obr.27. Blokové schéma zapojení zdrojové části

2.9 Deska plošných spojů

2.9.1 Návrhová pravidla desky plošných spojů

Návrhová pravidla lze rozdělit na pravidla, jež stanovují technologické možnosti výroby desky plošných spojů a na pravidla představující různá doporučení pro rychlý design s co nejmenším ovlivněním signálů a správné plnění funkce elektronických součástek uvedených výrobcí integrovaných obvodů v katalogových listech součástek.

Tabulka rozměrových návrhových pravidel:

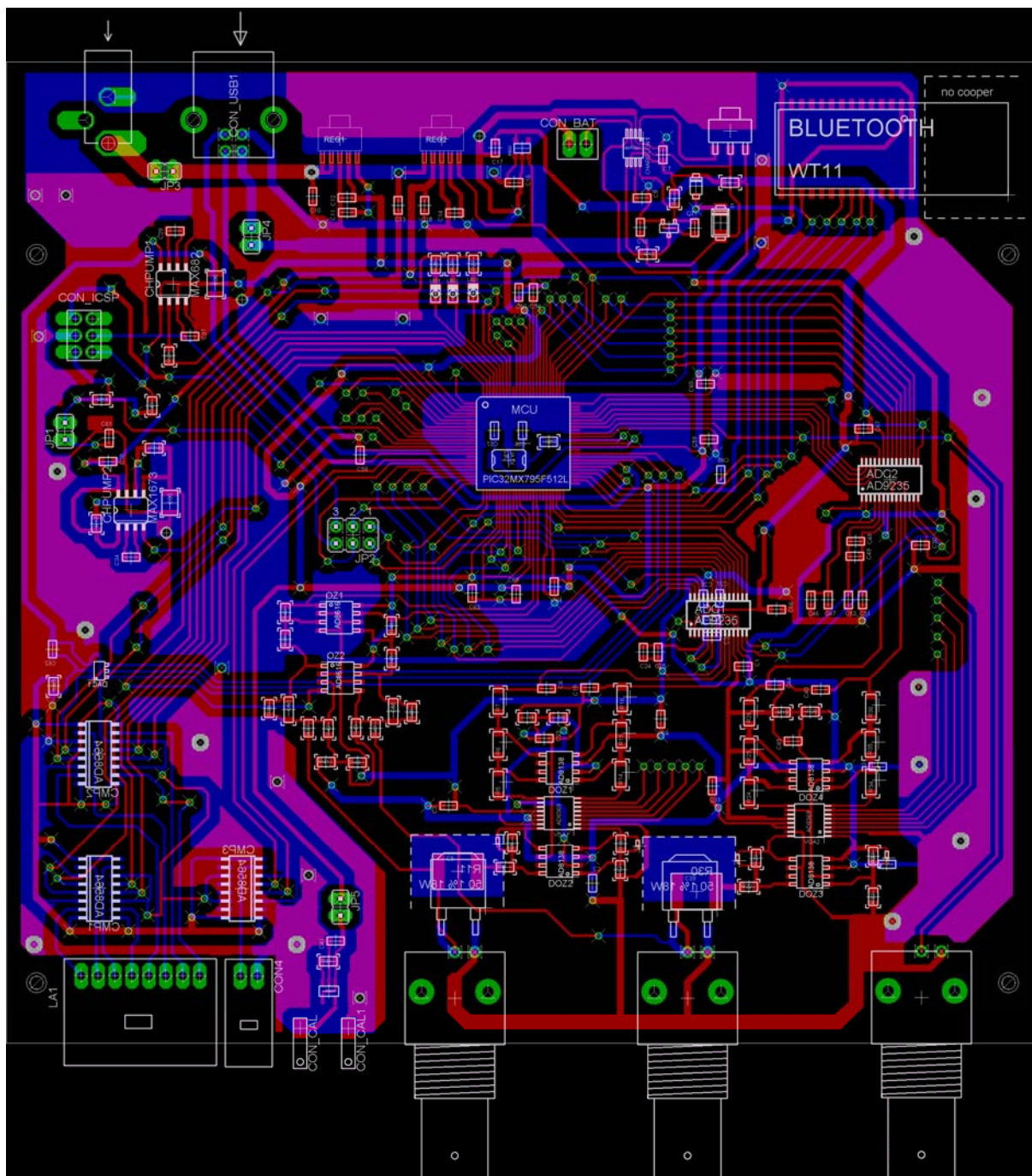
	Mil ($2,54 \cdot 10^{-5} \text{m}$)	mm
Minimální šířka vodivého motivu	10	0,254
Minimální mezera mezi vodivým motivem	9	0,229
Minimální velikost pájecí plošky	11,8x40	0,3x1
Minimální mezera mezi pájecími ploškami	7,8	0,2
Minimální průměr vrtání vodivých otvorů	23,6	0,6
Minimální přesazení okrajů vodivé díry	15	0,38
Minimální vzdálenost vodivé díry od dalšího motivu	15	0,38

Souhrn topologických návrhových pravidel:

- Vodiče vstupních analogových signálů musí být co nejkratší a vzdáleny alespoň pár milimetrů od vodiče s nulovým potenciálem a napájení a to i v jiných vrstvách v tomto okolí by nemělo být přítomno plátování mědi.
- Kapacity pro vyhlazení napájecího napětí musí být umístěny co nejblíže je to možné napájecím vývodům integrovaných obvodů s nimiž mají elektrické propojení
- Pro minimalizaci rušení analogového signálu digitálním šumem je potřeba vést zvlášť analogový a zvlášť digitální nulový potenciál a je potřeba aby se v okolí analogových signálů nevyskytovaly digitální sběrnice které jsou v provozu při probíhající funkci vzorkování.
- Pro chlazení výkonových prvků je potřeba ponechat určitou oblast o rozměrech uvedených výrobcem plátovanou mědí či na zmenšenou oblast vhodně umístit kovovou součást jež odvede vznikající teplo do okolí.
- Pro správnou funkci antény bluetooth modulu je nutné aby v okolí této antény popsaném výrobcem modulu nebylo plátování mědi a to v žádné vrstvě desky plošných spojů.

2.9.2 Výsledná topologie plošných spojů

Prototypová deska plošných spojů byla navržena v návrhovém softwaru Cadsoft Eagle 4.13 ve dvou vrstvách vodivého propojení se součástkami umístěnými na horní i spodní straně. Dvouvrstvý návrh ale nestačil pojmout všechna elektrická propojení tak aby nedošlo k překročení minimálních hodnot popsanych v tabulce v předchozí kapitole. Tyto propojení jež by mohly být ve vnitřních vrstvách, jsou na prototypové desce realizovány pomocí kabelů umístěných ze spodní strany desky. Deska plošných spojů má konečné rozměry 155x149 mm.



Obr.28. Náhled navržené desky v CAD softwaru

2.9.3 Výroba prototypové desky plošných spojů

Deska plošných spojů byla vyrobena ve spolupráci s Ondřejem Chmelou v laboratořích plošných spojů na ústavu elektrotechnologie FEKT VUT Brno, který souběžně se mnou řeší v rámci bakalářské práce technologii výroby desek plošných spojů s pokovenými průběžnými dírami. Pro realizaci pokovených otvorů byly použity procesy DESMARE, který se používá pro narušení stěn materiálu FR4 (skelná tkanina lepená epoxidem), což má za následek zlepšení přilnavosti koloidního grafitu v následném procesu SHADOW, který se používá pro vytvoření povrchově vodivého filmu na nevodivém materiálu. Tyto procesy otevírají možnost elektrochemické depozice vrstvy mědi na celém povrchu desky plošných spojů.

Postup výroby desky plošných spojů:

Vyvrtání všech otvorů v oboustranně plátované desky FR4

Proces DESMARE - čištění vyvrtaných otvorů

Dvoustupňový oplach vodovodní a deionizovanou vodou

Narušení povrchu FR4 v otvorech hypermanganem

Kyselé odleptání Hypermanganu z objemu FR4

Dvoustupňový oplach vodovodní a deionizovanou vodou

Proces SHADOW - Dvoustupňový oplach vodovodní a deionizovanou vodou

Kondicionér – zlepšení přilnavosti povrchu FR4

Nanesení vrstvy grafitu v koloidním roztoku

Fixér – stabilizace vrstvy

Dvoustupňový oplach vodovodní a deionizovanou vodou

Elektrochemická depozice mědi v lázni síranu měďnatého ,12min , 3,5 A

Čištění povrchu brusným kartáčem

Vysoušení 15min 85 °c

Oboustranné laminování fotorezistu

Sesouhlasení masek vodivého profilu

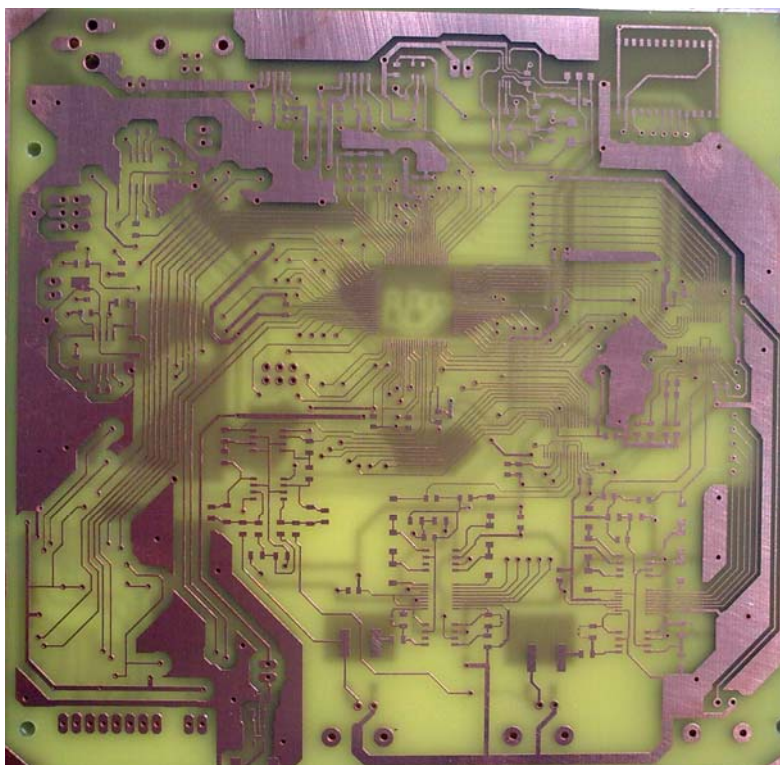
Expozice fotorezistu UV zářením

Vyvolání fotorezistu

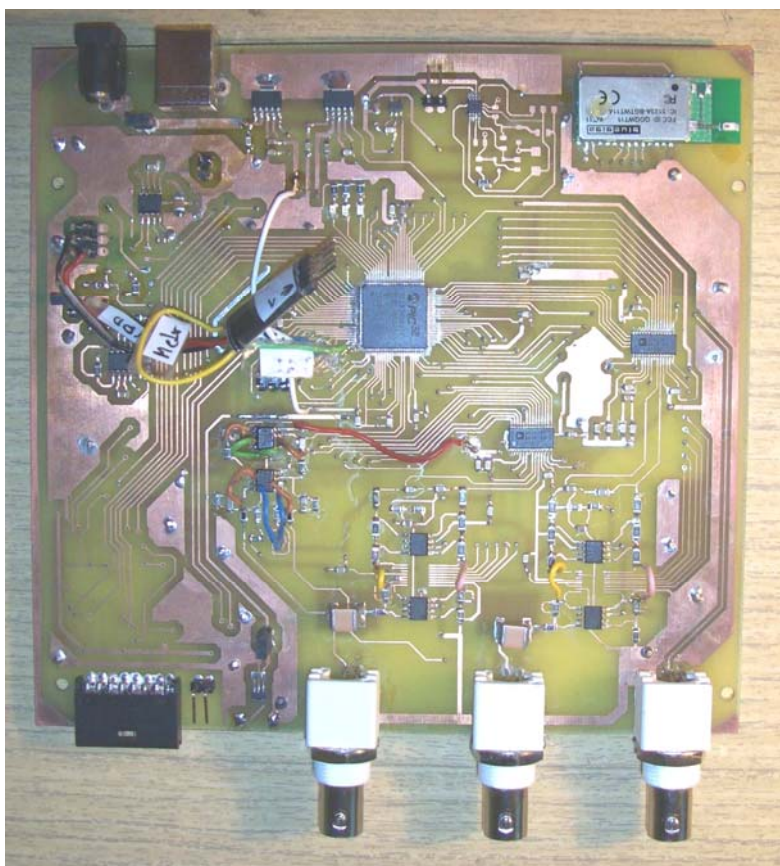
Kyselé leptání

Odstranění fotorezistu

Vysoušení 15min 85 °c



Obr.29. Vrchní strana vyrobené desky plošných spojů



Obr.30. Osazené zařízení po korekci chyb ve schématu

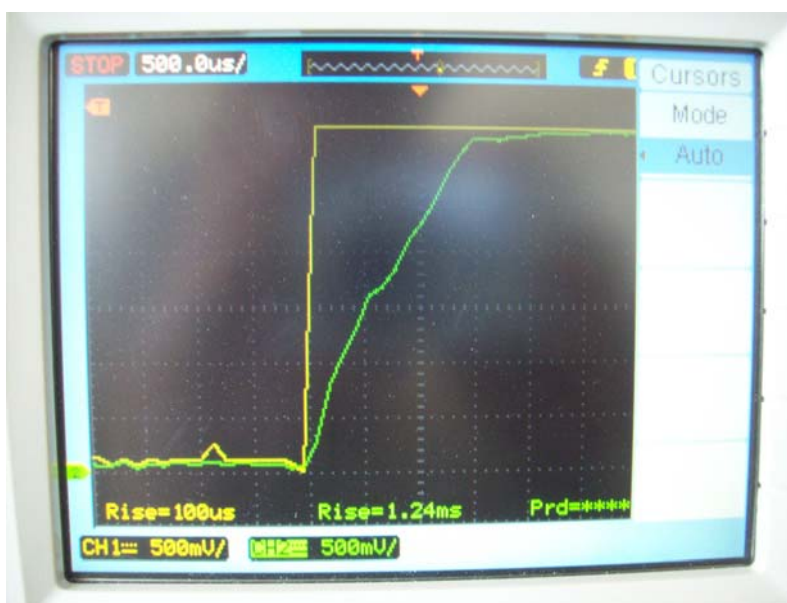
3 Kalibrační měření na prototypu

3.1 Měření stejnosměrných napětí regulátorů a děličů napětí:

Napěťová úroveň	3,3V_Digital	3,3V_OSC_ANALOG	3,3V_OSC_DIGITAL
Napětí [V]	3,296	3,258	3,292
-3,3V_OSC_ANALOG	CMDA	CMDB	CMDC
-3,248	1,632	1,634	1,59

3.2 Měření doby odeznění přechodových dějů při spínání části obvodu:

Pro programování je potřeba určit dobu odeznění přechodových dějů při spínání napájení bloku aby nedocházelo ke vzorkování signálů ovlivněných těmito ději a tudíž signálů které neodpovídají vstupnímu signálu. Tyto časy se poté vloží do zpožďovacích smyček před zahájením vzorkování.

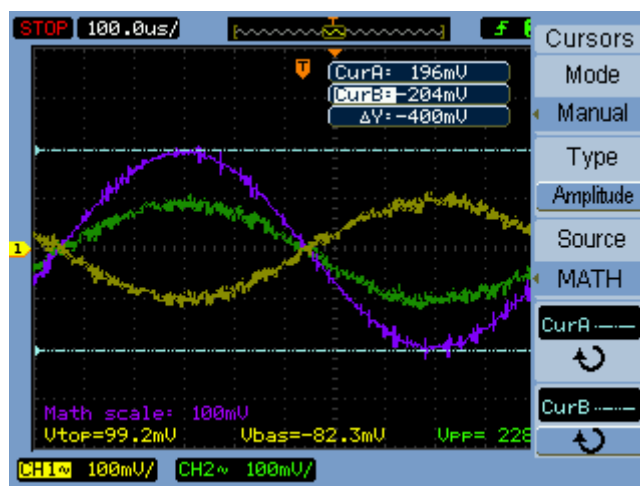


Obr.31. Měření doby odeznění přechodových dějů na úrovni napětí
3,3V_OSC_ANALOG

Doba náběžné hrany $t=1,24$ ms, to je však doba mezi 10 % a 90 % celkové změny hodnoty napětí. Pro jistotu v délce čekací smyčky je nutné tuto dobu dimenzovat 2x proto bude délka čekací smyčky 2,5 ms.

3.3 Měření parametrů zapojení vstupních operačních zesilovačů:

Pro měření frekvenčních charakteristik byl na vstup připojen generátor signálu koaxiálním kabelem a výstupní signál byl měřen pomocí dvou napěťových sond osciloskopu u kanálu osciloskopu na terminály diferenčního vstupu analogově digitálního převodníku u integrátoru. Osciloskop Agilent dovoluje měřit diferenční signály pomocí funkce MATH kde se zvolí funkce CHA-CHB kdy sonda vstupního kanálu A je připojena na pozitivní vstup A/D převodníku a sonda kanálu B na vstup negativní.



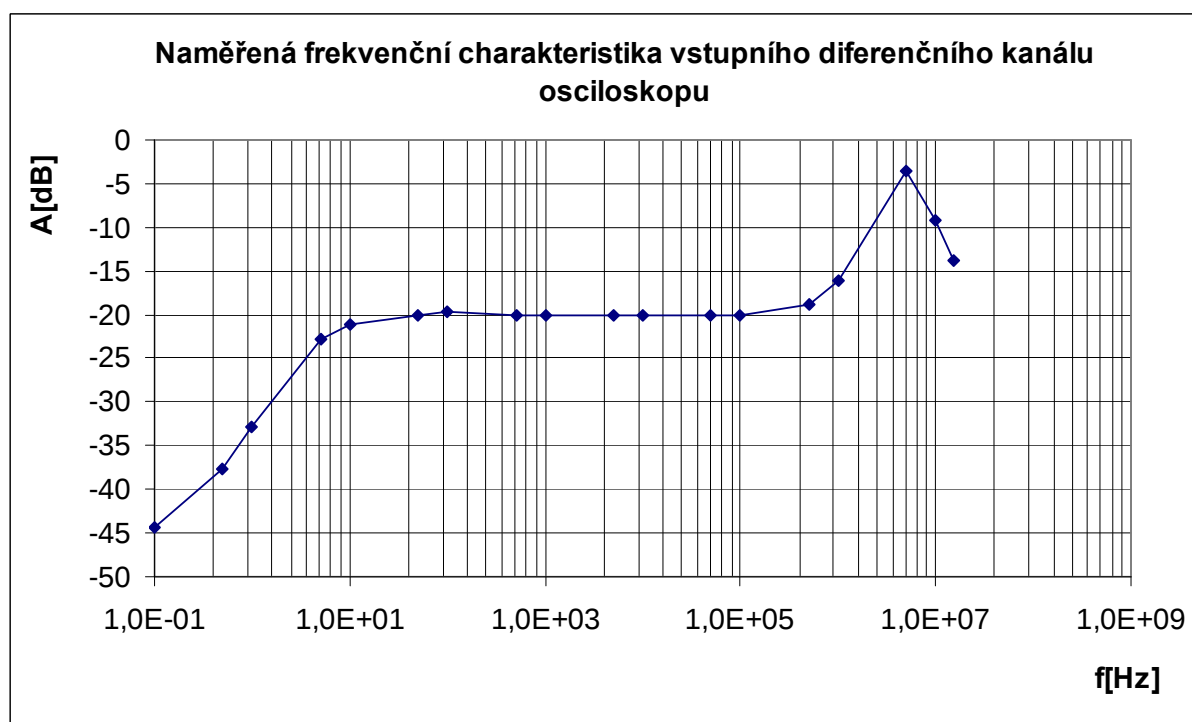
Obr.32. Průběh napětí na vstupu A/D převodníku při vstupním signálu 4 Vp-p

Tabulka měření frekvenční charakteristiky

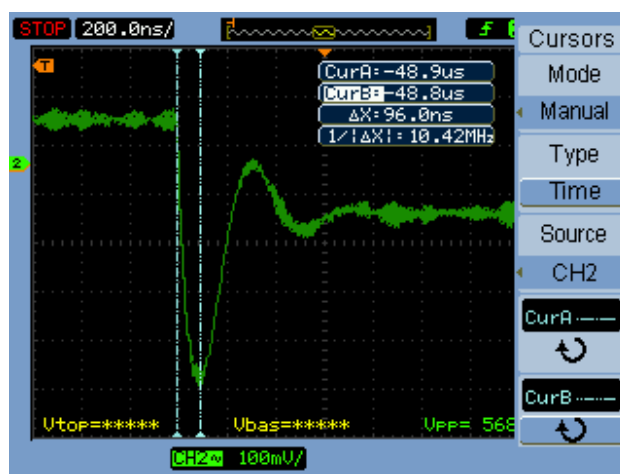
Uin[Vp-p]	f[Hz]	Upos[mVp-p]	Uneg[mVp-p]	Udif[mVp-p]	Adif[dB]
4	1,0E-01	32	35	24	-44,43697499
4	5,0E-01	54	54	52	-37,72113295
4	1,0E+00	148	150	92	-32,76544328
4	5,0E+00	158	160	292	-22,7335428
4	1,0E+01	192	194	348	-21,20961495
4	5,0E+01	202	204	400	-20
4	1,0E+02	228	232	412	-19,74325551
4	5,0E+02	228	232	400	-20
4	1,0E+03	232	228	400	-20
4	5,0E+03	224	230	400	-20
4	1,0E+04	216	224	400	-20
4	5,0E+04	228	224	400	-20
4	1,0E+05	228	232	400	-20
4	5,0E+05	256	264	456	-18,86190297

4	1,0E+06	324	340	624	-16,13750803
4	5,0E+06	1320	1280	2640	-3,609121289
4	1,0E+07	736	728	1380	-9,243618099
4	1,5E+07	448	452	824	-13,72265559

$$A = 20 \cdot \log\left(\frac{U_{out}}{U_{in}}\right) = 20 \cdot \log\left(\frac{0,400}{4}\right) = -20 \text{ dB} \quad (3.1)$$



Obr.33. Frekvenční charakteristika vstupního diferenčního kanálu



Obr.34. Odezva na jednotkový skok s měřením času vrcholu překmitu

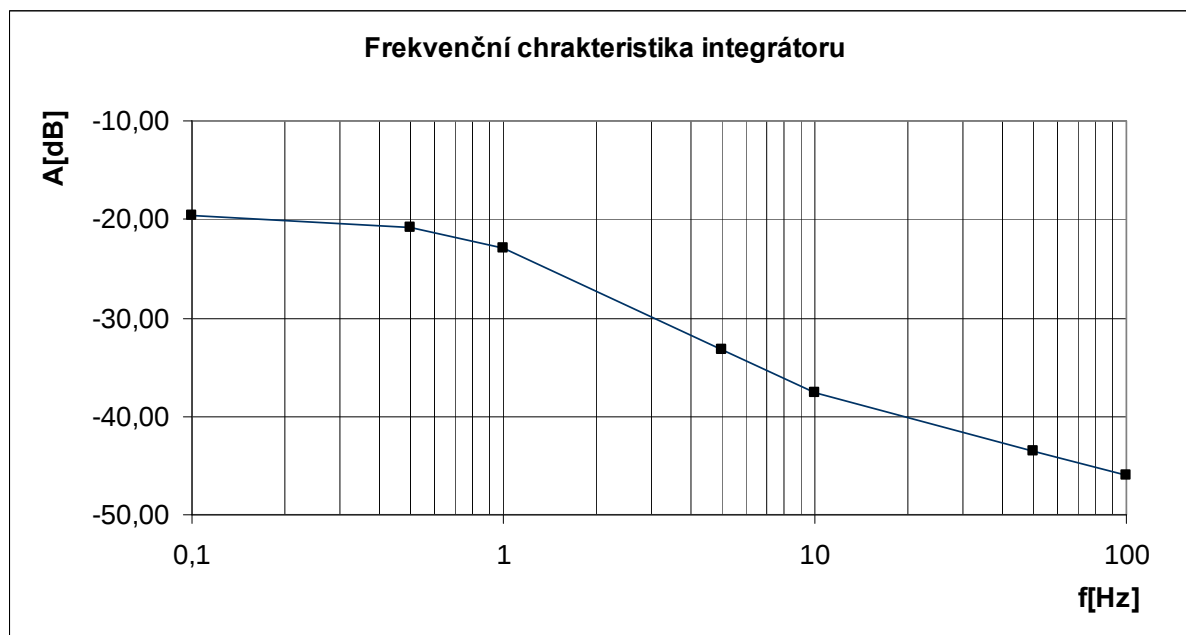
Ze změřené frekvenční charakteristiky a odezvy na jednotkový skok je patrné ze přibližně od frekvence 1 MHz dochází k překmitu výstupního napětí nejspíše vlivem parazitních kapacit na vstupech diferenčních operačních zesilovačů. Tento překmit lze potlačit za cenu snížení tranzitní frekvence zapojení zesilovačů zapojením paralelního kondenzátoru do zpětné vazby.

3.4 Měření invertujícího sumačního integrátoru:

Tabulka měření frekvenční charakteristiky:

U _{in} [V _{p-p}]	f[Hz]	U _{inv1} [V _{p-p}]	U _{out1} [mV _{p-p}]	A _{inv} [dB]	A _{out} [dB]
4	0,1	430	420	-19,37	-19,58
4	0,5	404	364	-19,91	-20,82
4	1	320	284	-21,94	-22,97
4	5	110	88	-31,21	-33,15
4	10	60	53	-36,48	-37,56
4	50	35	26,4	-41,16	-43,61
4	100	32	20	-41,94	-46,02

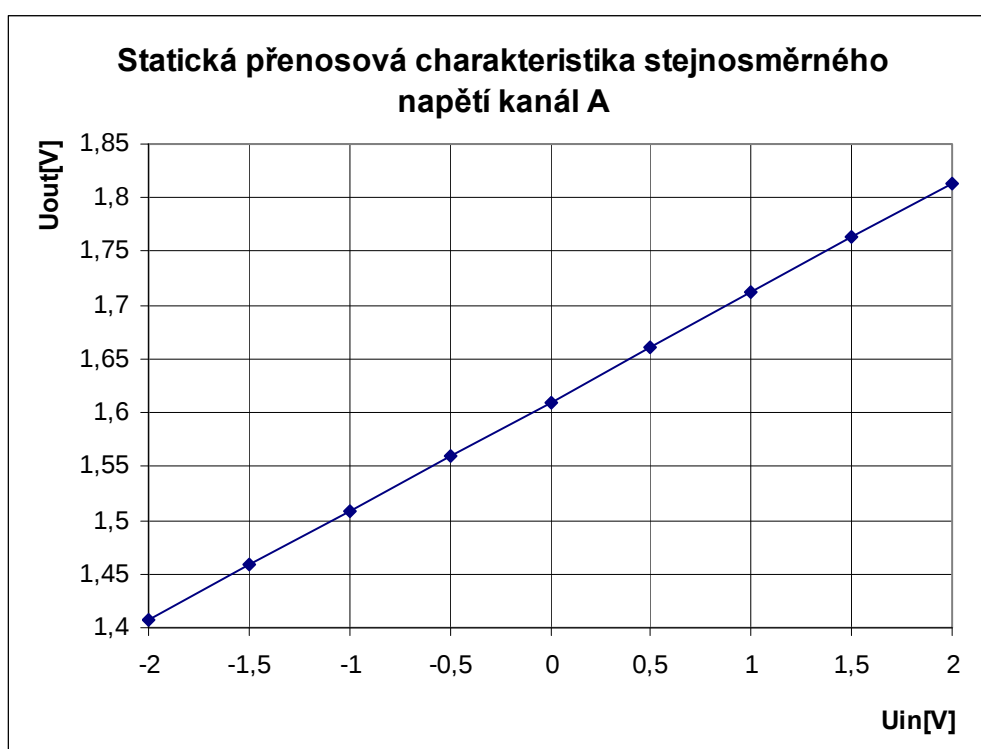
$$A = 20 \cdot \log\left(\frac{U_{out}}{U_{in}}\right) = 20 \cdot \log\left(\frac{0,420}{4}\right) = -19,58 \text{ dB} \quad (3.2)$$



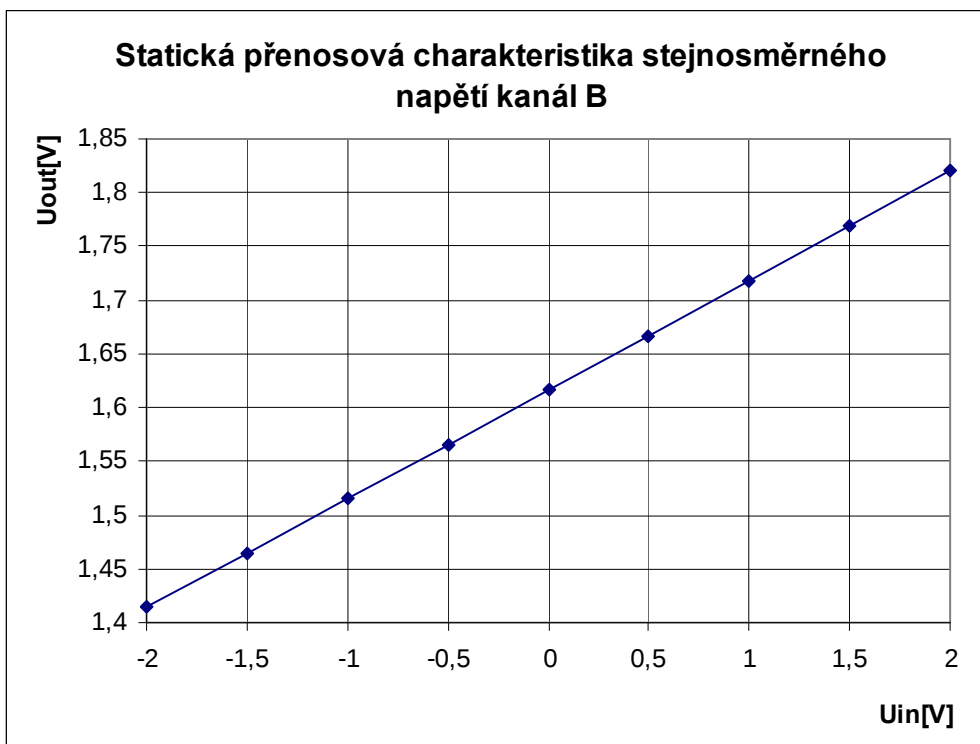
Obr.35. Naměřená frekvenční charakteristika Integrátoru

Tabulka měření přenosové charakteristiky

Uofset[V]	Uinv1 [V]	Uout1 [V]	Uinv2 [V]	Uout2 [V]
-2	-1,396	1,407	-1,403	1,414
-1,5	-1,447	1,459	-1,454	1,465
-1	-1,497	1,509	-1,505	1,516
-0,5	-1,548	1,56	-1,555	1,566
0	-1,598	1,61	-1,605	1,617
0,5	-1,65	1,661	-1,656	1,667
1	-1,7	1,712	-1,707	1,718
1,5	-1,751	1,763	-1,758	1,769
2	-1,801	1,814	-1,809	1,82
Uin=1 Vp-p, 1000 Hz				



Obr.36. Přenosová charakteristika integrátoru kanál A



Obr.37. Přenosová charakteristika integrátoru kanál B

3.5 Použité referenční přístroje při kalibračním měření:

Multimetr Mastercraft 52-0052-2	vč:CCL060434987
Laboratorní zdroj Diametral P230R51D	vč:1684
Funkční generátor Hewlet Packard 33120A	vč:US36026181
Osciloskop Agilent technologies DSO1002A	vč:CN49312683

3.6 Výpočet kvantizačních koeficientů:

Použité 12 bitové A/D převodníky které používají integrovanou referenci pro měření harmonických složek jsou zapojeny s diferenčním vstupem se vstupním rozsahem 2 V_{p-p}. Zesílení předchozího bloku zesilovačů je 0,1.

$$\Delta U_{in} = 2 V$$

$$N = 12 \Rightarrow n_q = 2^{12} = 4096 \Rightarrow Q_{1b} = \frac{1}{A} \cdot \frac{U_{in}}{n_q} = 10 \cdot \frac{2}{4096} = 4,883 \cdot 10^{-3} V \quad (3.3)$$

Pro určení kvantizačního koeficientu stejnosměrného napětí na vstupu je nutné započítat napájecí napětí analogových vstupů jelikož integrovaný A/D převodník používá toto napětí jako referenci převodu zesílení stejnosměrné složky v bloku integrátoru je 0,1.

$$U_{ref} = 3,292 \text{ V}$$

$$A_I = 0,1 \tag{3.4}$$

$$\dot{N} = 10 \Rightarrow n_q = 2^{10} = 1024 \Rightarrow Q_{lb} = \frac{1}{A_I} \frac{U_{ref}}{n_q} = 10 \frac{3,292}{1024} = 32,15 \cdot 10^{-3} \text{ V}$$

4 Závěr:

V bakalářské práci bylo navrženo nejprve blokové schéma dvoukanálového osciloskopu a logického analyzátoru s 32bitovým mikrokontrolérem firmy Microchip pro měření periodických signálů o maximálním rozsahu 10V_{p-p} se dvěma 40 MSps 12ti bitovými analogově digitálními převodníky schopnými vzorkovat harmonické signály s maximální frekvencí až 20 MHz. Do návrhu bylo zahrnuto také oddělené orientační měření stejnosměrné složky která je měřena pomocí 10ti bitového analogově digitálního převodníku integrovaného na čipu mikrokontroleru po odfiltrování všech harmonických s frekvencí větších než 1Hz zapojením sumačního integrátoru a logický analyzátor který byl navržen tak aby se dal použít pro diagnostiku TTL, CMOS i LVDS technologií. Návrh vstupních obvodů byl vymodelován pomocí simulací v návrhovém programu NI Multisim™. Poté byla navržena a vyrobena prototypová deska plošných spojů. Po osazení této desky byly změřeny přenosové a frekvenční charakteristiky realizovaných vstupních obvodů, bez logického analyzátoru a zesilovače s proměnným zesílením jelikož se nepodařilo sehnat integrované obvody pro realizaci těchto částí zapojení, které během návrhu desky plošných spojů buďto vymizely z běžného trhu nebo nebyly na skladech distributorů těchto obvodů, přesto jsou do návrhu tyto obvody zaneseny. Z naměřených charakteristik vstupních obvodů je patrné že invertující integrátor funguje přesně podle simulací, kdežto funkci vstupních diferenčních operačních zesilovačů negativně ovlivňuje nevyhovující design prototypové desky plošných spojů, který zavedl parazitní kapacitu na vstupy diferenčních zesilovačů. To se posléze projevilo překmitem při frekvencích vyšších jak 1 MHz. Do schématu návrhu byly proto přidány paralelní kondenzátory ve zpětné vazbě které tuto parazitní kapacitu vykompenzují za cenu snížení tranzitního kmitočtu. V konečné fázi byly pomocí referenčních měřidel určeny kvantizační koeficienty Analogově digitálních převodů.

Bibliografické citace:

- [1] PEŠL, J. Semestrální projekt - USB osciloskop a logický analyzátor s mikroprocesorem. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2010. 26 s.
- [2] Katalogový list PIC32MX5xx/6xx/7xx.....cz.farnell.com
<http://cz.farnell.com/jsp/search/productdetail.jsp?SKU=1778489>26.4.2011
- [3] Doc. Ing. Ludvík Bejček, CSc.a kol. VUT elektronické skriptum – Měření v elektrotechnice Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 241 s
- [4] Katalogový list AD8369.....www.analog.com
http://www.analog.com/static/imported-files/data_sheets/AD8369.pdf.....12.5.2011
- [5] Internetové stránkywww.wikipedia.org
http://cs.wikipedia.org/wiki/A/D_převodník.html.....21.5.2011
- [6] Internetové stránkywww.wikipedia.org
http://cs.wikipedia.org/wiki/Universal_Serial_Bus.....21.5.2011
- [7] Katalogový list AD5300..... www.analog.com
http://www.analog.com/static/imported-files/data_sheets/AD5300.pdf.....23.5.2011
- [8] CHMELA, O. Laboratorní a malosériová výroba dvouvrstevných desek s plošnými spoji v laboratoři PROTOCAD. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 54 s.
- [9] Pinker Jiří: Mikroprocesory a mikropočítače, Praha: BEN - technická literatura, 2004
1.vydání ISBN 80-7300-110-1
- [10] Katalogový list AD9235..... www.analog.com
http://www.analog.com/static/imported-files/data_sheets/AD9235.pdf.....28.5.2011
- [11] Katalogový list AD8138..... www.analog.com
http://www.analog.com/static/imported-files/data_sheets/AD8138.pdf.....28.5.2011

Seznam příloh:

Příloha A – **Celkové schéma zařízení a seznam součástek**

Příloha B – **Výstupy z návrhového programu potřebné k výrobě desky plošných spojů**

Příloha C – **Výstupy simulací vstupních částí obvodů z programu NI Multisim™ 10.0.1
Analog Devices Edition**