



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

**FAKULTA ELEKTROTECHNIKY
A KOMUNIKAČNÍCH TECHNOLOGIÍ**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

**NOVÁ HYBRIDNÍ JEDNOVODIČOVÁ SBĚRNICE
PRO MIKROELEKTRONICKÉ SYSTÉMY**

NOVEL HYBRID ONE-WIRE BUS FOR MICROELECTRONIC SYSTEMS

ZKRÁCENÁ VERZE DIZERTAČNÍ PRÁCE

ABRIDGED DOCTORAL THESIS

AUTOR PRÁCE

AUTHOR

Ing. Vladimír Levek

ŠKOLITEL

SUPERVISOR

doc. Ing. Pavel Šteffan, Ph.D.

BRNO 2018

KLÍČOVÁ SLOVA

Sběrnice, nízkopříkonový režim, výkonový režim, komunikační protokol, fyzická vrstva, proudový komparátor, upínač sběrnice, mikroelektronický návrh.

KEY WORDS

Bus, low-power mode, power mode, communication protocol, physical layer, current comparator, bus holder, microelectronic design.

MÍSTO ULOŽENÍ PRÁCE

Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, Technická 3058/10, 616 00 Brno.

Obsah

1	Úvod	4
1.1	Specifikace cílů disertační práce	5
2	Princip funkce nové hybridní sběrnice	6
2.1	Komunikační rámec	9
2.1.1	Datové záhlaví	9
2.1.2	Datový přenos	10
2.2	Komunikační prodleva	11
2.3	Přenos jednoho bitu – bitový blok	12
2.3.1	Informační blok.....	14
2.3.2	Napájecí blok	17
3	Návrh nízkopříkonové hybridní sběrnice.....	17
3.1	Ověření parametrů nízkopříkonové hybridní sběrnice.....	21
4	Návrh výkonové hybridní sběrnice	23
4.1.1	Návrh budičů sběrnice	25
4.2	Ověření parametrů výkonové hybridní sběrnice	27
5	Závěr	31
	Životopis	38
	Abstract	39

1 Úvod

Nová hybridní jednovodičová sběrnice vznikla jako výsledek aplikovaného výzkumu v souvislosti s konkrétním projektem. Řešení projektu, na kterém jsem se podílel, vyžadovalo vzájemnou interakci dvou navzájem komunikujících zařízení, z nichž jedno bylo energeticky závislé na druhém. Požadavky kladené na provoz byly poměrně přísné (miniaturizace, nízká spotřeba, velká přenosová rychlost, možnost spínání velkých zátěží...) a jejich průniku nevyhovoval žádný dosud známý komunikační protokol či sběrnice.

Hybridní sběrnice, coby výsledek této výzkumné práce si neklade za cíl pouze splnění konkrétního zadání, ale její možnosti ji předurčují pro možné širší využití – a to hlavně jejího primárního principu: Napájet podřízený externí prvek s možností vzájemné komunikace jedním vodičem. Obě činnosti s vysokou efektivitou a s poměrně velkými schopnostmi. Pro možnost plnění obou úkolů (dodávka energie a vzájemná komunikace) pomocí jednoho vodiče, je sběrnice označena jako: „*jednovodičová hybridní*“. Její ekvivalent: *One Wire* sběrnice dokáže přenášet informaci a parazitně napájet malým proudem připojené komunikační zařízení. Nicméně přenosová rychlost a napájecí schopnosti jsou výrazně nižší.

Vyvinutá nová jednovodičová hybridní sběrnice je v době tvorby disertační práce realizována a ověřena přibližně v tisíci výrobcích. Její provoz je detailně ověřen cyklickými testy, jejichž množství se pohybuje okolo milionu interakcí. Uvedená zařízení byla dále podrobena testům odolnosti před elektrostatickými výboji, elektromagnetickým rušením, simulačním testům stárnutím v solné mlze aj. a ve všech případech vykazovalo odolnost. Lze předpokládat, že hybridní sběrnice (a také její fyzická realizace) je tedy robustní a efektivní.

V této práci je nejprve proveden úvodní rozbor a jsou označeny klíčové body problematiky přenosu. Je rozebrán protokol navrhované sběrnice, jsou předloženy jednotlivé komunikační bloky a jejich celkové propojení. Dále jsou stanoveny cíle této práce. Součástí textu je popis obvodových principů vhodných pro některé části návrhu fyzické vrstvy sběrnice. Tyto jsou rozebrány a popsány jak z kvalitativního, tak z kvantitativního hlediska. Poté je předložen návrh sběrnice vhodný pro použití v nízkopříkonovém provozu a také ve výkonovém režimu.

Návrhy budičů sběrnice jsou tvořeny na podkladech mikroelektronické technologie a mohou být použity jako výchozí podklady pro návrh mikroelektronických funkčních bloků. Veškeré návrhové požadavky budou kladeny tak, aby byla možná realizace budičů fyzické vrstvy mikroelektronickou technologií a tyto budiče mohly být integrovány do autonomních modulů.

1.1 Specifikace cílů disertační práce

Základní část této práce se bude zabývat návrhem nové hybridní sběrnice sloužící k přenosu elektrické energie a zároveň k datovému přenosu. Návrh vychází z výsledků aplikovaného výzkumu. Sběrnice bude teoreticky rozebrána a kvalitativně analyzována včetně podrobného popisu jednotlivých provozních bloků. Dále budou vyjádřeny provozní parametry – jak statické, tak i dynamické.

Jádro disertační práce se bude zabývat návrhem protokolu a podrobným rozбором fyzické vrstvy sběrnice pracující v nízkopříkonovém a výkonovém režimu. Budou vyjádřeny parametry budičů splňující zadané statické i dynamické požadavky. Praktický návrh bude podroben testování a měření, ve kterých se ověří teoretické předpoklady. Součástí práce je vytvoření návrhu obvodových bloků, které se mohou využít pro provoz výkonově náročnějších zařízení.

Cílem disertační práce je návrh a obvodová realizace sběrnice, která dokáže splnit následující kritéria:

- obousměrná komunikace a napájení podřízeného prvku jedním signálovým a jedním zemním vodičem,
- komunikace musí probíhat obousměrně s možností řízení směru,
- navzájem propojená zařízení musí být schopna pracovat v režimu nízkého odběru i ve výkonovém režimu,
- napájení nadřazeného modulu může být realizováno v režimu LPM (*Low Power Mode*),
- objem přenášených dat může být libovolně velký,
- komunikační rychlost musí být vyšší, v řádech desítek kb/s,
- kontinuální proudový odběr modulů propojených sběrníci může být v řádech stovek mA.

Dosud navržené a provozované sběrnice nesplňují všechna uvedená kritéria, jejich užití by bylo návrhovým kompromisem. Splnění všech vytýčených cílů bez snížení kterýchkoliv požadavků je hlavním záměrem popisované hybridní sběrnice, a tedy i cílem disertační práce.

Primárním přínosem této práce je návrh funkční a robustní sběrnice, splňující výše uvedená kritéria, kterou lze ovládat prostřednictvím obvodů realizovaných mikroelektronickou technologií.

Potenciál sběrnice tkví v možnosti širšího využití (rychlost, spotřeba) a také v možnosti mikroelektronické realizace. Zásadní dělení může spočívat v nárocích na spotřebu. Z toho důvodu je možné rozdělit požadavky:

- sběrnice pracuje v nízkopříkonovém režimu – kratší vzdálenost, nižší odolnost proti rušení, nižší přenosová rychlost, napájení prostřednictvím miniaturních baterií,
- sběrnice pracuje ve výkonovém režimu – delší sběrnice, odolnost proti rušení, možnost vyšší přenosové rychlosti, napájení výkonnějších spotřebičů.

Oba dva režimy budou v disertační práci rozebrány a diskutovány – jak v oblasti návrhu protokolu, tak i v oblasti návrhu budičů. Budou popsány dílčí bloky fyzické vrstvy přijímače i vysílače, tyto bloky budou podrobeny simulaci, realizovány v diskrétní formě, a testovány. Závěrečné zkušební testy budou doloženy výsledky měření s ověřením všech teoretických předpokladů.

2 Princip funkce nové hybridní sběrnice

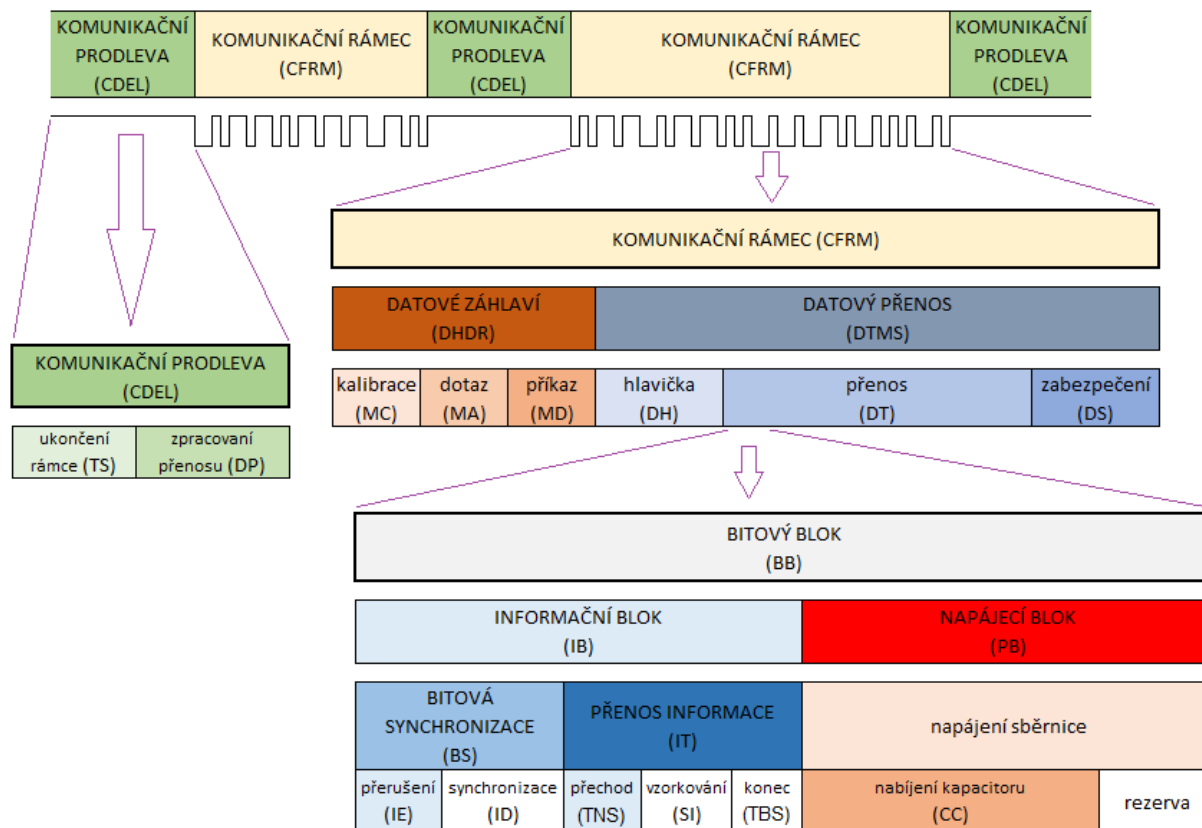
Základním principem hybridní sběrnice je rozdělení přenosu jednoho bitu do dvou úseků. V prvním úseku je přenášena bitová informace pomocí proudově dimenzovaných spínačů a ve druhém úseku je distribuována energie potřebná pro napájení komunikačních prvků. Na straně modulu *master* je přepínáno mezi oběma úseky prostřednictvím různě dimenzovaných proudových zdrojů, v modulu *slave* jsou tyto úseky separovány detektorem maximální úrovně. Záložní kapacitor v modulu *slave* pokrývá energetickou spotřebu po dobu přenosu bitové informace. Modul *slave* se rovněž účastní na přenosu informace pomocí proudově dimenzovaného zdroje. Nastavením hladiny jednotlivých proudových zdrojů lze realizovat návrh zařízení pracující ve výkonovém anebo nízkopříkonovém režimu.

Pomocí nastavení úrovní jednotlivých proudových zdrojů lze rovněž modifikovat ostatní provozní parametry sběrnice jako jsou: přenosová rychlost, odolnost proti rušení, proudový odběr, ... Komunikace probíhá obousměrně a je řízena napájecím modulem *master*.

Mezi klíčové požadavky kladené na tuto sběrnici, ale též na celou kooperaci mezi moduly *master* a *slave* patří:

- Provoz v režimu nízké spotřeby – napájeno miniaturní baterií.
- Možnost velké špičkové zátěže prostřednictvím sběrnice – jednotky ampérů.

- Možnost přenosu libovolně dlouhého datového paketu bez ztráty napájení.
- Středně velká přenosová rychlost – až 100 kb/s.
- Přenos na krátkou vzdálenost – jednotky metrů.
- Miniaturní zástavba komunikačních modulů – pod 0,7 cm².



Obrázek 1: Hierarchie hybridní sběrnice

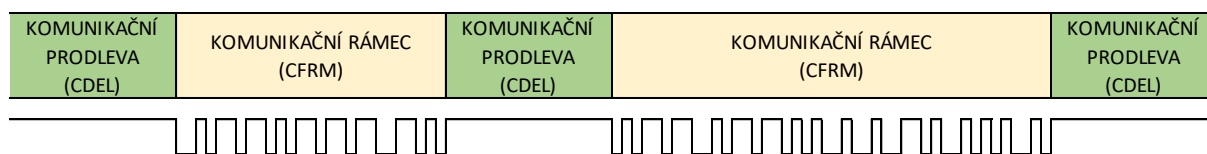
Sběrnice sdílejí stejný vodič jak pro přenos informace, tak i napájení všech připojených komunikačních prvků (dále jen prvků) je typu: *master – multislave*. Jeden prvek (typu *master*) provádí arbitráž sběrnice, tedy zahajuje a řídí celou komunikaci a ostatní prvky (typu *slave*) jsou podřízeny. Vyčkávají na synchronizaci komunikace, popřípadě na svolení k datovému přenosu. Sběrnice je poloduplexní, každý prvek může vysílat nebo přijímat data, nikoliv však ve stejnou dobu. Povolení k přenosu dat vydává *master* a zároveň k tomu přizpůsobí její provoz. Komunikační přístup na sběrnici je stochastický, je tedy striktně řešena problematika komunikačního obsazení, kolizní stavy a opuštění komunikace.

Na obrázku 1 je znázorněna celá hierarchie hybridní sběrnice, tedy od přenosu rámců po přenos jednoho bitu. Ten je jejím základním prvkem, přičemž nastavením jeho parametrů je určena rychlost sběrnice, její odolnost proti rušení a také schopnost dodávat energii podřízeným komunikačním modulům. V tabulce 1 jsou vysvětleny anglické zkratky z obrázku.

Taulka 1: Vysvětlivky zkratk z obrázku 1

Úroveň	Český název	Anglický název	Zkratka
1	Komunikační prodleva	Communication Delay	CDEL
2	Ukončení rámce	Termination Sequence	TS
	Zpracování přenosu	Data Processing	DP
1	Komunikační rámec	Communication Framework	CFRM
2	Datové záhlaví rámce	Frame Data Header	DHDR
3	Kalibrace	Master Calibrates	MC
	Dotaz	Master Asks	MA
	Příkaz	Master Directs	MD
2	Datový přenos rámce	Frame Data Transmission	DTMS
3	Datové záhlaví	Data Header	DH
	Přenos dat	Data Transfer	DT
	Zabezpečení	Data Security	DS
4	Bitový blok	Bit Block	BB
5	Informační blok	Information Block	IB
6	Bitová synchronizace	Bit Synchronization	BS
7	Hrana přerušení	Interrupt Edge	IE
	Synchronizace sběrnice	Interrupt Delay	ID
6	Přenos informace	Information Transmission	IT
7	Přechod sběrnice log0 – log1	Transitional State	TNS
	Vzorkovací interval	Sample Interval	SI
	Ukončovací sekvence bitu	Bit Termination Sequence	TBS
5	Napájecí blok	Power Block	PB
6	Nabíjení kapacitoru	Charging The Capacitor	CC

Fyzická vrstva sběrnice je schopna zabránit kolizím (prvky připojené na sběrnici jsou schopny kolizi detekovat), ale tento stav je také řešen ve vyšší vrstvě protokolu. Zde je nastaven mechanismus, kterým se kolizní prvky řídí a podle něhož jsou schopny opustit datový přenos tak, aby nebyla narušena celistvost probíhajícího procesu. Je tedy zajištěno, že i v případě datové kolize nejsou data znehodnocena.

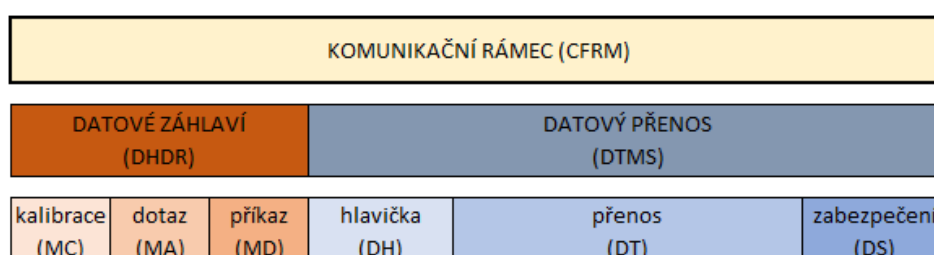


Obrázek 2: Časový průběh přenosu několika komunikačních rámců

Mezi jednotlivými rámci musí být stanovena minimální doba prodlevy, která slouží k synchronizaci zahájení příštího rámce. Jakmile překročí doba prodlevy mezi rámci stanovenou mez, prvek *slave* detekuje ukončení příjmu, zpracuje přijatá data a nastaví parametry systému tak, aby mohl zahájit příjem nového komunikačního rámce – obrázek 2.

2.1 Komunikační rámec

Tak jako je přenos jednoho bitu na nejnižším hierarchickém stupni komunikace, je komunikační rámec na stupni nejvyšším a tvoří ucelený datový přenos. Délka komunikačního rámce je obecně neomezena. Jakýkoliv ucelený přenos informací je vždy realizován komunikačním rámcem. Jeho obsahem je datové záhlaví DHDR (*Frame Data Header*) a datový přenos DTMS (*Frame Data Transmission*). Komunikační záhlaví určuje časovou synchronizaci a směřování toku dat. Datový přenos může být libovolný, obecně je doporučeno rozdělit jej na segment záhlaví DH (*Data Header*), segment datové informace DT (*Data Transfer*), a segment zabezpečení DS (*Data Security*).



Obrázek 3: Schéma komunikačního rámce

Na obrázku 3 je znázorněn diagram komunikačního rámce. Zatímco datové záhlaví je tvořeno přenosem tří bitů, datový přenos je vždy realizován přenosem celých bajtů.

2.1.1 Datové záhlaví

Úvodní segment zahajuje komunikaci. Jeho prostřednictvím dokáže administrátor (*master*) provádět arbitráž přenosu dat. Jelikož se předpokládá, že režie přenosu, jeho četnost, popřípadě směr přenosu není pevně dán komunikačním protokolem, musí před zahájením komunikace být známy všechny potřebné informace o přenosu, zejména:

- délka datového přenosu,
- typy komunikačních rámců,
- komunikační rychlost,
- typ komunikace,
- zabezpečení dat, ...

Některé z uvedených parametrů jsou konstantní pro uvedený typ sběrnice – nejsou tedy modifikovatelné na základě okamžité potřeby. Pro jiné parametry platí určitá volnost z hlediska

zachování univerzálnosti sběrnice a autonomie komunikačního prvku. Datové záhlaví slouží k modifikaci právě těchto parametrů:

- komunikační rychlost (MC) – kalibrace časové základny komunikačních modulů,
- dotaz na potřebu komunikace (MA) – moduly slave zde oznamují nutnost komunikace,
- směrování komunikace (MD) – modul slave určuje směr toku dat.

2.1.2 Datový přenos

Jakmile je přeneseno datové záhlaví, všichni komunikující partneři jsou informováni o přenosové rychlosti a směru komunikace, je zahájen datový přenos. Tento segment je tedy zahájen ukončením komunikačního záhlaví, má délku násobků celých bajtů. V případě vysílání dat *masterem* je konec přenosu uvozen nečinností sběrnice. Pokud data vysílá *slave*, nelze predikovat ukončení přenosu, neboť veškerou komunikaci realizuje *master*. Délka paketu modulu *slave* musí být tedy dána jednou z možností:

- velikost datového přenosu je uvedena v záhlaví datového přenosu,
- velikost datového přenosu je dána komunikačním protokolem,
- velikost datového přenosu je konstantní.

Ze všech uvedených možností se jeví zřejmě nejvýhodnější možnost získávat informaci o délce datového přenosu v jeho záhlaví. Z důvodu uniformity komunikačního protokolu je vhodné, aby informaci o délce poskytoval jak *slave*, tak i *master* a vůbec aby byl celý datový profil shodný pro oba typy komunikačních prvků. Proto je na obrázku 4 znázorněn návrh skladby datového přenosu.

KOMUNIKAČNÍ RÁMEC (CFRM)			
DATOVÉ ZÁHLAVÍ (DHDR)	DATOVÝ PŘENOS (DTMS)		
synchronizace řízení směru dat	hlavička (DH)	přenos (DT)	zabezpečení (DS)

Obrázek 4: Ukázka komunikačního rámce hybridní sběrnice

První část datového přenosu (na obrázku 4) je označena **DH** (*Data Header*) například o velikosti 2 B, informuje o délce celého datového přenosu, tedy včetně sebe sama. Velikost přenášených dat tedy může nabývat hodnot například 2^{16} B (65 536 B).

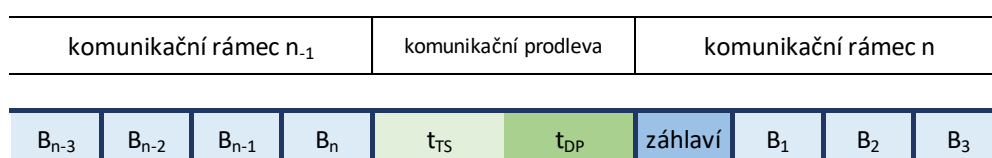
Prostřední část datového přenosu je označena **DT** (*Data Transfer*). V této části jsou přenášena veškerá data a jediné zde je nesena datová informace. Ostatní části komunikačního rámce tvoří

arbitráž přenosu. Na této úrovni je řešen pouze přenos obecných dat, někdy se lze setkat s výrazem „*raw data*“. Rozlišení jejich typu, adresace, hierarchie atd. se děje ve vyšší vrstvě.

Závěrečná část datového přenosu je označena symbolem **DS** (*Data Security*). Tato část je opatřena zabezpečovací informací, pomocí níž lze s vysokou jistotou zjistit autenticitu přenesených dat v bloku DT. Jako nejvýhodnější prostředek pro zabezpečení přenosu dat z hlediska autentizace se jeví aplikování funkce CRC (*Cyclic Redundancy Check* – cyklický kontrolní součet). Výhoda této metody spočívá v jednoduchosti jejího použití ať už pomocí hardwarových nebo softwarových nástrojů, ale také v její vysoké spolehlivosti. Po výpočtu zabezpečovací informace se výsledek vloží za přenášená data. Příjemací strana na základě přijatých dat vypočítá vlastní hodnotu zmíněné operace a porovná ji s hodnotou přijatou na konci datového řetězce. V případě nalezení shody je přenesená informace s vysokou pravděpodobností autentická.

2.2 Komunikační prodleva

Z důvodu synchronizace konce datového rámce (modulu *slave*), ale také z důvodu získání časové prodlevy nutné pro zpracování přijatých dat, musí *master* vložit mezi jednotlivé komunikační rámce jistou minimální dobu „neaktivity“. Maximální délka prodlevy není dána, nicméně z důvodu komunikační metody *pollingu* by měla být určena, a to v závislosti na procesních požadavcích systému.



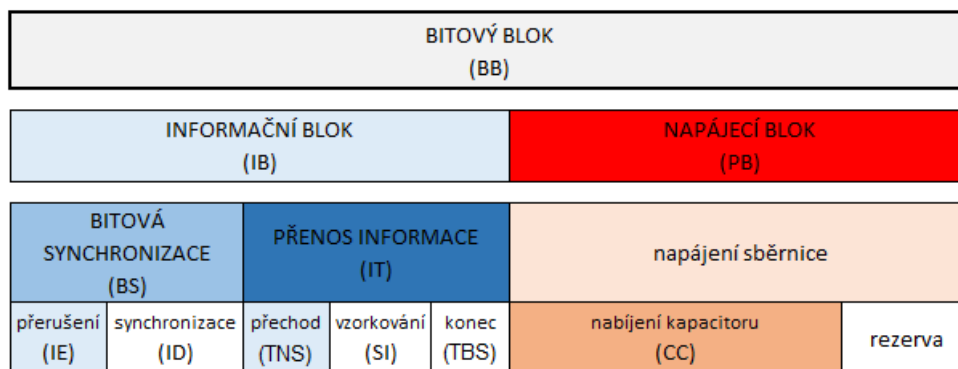
Obrázek 5: Rozdělení komunikační prodlevy

Na obrázku 5 je komunikační prodleva rozdělena na dvě části, TS (*Termination Sequence*) o délce t_{TS} a DP (*Data Processing*) o délce t_{DP} . Část komunikační prodlevy označené jako t_{TS} tvoří hranici, po jejímž uplynutí *slave* detekuje ukončení komunikace. Pokud *master* ukončí komunikaci, ostatní prvky to zjistí prostřednictvím určité doby nečinnosti. Navýšení času musí zahrnovat tolerance časových základů obou prvků, kvantizaci měřicího časovače (*Capture mode*), a rezervu pro obsluhu procesu. Po jejím uplynutí *slave* ukončí přenosový provoz, zpracuje data a nastaví potřebné procedury tak, aby mohl začít přijímat další paket. Tyto popsané procedury se zpracují během části prodlevy označené jako DP o délce t_{DP} (*Data Processing*). Během této prodlevy vysílač plní úkoly: vyhodnocení přenosu paketu (kolize /

přenos OK), příprava k zahájení nové komunikace. Příjímač plní úkoly: načtení přijatých dat do záložní paměti (anglicky *buffer*), zpracování přijatých dat, příprava k zahájení nové komunikace. Dolní mez této prodlevy je tedy dána omezením procesního zpracování instrukcí a musí brát ohled na moduly s minimální operační rychlostí.

2.3 Přenos jednoho bitu – bitový blok

Přenos jednoho bitu je základním prvkem provozu. Na této úrovni se popisovaná hybridní sběrnice odlišuje od ostatních. Tento základní komunikační prvek, slouží k přenosu informace o velikosti jednoho bitu a zároveň realizuje napájení podřízených modulů. Na obrázku 6 je znázorněno jeho blokové schéma.



Obrázek 6: Schéma přenosu bitového bloku

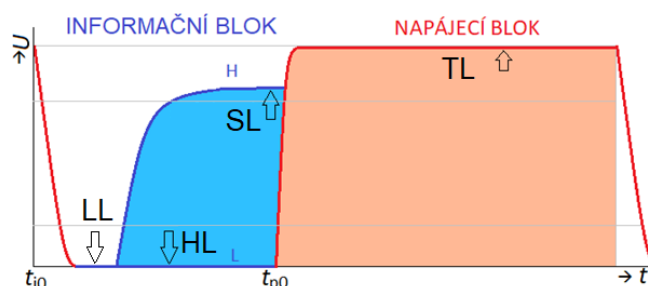
Jelikož hybridní sběrnice plní dva základní úkoly: přenáší informaci, a napájí připojené moduly, musí být režim přenosu jednoho bitu rovněž rozdělen:

- Informační blok – IB.
- Napájecí blok – PB.

Obě části, jak je z obrázku 5 patrné, jsou sekvenčně řazeny za sebou, tudíž přenosová rychlost musí být nutně nižší než u sběrnic, které mohou kontinuálně komunikovat a jejichž rychlost je omezena pouze fyzikálními vlastnostmi radičů, budičů či vedením. Oba bloky jsou složeny z několika fází, které budou v následující části textu podrobně popsány, kvalitativně, i kvantitativně.

Ještě před zahájením popisu přenosu bitového bloku je nezbytné stanovit názvosloví týkající se procesu přepínání úrovně sběrnice. Během přenosu je sběrnice modifikována budiči, jež jsou děleny do čtyř kategorií, jejich dopad se vyznačuje určitou napěťovou úrovní, avšak jsou prezentovány proudovou abilitou – obrázek 7.

- TL (*Top Level*) – spínač napájecího bloku – modul *master*,
- LL (*Low Level*) – spínač uzemňující sběrnici – modul *master*,
- HL (*Hard Level*) – spínač datového bloku realizující logickou úroveň 0 – modul *slave*,
- SL (*Soft Level*) – spínač datového bloku realizující logickou úroveň 1 – modul *master*.

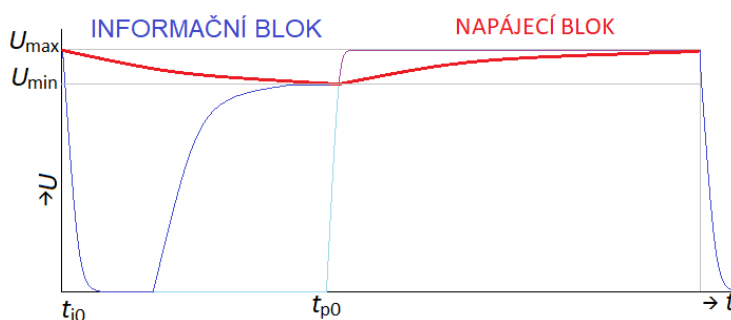


Obrázek 7: Proudové úrovně při přenosu bitové buňky

Přes dimenzované spínače tečou proudy: I_{TLmax} , I_{LLmax} , I_{HLmax} , I_{SLmax} . Mezi těmito proudy musí platit následující nerovnost:

$$I_{TLmax} \gg I_{HLmax} > I_{SLmax}. \quad (1)$$

Dle vztahu (1) je zřejmé, že proudově řízený spínač provádějící sepnutí na úroveň SL (*Soft Level*) musí být „překonán“ spínačem úrovně HL (*Hard Level*) a sběrnice musí být spolehlivě na úrovni log0. Spínač HL musí s velkou rezervou „odstavit“ spínač realizující úroveň TL (*Top Level*) a spolehlivě tak připojit napájecí napětí do systému.



Obrázek 8: Časový průběh napěťové úrovně sběrnice a napájení modulu *slave*

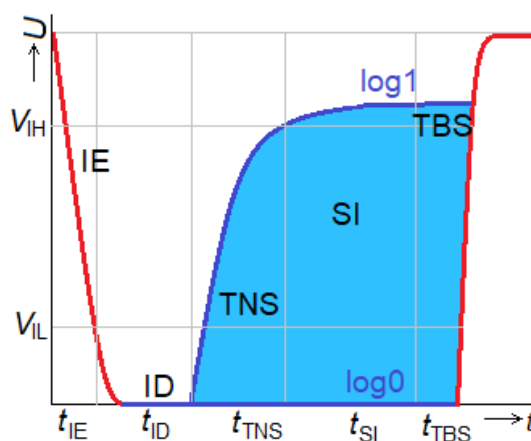
Zatímco informační blok (IB) se stará o přenos informace a je složen ze synchronizační fáze a fáze obsluhující vlastní přenos, úkolem napájecího bloku (PB) je pokrytí energetické potřeby po dobu přenosu celého bitového bloku. Napájecí blok následuje bezprostředně po ukončení informačního bloku. Prvek *master* jej realizuje přímým připojením sběrnice na napájecí napětí (TL). Jelikož každý prvek *slave* musí být na vstupu opatřen detektorem maxima, začne se po připojení sběrnice na napájecí napětí nabíjet zálohovací kapacitor, jehož napětí po dobu

datového bloku pokleslo. Na obrázku 8 je ukázán obecný napěťový průběh sběrnice při přenosu jednoho bitu. Červený průběh značí zvlnění napájecího napětí modulu *slave*, které se musí pohybovat v bezpečných limitech.

Během informačního bloku nesmí klesnout napájecí napětí modulu *slave* pod stanovenou mez. Délka napájecího bloku musí být dostatečná, aby sběrnice byla schopna po tuto dobu dodat energii do všech záložních kapacitorů, přičemž zároveň napájí všechny připojené prvky. Nabíjecí dobu kapacitoru lze vypočítat poměrně přesně. Pokud jsou známy energetické výdaje během datového bloku je znám i pokles napájecího napětí během této doby. Pokud je známa proudová schopnost napájecího zdroje, není problém stanovit dobu potřebnou k doplnění energie do kapacitoru.

2.3.1 Informační blok

Informační část bitového bloku řeší informační přenos jednoho bitu, včetně časové synchronizace pro komunikační partnery. Základní požadavkem je snaha o dosažení nejvyšší přenosové rychlosti. Tento požadavek stojí v opozici především s reálnou **impedancí** vedení, snahou o **energetickou nenáročnost** provozu sběrnice a rovněž také **rušivými vlivy** prostředí. Proto doba trvání datového bloku musí zahrnovat všechna výše uvedená kritéria a její výsledek bude kompromisem zvažujícím všechny zmíněné vlivy. Za účelem výpočtu doby trvání datového bloku je tento blok rozdělen na jednotlivé segmenty.



Obrázek 9: Časové poměry při přenosu datového bloku

Datový blok, na obrázku 9, je zahájen okamžitou změnou logické úrovně sběrnice, přechodem z log1 do log0 **IE** (*Interrupt Edge*). Tu realizuje *master* proudovým spínačem LL. Zároveň se mění vektor napájení podřízených modulů. V době před zahájením tohoto bloku byla sběrnice připojena na napájecí napětí, byla schopna nejen napájet prvky *slave*, ale také doplňovat

spotřebovanou energii v jejich zálohovacích kapacitorech. Zahájení informačního bloku je provázeno odpojením napájecího napětí od sběrnice a neprodleným odsátím náboje z impedanční části přenosového systému (vedení a vstupní obvody komunikačních prvků). Ze zřejmých důvodů existuje snaha o její časovou minimalizaci.

Tuto změnu vyvolá *master* (pomocí LL) a je prezentována poklesem napětí sběrnice k hodnotám blízkým k nule. Každá sběrnice má impedanční charakter, tudíž v ustáleném stavu disponuje nábojem, který je nutné v tomto kroku odsát. Operace bloku IE tedy nedodává do soustavy žádnou energii, naopak energie je disipována spínačem LL. Hlavním cílem této části datového bloku je rychlý přechod stavu, tedy vysoká strmost dV/dt . Jelikož během přeskupování náboje ze sběrnice neteče proud velký natolik, aby její případný indukční charakter vyvolal negativní napěťovou špičku (podkmit), není maximalizace poklesu sběrnice kritická. Výjimku může tvořit nevhodný návrh detektoru maxima modulu *slave*. Během zotavovací doby detektoru (t_{IT}) může spínačem téct nejenom proud parazitního náboje vedení, ale také reverzní proud z kapacitoru zálohy energie – dále jen záložní kapacitor. Takový proud je řádově vyšší než očekávaný a může způsobit právě zmiňovaný podkmit napětí na sběrnici.

Přepnutí logického stavu sběrnice inicializovaného *masterem* zahajuje synchronizační procesy u prvků *slave*. Následuje doba prodlevy v tomto stavu označená jako **ID** (*Interrupt Delay*). Ta tvoří nezbytný čas pro zahájení přenosu dat ať pro vysílače, tak pro přijímače. Po dobu trvání uvedeného segmentu musí všechny komunikační prvky zahájit komunikaci tím, že se synchronizují právě na dobu poklesu sběrnice, sjednotí si dobu zahájení komunikace a připraví se na přenos informace. Doba trvání tohoto segmentu je dána především výpočetní rychlostí komunikujících prvků. V každém systému, ať už sekvenčním nebo v kombinačním dochází ke zpoždění reakce. Proto musí být tato doba nejméně tak dlouhá, jaká je doba odezvy nejpomalejšího komunikačního prvku.

Po uplynutí obou synchronizačních segmentů následuje samotný bitový přenos, označený jako **IT** (*Information Transmission*). Pomocí tohoto segmentu se může realizovat přenos $\log 1$ i $\log 0$, navíc vysílat data může *master* nebo *slave*, proto tento blok nabývá následujících variant:

- *master* vysílá $\log 1$ (pomocí SL) na sběrnici, *master* i *slave* čtou sběrnici,
- *master* vysílá $\log 0$ (pomocí LL) na sběrnici, *master* i *slave* čtou sběrnici,
- *slave* vysílá $\log 1$ (*master* SL) na sběrnici, *master* i *slave* čtou sběrnici,
- *slave* vysílá $\log 0$ (*master* SL vs. *slave* HL) na sběrnici, *master* i *slave* čtou sběrnici.

Hodnoty logických úrovní, jakož i časy ve kterých probíhají důležité komunikační procesy, budou popsány dále v textu.

V této části *master* opět otočí logický stav sběrnice, z log0 na log1, s použitím omezeného zdroje proudu (SL – *Soft Level*). Ten může být prezentován v nejjednodušším případě připnutím *pull-up* rezistoru na napájecí napětí, obecně však připojením nejmenšího zdroje proudu, jenž je schopen dodat do sběrnice a připojených vstupních obvodů takové množství náboje, které je schopno za určitou dobu (t_{NS}) přepnutí sběrnice na horní logickou úroveň.

Pokud *slave* vysílá log0, sepne sběrnici na tuto úroveň (HL – *Hard Level*) jelikož disponuje silnějším zdrojem, v tomto případě silnější proudovou norou (anglicky *Sink Input*). Na sběrnici je přítomna logická nula, napěťová úroveň je tedy nízká. Tato část přenosu může být za jistých podmínek ztrátová (*slave* vysílá log0) proto v případě nízkopříkonového režimu musí být kladen důraz na vyváženost kompromisního řešení mezi rychlostí přenosu, odolností proti zarušení a spotřebou energie.

Citlivou částí toho segmentu, která musí být precizně řešena, je doba vysílání log0 modulem *slave*. Spínač, způsobující sepnutí sběrnice k nulové úrovni (HL) musí být schopen sepnutí vyššího proudu nežli spínač uvádějící ji v prvku *master* do stavu logické 1 (SL). Zároveň musí být schopen na konci datového bloku (TBS – *Bit Termination Sequence*), tedy na začátku napájecího bloku (TL – *Top Level*) okamžitého uvolnění sběrnice, neboť v tomto případě je déletrvající kolize nežádoucí. Napájecí blok je zahájen připnutím sběrnice na napájecí úroveň pomocí nejsilnějšího ze spínačů – TL, proto proti tomuto spínači je zapojen spínač HL disponující násobně nižší proudovou abilitou (1). Tato kolize může být ošetřena dvěma způsoby:

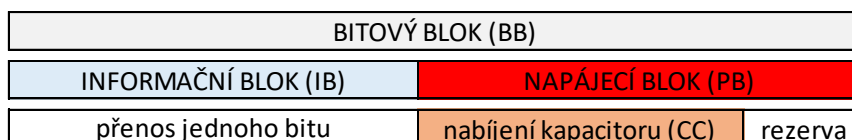
1. Spínač prvku *slave* – HL může být proudově předdimenzován, musí však být zajištěno jeho předčasné vypnutí (TBS).
2. Spínač prvku *slave* – HL může být navržen tak, aby dokázal sběrnici udržet ve stavu nízké úrovně v datovém bloku, ale aby nekladl příliš velkou zátěž spínači (TL) uvádějícímu v chod napájecí blok.

V obou případech musí být spínač prvku *slave* (HL) vypnut při zahájení napájecího bloku. Tedy buď okamžik před zahájením napájecího bloku (časové řízení), nebo bezprostředně po zahájení napájecího bloku (proudové řízení). Oba uvedené způsoby disponují jinou technologií spínačů, ale také jiným způsobem ovládání. Sekvence SI – *Sample Interval*, je vyhrazena ustálené části sběrnice, během níž se vzorkuje na straně modulu *slave* i *master* její úroveň.

2.3.2 Napájecí blok

Nezbytná „zpožďující“ součást komunikačního procesu musí mít délku potřebnou pro pokrytí energetické ztráty způsobené prodlevou datového bloku. Napájecí blok **PB** je možné rozdělit na dva segmenty – viz obrázek 10:

- doba doplnění energie do zálohovacího kapacitoru – CC,
- časová rezerva.



Obrázek 10: Schéma přenosu jednoho bitu, fáze napájecího bloku

Délka napájecího bloku je ovlivněna velikostí kapacitoru v detektoru maxima, spotřebou a proudovou schopností napáječe v modulu *master*. Základním požadavkem je udržení minimální napěťové úrovně kapacitoru. Během informačního bloku nesmí klesnout napájecí napětí modulu *slave* pod stanovenou mez. Délka napájecího bloku musí být dostatečná, aby sběrnice byla schopna po tuto dobu dodat energii do všech záložních kapacitorů, přičemž zároveň napájí všechny připojené prvky. Nabíjecí dobu kapacitoru lze vypočítat poměrně přesně. Pokud jsou známy energetické výdaje během datového bloku je znám i pokles napájecího napětí během této doby. Pokud je známa proudová schopnost napájecího zdroje, není problém stanovit dobu potřebnou k doplnění energie do kapacitoru. Nicméně časová rezerva je vždy potřebná k bezproblémovému provozu. Potřebné výpočty všech zmíněných veličin budou popsány v konkrétních návrzích hybridní sběrnice.

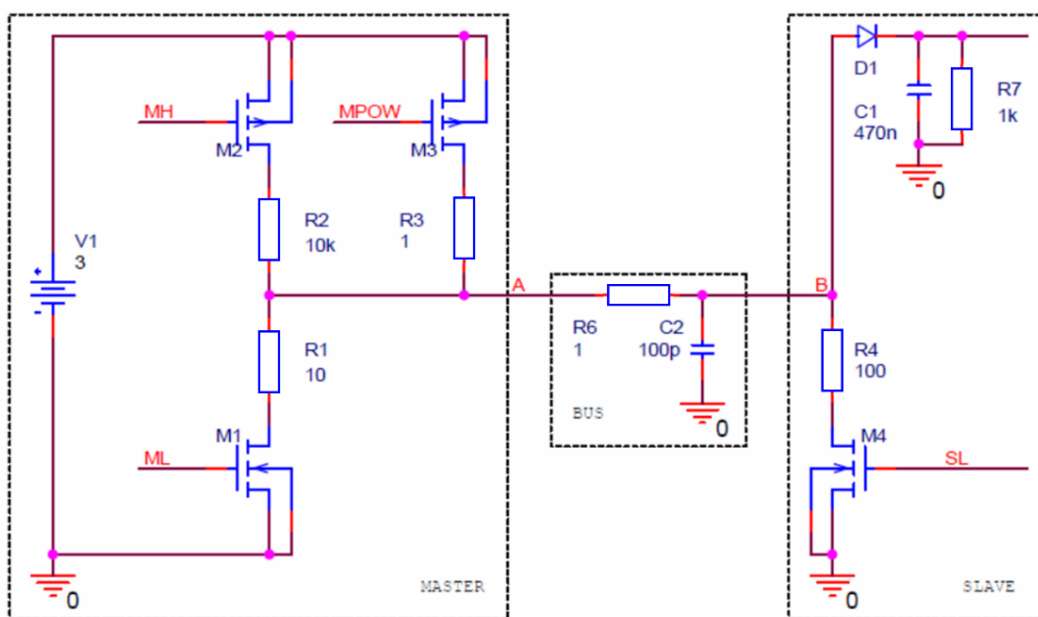
3 Návrh nízkopříkonové hybridní sběrnice

Zařízení, které je napájeno pomocí bateriového zdroje – ať primárního či sekundárního, by mělo pracovat ve speciálním režimu. Tento režim, je však kompromisem mezi protikladnými požadavky:

- okamžitá odezva na externí podnět,
- vysoký výpočetní výkon,
- nízká spotřeba.

Ze zřejmých a výše uvedených důvodů je informace přenášena po sběrnici bez zátěže, popřípadě s minimální zátěží. To znamená, že vliv rušivého signálu může být velmi podstatný. Naproti tomu je tento přenos provázen odčerpáním minimálního množství energie. Na obrázku 11 je znázorněná celá přenosová soustava. Ta je tvořena tranzistorovými spínači M1, M2, M3, M4. Tyto jsou proudově omezeny rezistory R1, R2, R3, R4, které se chovají jako vnitřní odpory napětových generátorů. Tranzistor M3 realizuje přenos napájecí energie na straně vysílače a dioda D1 spolu s kapacitou C1 pracuje jako detektor maxima, čímž odděluje napětový a datový blok přenosu. Parazitní parametry sběrnice představuje sériový odpor R6 spolu s příčnou kapacitou C2. Proudovou zátěž modulu *slave* reprezentuje rezistor R7.

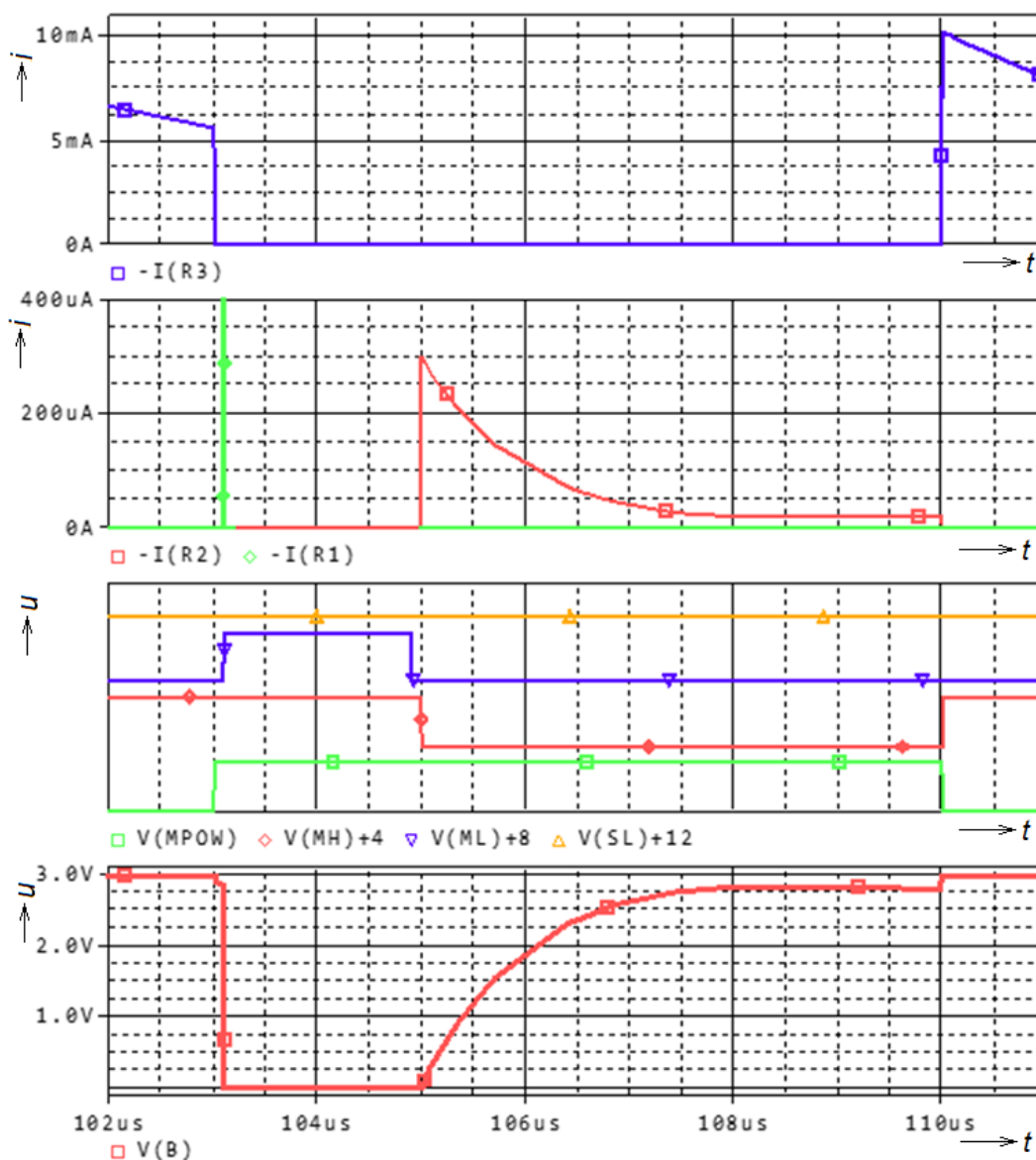
Kombinace tranzistoru a rezistoru tvoří proudově omezený spínač. Proud tekoucí těmito budiči není díky nakloněné zatěžovací odporové přímce konstantní, ale díky digitální logice bude setrvávat ve dvou statických úrovních. Takto navrženou sběrnici nelze provozovat v režimu „*multislave*“, protože každý další zúčastněný modul *slave* na ni připojený, modifikuje její proudové (a díky sklonu zatěžovací přímky) podstatně i napětové poměry. Optimální sestava této sběrnice je přímá komunikace mezi dvěma body, *master/slave*. V tomto případě lze přesně nastavit jak napětové, tak i proudové poměry provozu sběrnice.



Obrázek 11: Schéma komunikačního systému pracujícího v nízkonákladovém režimu

Napájení sběrnice (na obrázku 11) a tím i napájení modulu *slave* obstarává tranzistor M3. V okamžiku zahájení přenosu informace (IB) je tranzistor M3 rozepnut a ihned sepnut tranzistor M1 (LL – Low Level). Úkolem tohoto tranzistoru je rychlé odsátí náboje ze sběrnice, která je prezentována vstupní kapacitou *slave* modulu, výstupní kapacitou *master* modulu a

obecnou impedancí sběrnice (příčná kapacita a podélná indukce). Jelikož přechodový stav na impedanční zátěži vyžaduje vždy určitý časový úsek (t_{IE} a t_{ID}), systém setrvává určitou dobu v klidu, než se ustálí napěťová hladina prezentující log0. Tyto časové úseky (I_E – sestupná hrana, I_D – časová prodleva pro synchronizace přijímače) se stanoví na základě proudové náročnosti provozu sběrnice a také na základě impedančních poměrů celé přenosové soustavy.



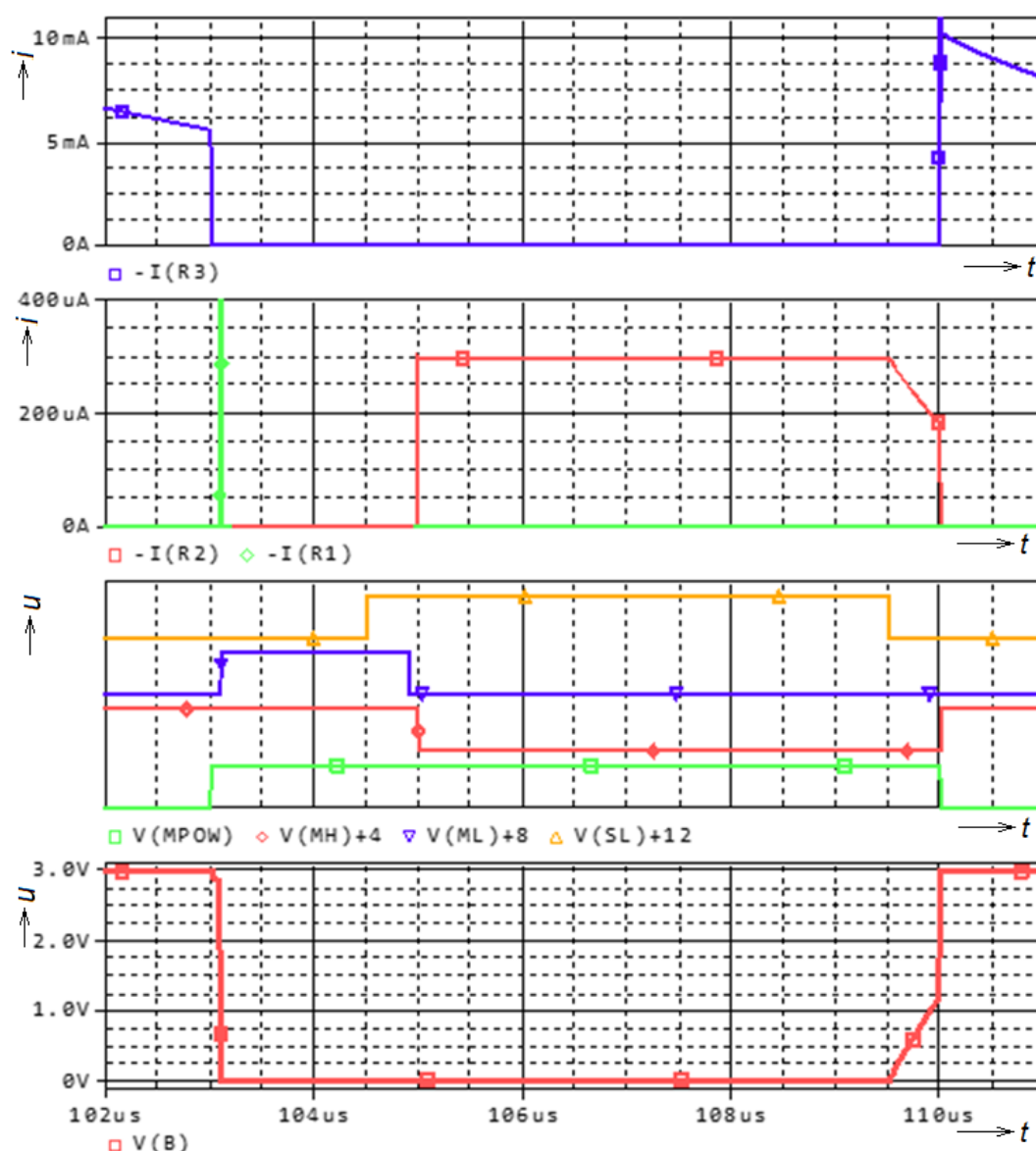
Obrázek 12: Časový průběh simulace vysílání log1 na sběrnici

Po uplynutí výše uvedených časových prodlev je zahájen přenos jednoho bitu (I_T). Nyní záleží na stavu, ve které se modul *master* nachází. Na sběrnici mohou v tomto okamžiku probíhat 4 druhy přenosu ovlivňující chování tranzistoru M2:

1. *master* vysílá log1 – M1 je rozepnut, M2 je sepnut (SL),
2. *master* vysílá log0 – M1 je sepnut (LL), M2 je rozepnut (beze změny),

3. *slave* vysílá log1 – M1 je rozepnut, M2 je sepnut (SL), M4 je rozepnut,
4. *slave* vysílá log0 – M1 je rozepnut, M2 je sepnut (SL), M4 je sepnut (HL – kolize).

Na průběhu simulace z obrázku 12 jsou znázorněny stavy 1 a 3 (*master*, *slave* vysílají log1). Proud I_{R3} zásobuje energii modul *slave*, tzn. v průběhu přenosu informace se modul *slave* napájí autonomně ze záložního kapacitoru. Rezistory R2 a R1 mají za úkol udržet na sběrnici potřebnou napěťovou úroveň. Zatímco hodnota rezistoru R1 není kritická, (na straně *slave* není žádný obvod, který by jej upínal k napájecímu napětí, a tím odčerpával ustálený proud), rezistor R2 musí být navržen s ohledem na možnou kolizi v případě, kdy modul *slave* vysílá log0. Proto na obrázku jsou jejich hodnoty řádově rozdílné. Níže na grafu jsou znázorněny průběhy řídicích napětí do spínacích tranzistorů, proudy klíčovými uzly a logické úrovně spínačů.

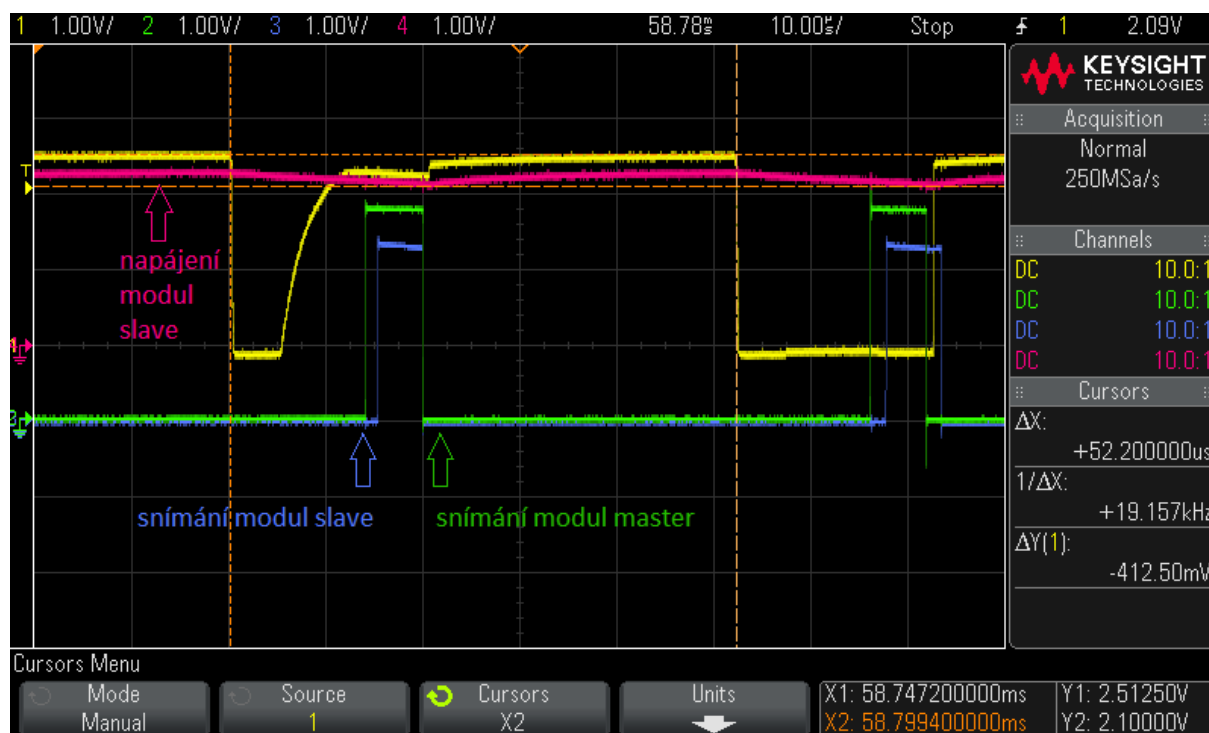


Obrázek 13: Časový průběh simulace – modul *slave* vysílá log0 s časovým řízením

Obrázek 13 ukazuje průběh, ve kterém modul *slave* vysílá log0, tedy R4 koliduje s *pull-up* rezistorem R2. Ve druhém grafu je znát statický odběr I(R1) po dobu vysílání bitu. Z nejnižšího okna grafu průběhu vyplývá, že modul *slave* používá časově řízený digitální spínač, který je odpojen ještě před zahájením napájecího bloku. V červeném průběhu je patrný pozvolný nárůst napětí na sběrnici. Tato varianta je patrná rovněž ze schématu, protože rezistor R4 má příliš nízkou hodnotu. Příčný proud R3 a R4 by způsobil vysokou proudovou, což neodpovídá požadavkům na nízkopříkonový režim.

3.1 Ověření parametrů nízkopříkonové hybridní sběrnice

Pro realizaci provozu v daném módu byly sestaveny dva vývojové kity (*masterLP* a *slaveLP*). Sběrnice byla navržena pro komunikační rychlost 20 kHz. Byla propojena nehomogenním asynchronním vedením (dva izolované vodiče) o délce 0,5 m. Modul *slave* byl zatížen odběrem 50 mA. Pro měření spotřeby energie při samotném přenosu byla zátěž odpojena a do vedení se připojil sériový rezistor o hodnotě 100 Ω . Napětovým úbytkem (získaným nikoliv jeho měřením ale aritmetickým rozdílem jeho naměřených vývodů) na daném rezistoru byl změřen průchod proudu sběrnici.



Obrázek 14: Měření nízkopříkonové sběrnice – délka 0,5m, odběr zátěže 50 mA

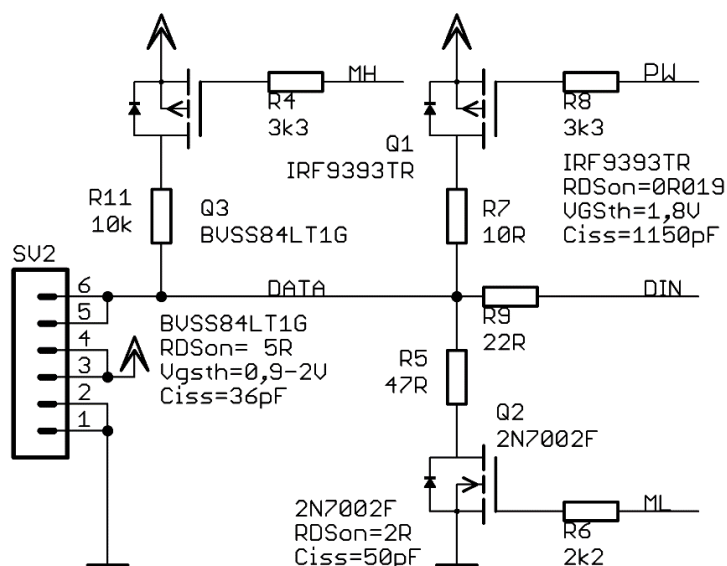
Na průběhu z osciloskopu (obrázek 14) je znázorněn dvakrát přenos jednoho bitu (BB – *Bit Block*). Nejprve je vysílána log1 a následně log0. Žlutý průběh znázorňuje napětovou úroveň

sběrnice, červený ukazuje napájecí úroveň modulu *slave* – měřenou za detektorem maxima. Pomocný zelený průběh ukazuje časový interval, ve kterém modul *master* snímá napětíovou úroveň sběrnice a pomocný modrý průběh znázorňuje interval snímání sběrnice v modulu *slave*. Délka informačního bloku (ΔX) je 52 μs , sběrnice na straně *master* je napájena napětím (Y1) 2,5 V a modul *slave* má minimální hodnotu napájecího napětí (Y2) 2,1 V.

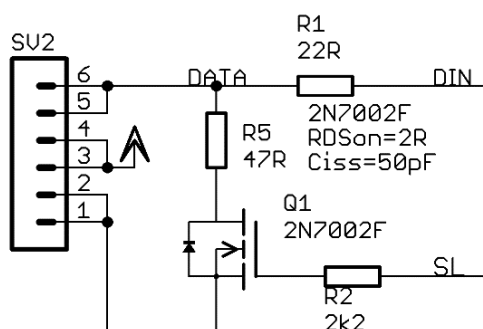


Obrázek 15: Zobrazení proudového odběru sběrnice v nízkopříkonovém módu bez zátěže – měřeno prostřednictvím rezistoru 100 Ω

Odběr proudu během informačního bloku (IB) je znázorněn na obrázku 15. Sběrnice je vedena s vloženým sériovým rezistorem 100 Ω , přičemž napětíové úrovně obou vývodů (sonda 1 a 4) byly zaznamenány osciloskopem. Rozdílová matematická funkce – fialový průběh, ukazuje úbytek napětí na měřicím rezistoru. Výsledek je očekáván. V případě vysílání modulu *slave* log0 je sběrnice zatížena svodovým – tedy ustáleným proudem. Z výstupu osciloskopu tato úroveň odpovídá zhruba proudu 344 μA (34,43 mV/100 Ω). Při vysílání log1 se prostřednictvím sběrnice disipuje náboj pouze v přechodovém stavu. To odpovídá přibližné hodnotě 156 μA (15,65 mV/100 Ω).



Obrázek 16: Detail budiče ve vývojovém kitu modulu **master** v nízkopříkonovém módu



Obrázek 17: Detail budiče ve vývojovém kitu modulu **slave** v nízkopříkonovém módu

Schématu obou modulů, respektive detaily budičů obou modulů jsou znázorněna na obrázcích 16 a 17. Na straně modulu *master* jsou signálové vodiče: PW (TL – *Top Level*, napájení sběrnice), ML (LL – *Low Level*, uzemnění sběrnice), a MH (SL – *Soft Level*, log1) realizovány prostřednictvím tranzistorových spínačů a proudová abilita je realizována vřazenými rezistory. Na straně modulu *slave* je pouze spínač SL (HL – log0). V obou modulech je snímání sběrnice prováděno prostřednictvím signálu DIN. Oba moduly jsou řízeny 16bitovými mikrokontroléry z rodiny MSP430FR od společnosti Texas Instruments.

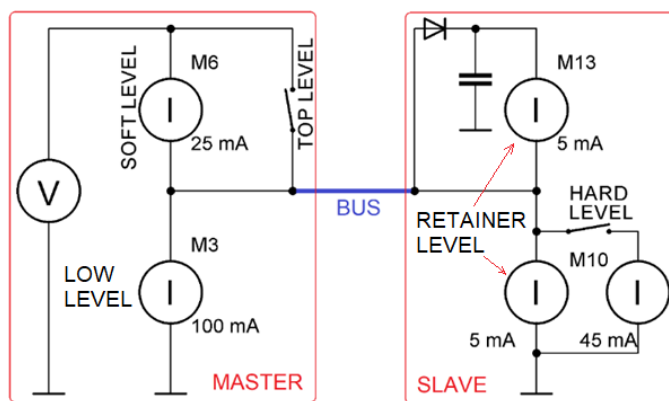
4 Návrh výkonové hybridní sběrnice

V případě, kdy spotřeba všech komunikujících prvků není kritická, popřípadě při nutnosti dodávky více napájecí energie podřízeným modulům, nebo v případě rychlejšího přenosu na delší vzdálenosti, lze navrhnout hybridní sběrnici pracující ve výkonovém módu. Budiče

nemohou být v tomto případě realizovány jako tranzistorové spínače se sériovým rezistorem. Rezistivní zátěž má nepříznivě skloněnou zatěžovací charakteristiku, která by posouvala napětí mimo rámec digitálních úrovní. Stav log0 by se proto mohl pohybovat nad hranicí V_{IL} a stav log1 pod V_{IH} . Proudový zdroj tvořený tranzistorem tvoří aktivní zátěž protilehlému proudovému zdroji. Vzájemné vytvoření aktivní zátěže má díky malému sklonu zatěžovací charakteristiky mnohem příznivější napěťové výsledky. Díky situaci, kdy proudový zdroj generuje proud o jiné velikosti, než jakou hodlá generovat jeho aktivní zátěž, pohybuje se napětí na propojovacím uzlu protilehlých zdrojů v mezních hodnotách (okolo GND nebo U_{DD}).

Ideové schéma použití aktivních proudových zdrojů coby budičů sběrnice je znázorněno na obrázku 18. Jsou zde zdůrazněny možné hodnoty proudových úrovní pro jednotlivé stupně ovládání, tedy:

- TL (*Top Level*) – napájení *master*, bez omezení.
- HL (*Hard Level*) – log0 *slave*, 50 mA
- SL (*Soft Level*) – log1 *master*, 25 mA,
- LL (*Low Level*) – přizemnění sběrnice *master*, 100 mA,
- RL (*Retainer Level*) – upínač sběrnice *slave*, 5 mA.



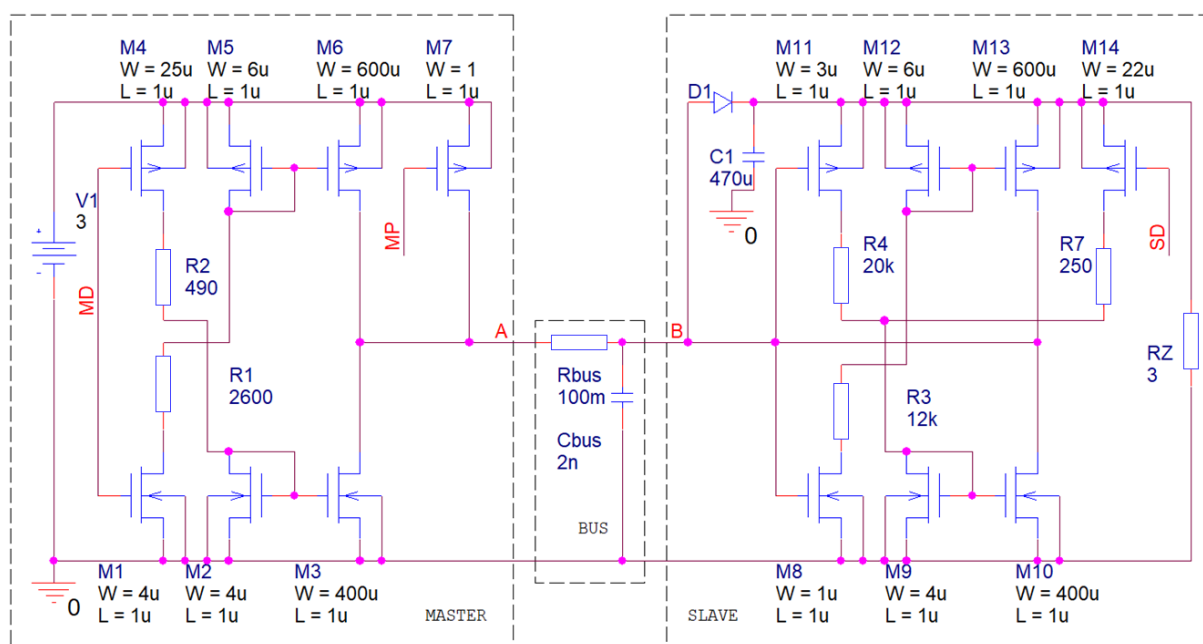
Obrázek 18: Blokové schéma zdrojů proudu budičů výkonové sběrnice

Výše proudových poměrů na sběrnici zajišťuje potřebnou rychlost a také odolnost proti rušení, což bude v další části návrhu formulováno. Budiče sběrnice budou navrženy ve formě mikroelektronického návrhu a také ve formě diskretních prvků. Návrh mikroelektronických layoutů, použité technologie, pouzdrění, popřípadě dalších mikroelektronických výpočtů (*matching*, korekce teplotních vlivů...) nejsou předmětem této práce. Rovněž diskretní návrh se nezabývá technologickým návrhem a výrobním postupem konkrétních budičů. Vše je

prezentováno v ideové formě tak, aby byly vypočítány, případně diskutovány potřebné parametry návrhu.

4.1.1 Návrh budičů sběrnice

Dimenzované proudové zdroje lze realizovat prostřednictvím proudových zrcadel. Pomocí diskrétních součástek je téměř nemožné realizace zmíněných obvodů, proto budou v této kapitole vypočítány parametry aktivních součástek umístěných na čipu. Jak bylo již zmíněno, nejedná se o návrh digitálního obvodu, pouze jeho klíčových částí. Díky tomu nebudou předloženy layouty návrhu, interval provozních a mezních podmínek, návrh vnitřních referencí a podpůrných obvodů jako je detektor maxima aj. Součástí návrhu bude výpočet všech budičů podílejících se na provozu sběrnice a jejich dopad na provoz sběrnice. Na obrázku 19 je kompletní schéma budičů sběrnice.

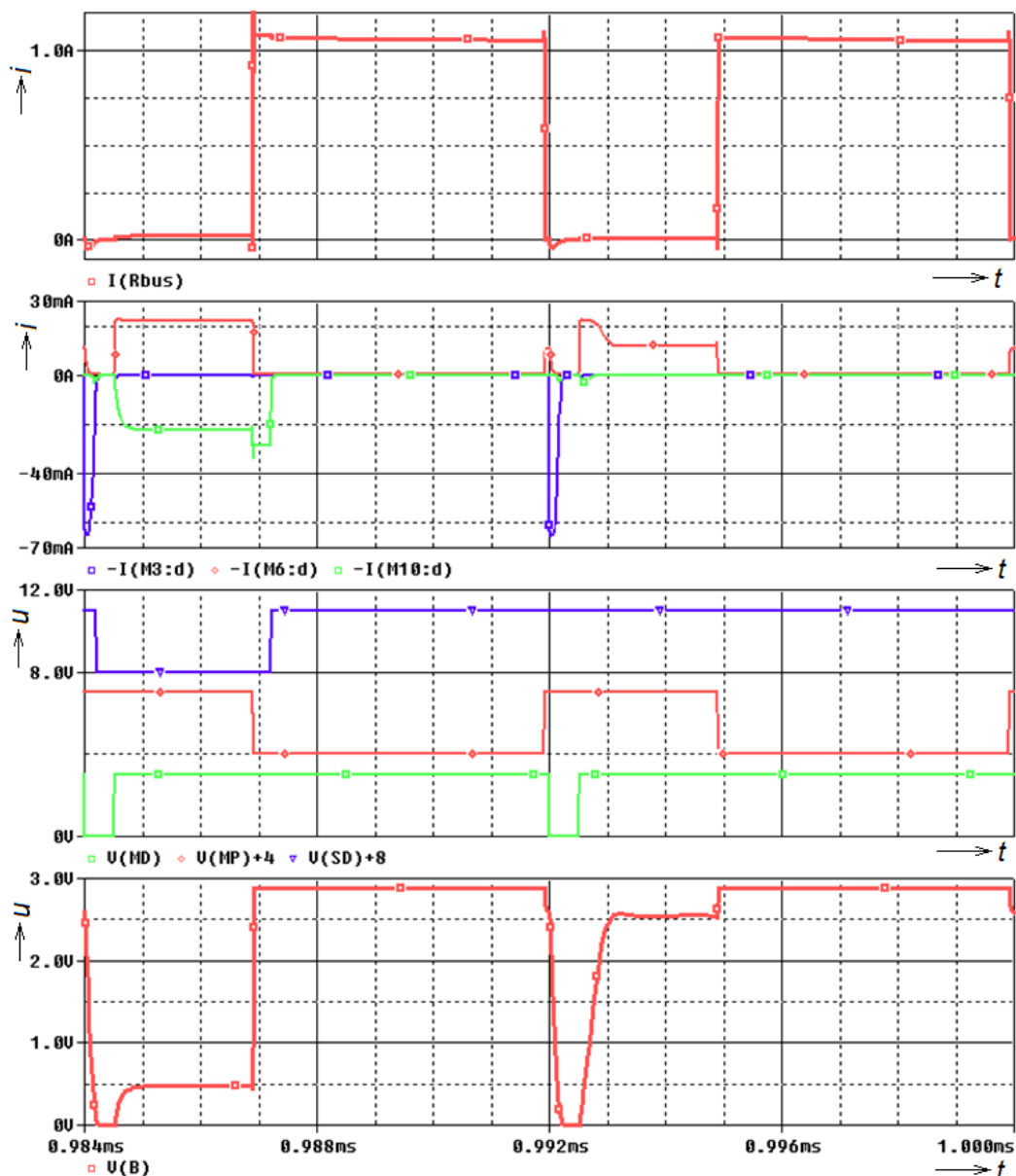


Obrázek 19: Schéma budičů výkonové sběrnice pomocí mikroelektronické struktury

Modul *master* disponuje těmito spínanými budiči: M7 – TL (*Top Level*), M6 – SL (*Soft Level*), a M3 zemnič sběrnice – LL (*Low Level*). Tranzistory M1 a M4 tvoří distributory proudu a tranzistory M2 a M5 vstupy protilehlých proudových zrcadel. Sběrnice a oba komunikační moduly jsou napájeny napětím $U_{DD} = 3\text{ V}$. Sběrnice je prezentována malým parazitním odporem $R_{bus} = 100\text{ m}\Omega$ a velkou příčnou kapacitou $C_{bus} = 2\text{ nF}$. Modul *slave* disponuje upínačem sběrnice M10 a M13–RL (*Retainer Level*), vstupním distributorem proudu M8 a M11

a také vstupy protilehlých proudových zrcadel M9 a M12. Tranzistor M14 tvoří spolu s M11 distributor spínače HL (*Hard Level*), který vznikne proudovým posílením zrcadla M9 a M10.

Zdroje proudu jsou tvořeny rezistory, které by zřejmě v mikroelektronickém návrhu byly realizovány v externí diskretní podobě kvůli možnosti modifikace provozních proudů.



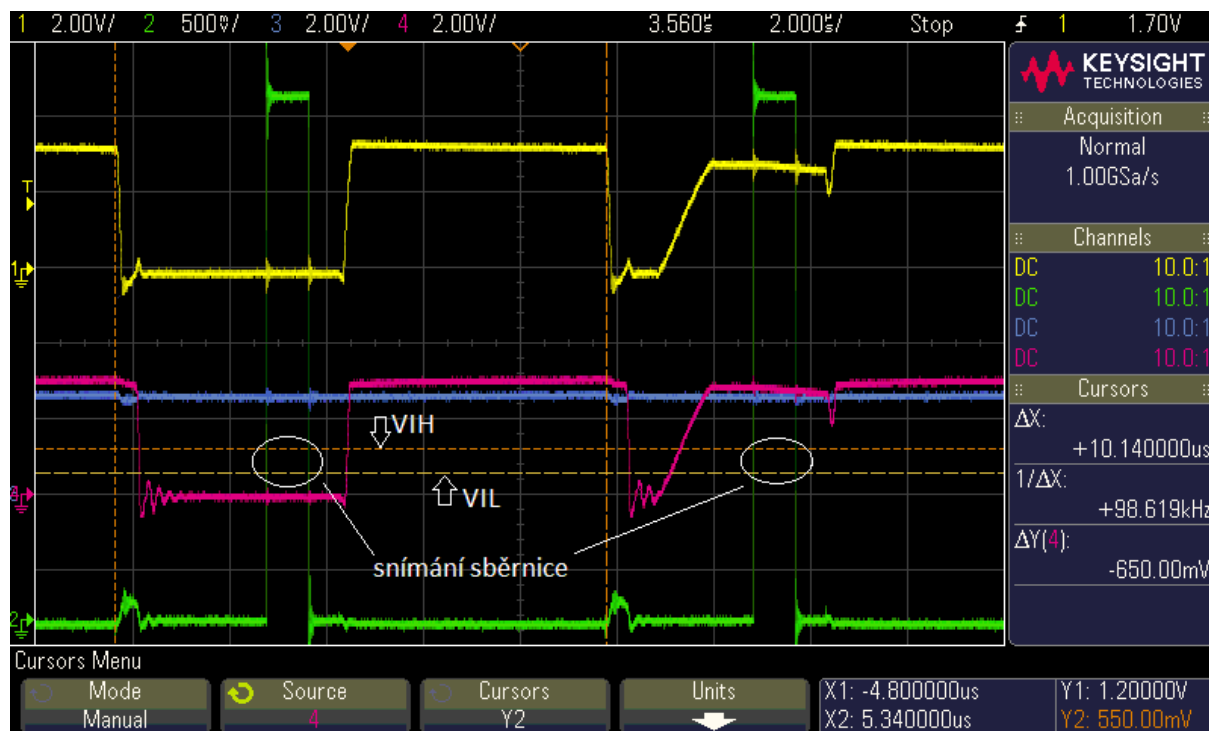
Obrázek 20: Průběh vybraných obvodových veličin při bitovém přenosu

Z průběhů grafu na obrázku 20 vyplývá, že informační blok (IB) má délku $t_{IB} = 3 \mu s$ a napájecí blok (PB – *Power Block*) má délku $t_{PB} = 5 \mu s$. Délka bitového bloku je tedy $t_{BB} = 8 \mu s$. Přenosová rychlost sběrnice je 125 kb/s. Kontinuální zátěž modulu *slave* tvoří rezistor o nominální hodnotě $R_Z = 3 \Omega$. Jelikož detektor maxima je složen z „neoptimální“ diody, je zde velký napěťový úbytek a z toho důvodu napětí na zátěži nedosahuje maxima. První

přenesený bit znázorněný v průběhu dole je log0 a druhý přenesený bit je log1. Horní okno grafu zobrazuje průběh proudu sběrnici během komunikace i s připojenou zátěží. Druhé okno od shora znázorňuje průběhy proudů klíčových budičů a pod ním jsou znázorněny napěťové úrovně řídicích zdrojů, tedy signálů MD, MP a SD. Spodní okno, jak již bylo naznačeno, ukazuje napěťový průběh sběrnice během vysílání. Z průběhu je patrná posloupnost vysílaných bitů: 0 (čas 0,984 ms) a 1 (čas 0,992 ms).

4.2 Ověření parametrů výkonové hybridní sběrnice

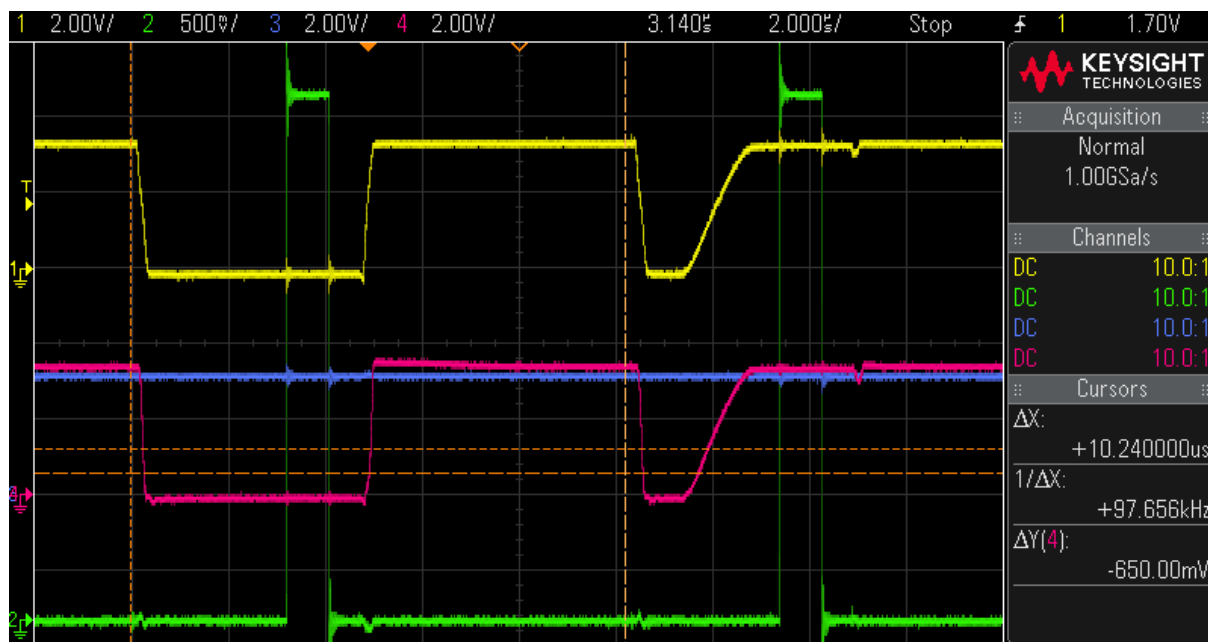
Realizace této sběrnice je poněkud náročnější a budič je vystaven větší náchylnosti k rozptylu hodnot. Nicméně vývojové kity (*masterHP* a *slaveHP*) byly navrženy pro provoz v laboratorních podmínkách za účelem demonstrace provozu sběrnice ve výkonovém módu. Diskrétní návrh byl proveden na základě statického měření proudového zesilovacího činitele konkrétních tranzistorů v daných teplotních podmínkách a proudových rozsazích. Moduly byly propojeny nehomogenním vedením o délce 4 m a modul *slave* byl zatížen výkonovou činnou zátěží o nominální hodnotě $3\ \Omega$. Za účelem měření spotřeby energie při komunikaci, ale také pro ověření práce upínače, byly moduly propojeny krátkým vedením s vloženým rezistorem $22\ \Omega$, prostřednictvím něhož se měřil průchod proudu sběrnici.



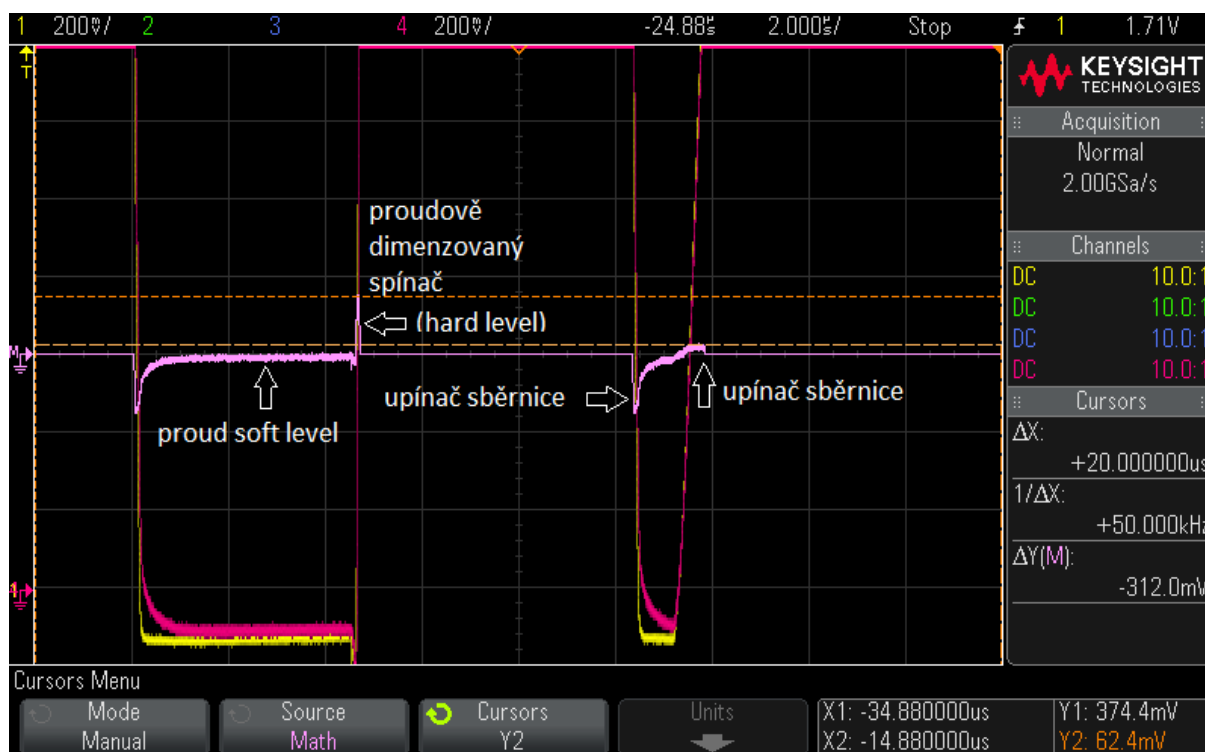
Obrázek 21: Měření výkonové sběrnice osciloskopem – délka 4 m, odběr zátěže *slave* 0,8 A

Průběh na obrázku 21 ukazuje přenos dvou bitů – log0 a log1 komunikační frekvencí cca 100 kHz ($1/\Delta X$) při odběru cca 0,8 A. Žlutým průběhem je znázorněna napěťová úroveň sběrnice na začátku vedení, červený průběh znázorňuje sběrnici ve vstupní části modulu *slave*. Modrý průběh ukazuje úroveň napájecího napětí modulu *slave* a pomocný zelený průběh ukazuje časovou oblast snímání sběrnice modulem *slave*. Kurzory v ose Y (napěťová úroveň) ukazují limitní logické úrovně V_{IH} a V_{IL} modulu *slave*. Podkmity v úvodu bitového bloku jsou způsobeny použitím obyčejné diody namísto precisního detektoru maxima, jejíž zotavovací doba je zodpovědná za nárůst proudu při sestupné hraně sběrnice. Ta je teoreticky provázána pouze disipací náboje ze sběrnice (přechodový jev), nicméně prakticky je v této části vybíjen velký záložní kapacitor (zde 100 μ F) po dobu zotavení diody (t_{tr}).

Při málo zatíženém modulu *slave* (obrázek 22) se napěťový průběh na témže vedení přibližuje více k ideální a simulací ověřené situaci. Jednoduchý budič sice teoreticky splňuje náročnější výkonové požadavky, není však vybaven dalšími obvody zlepšujícími a zpřesňujícími jeho dynamické parametry. V oblasti nízké zátěže (250 mA) pracuje téměř ideálně. Barvy průběhů a jejich význam se ztotožňují s obrázkem 21.

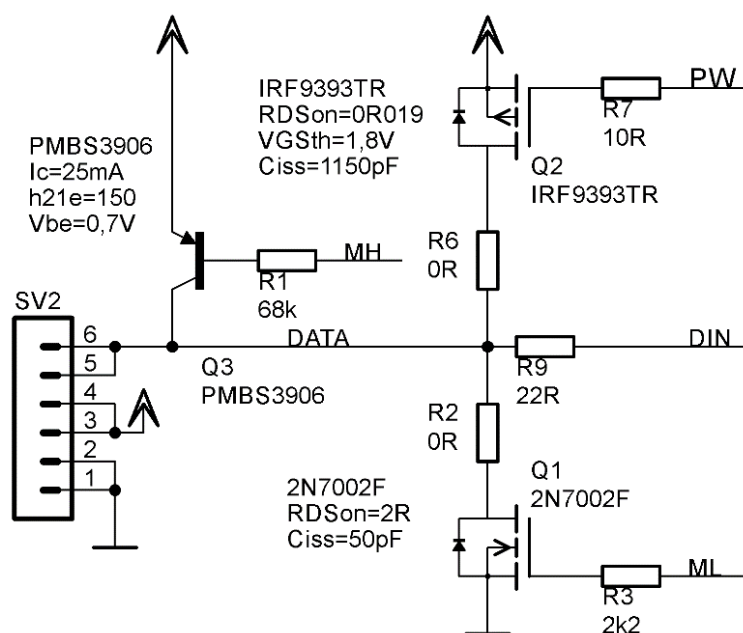


Obrázek 22: Měření výkonové sběrnice osciloskopem – délka sběrnice 4 m, odběr zátěže *slave* 0,25 A

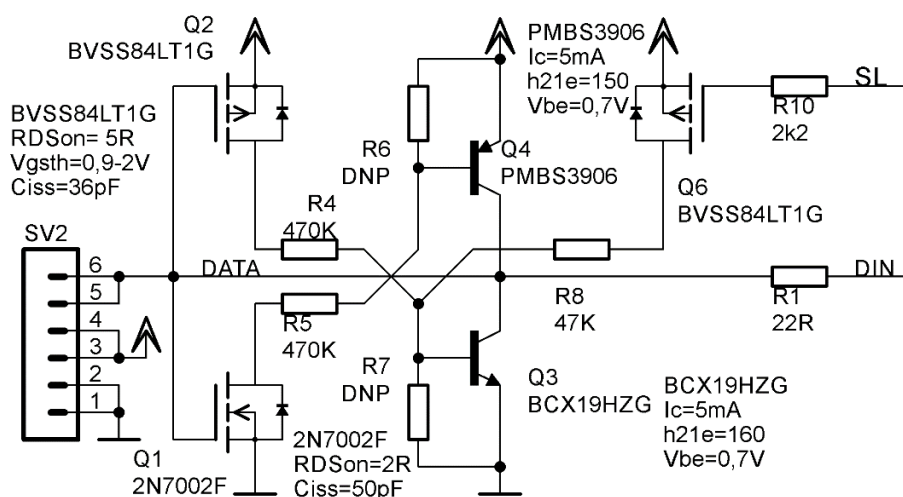


Obrázek 23: Zobrazení proudového odběru sběrnice ve výkonovém módu bez zátěže – měřeno prostřednictvím rezistoru $22\ \Omega$

Průběh proudu protékajícího sběrnici při komunikaci je zachycen na obrázku z osciloskopu (obrázek 23). Aby nebyl procházející proud ovlivněn spotřebou zátěže, je tato odepnuta, tzn. prostřednictvím sběrnice je napájen pouze mikrokontrolér v modulu *slave* (2 mA). Do cesty sběrnice byl vložen rezistor o hodnotě $22\ \Omega$, na kterém se pomocí matematického vyjádření měřil úbytek napětí mezi jeho svorkami. Na obrázku fialový průběh. Z průběhu je patrný proudový nárůst v oblasti přechodu mezi logickými stavy 2,8 mA (62,4 mV/ $22\ \Omega$). Dále je zde vidět proudový náraz při proudově dimenzovaného vypínání log0 modulu *slave* 17 mA (374,4 mV/ $22\ \Omega$). Upínací proud při sestupné hraně je zatížen poněkud vyšší chybou díky dlouhé době zotavení detektoru v modulu *slave*. Po tuto dobu je nejen aktivována horní větev upínače, ale je také vybíjen záložní kapacitor. Proto je proudový špičkový nárůst upínače sběrnice mírně vyšší než předpokládaný.



Obrázek 24: Detail budiče ve vývojovém kitu modulu *master* ve výkonovém módu



Obrázek 25: Detail budiče ve vývojovém kitu modulu *slave* ve výkonovém módu

Vývojové prostředky, jejichž detailní schéma budičů je zobrazeno na obrázcích 24 a 25 byly navrženy za účelem ověření teoretických předpokladů. Nelze je využít jako podklad pro tvorbu reálných budičů. Ty by musely spolehlivě a přesně pracovat v teplotním, proudovém, a napěťovém rozsahu. Dále by musely mít vloženy ochranné a stabilizační obvody, popřípadě další vývody umožňující jednoduché nastavení parametrů, počítající s určitou modalitou návrhu.

Modul *masterHP* ovládá sběrnici prostřednictvím následujících signálových vodičů. PW (TL – Top Level) který ji připojuje k napájecímu napětí. Signál ML (LL – Low Level) umožňuje zahájení informačního bloku (IB). Tento spínač může být realizován i prostřednictvím rezistoru s malou

hodnotou, v prezentovaném případě byl zvolen „tvrdší“ spínač v důsledku vyšších podkmitů sběrnice. Ty jsou způsobeny krátkodobým závěrným proudem detektoru maxima (t_{tr}) a vyšší indukcí nehomogenního vedení. Signál MH ovládá tranzistor (SL – *Soft Level*) který zvedá úroveň sběrnice do log1. Hodnota proudového zesilovacího činitele h_{21e} byla naměřena a pohybovala se v horní části tolerančního pole udávaného výrobcem. Měřením byly nastaveny hodnoty zdroje pohybující se okolo 10 mA.

Modul *slaveHP* na obrázku 25 má budič sběrnice tvořený upínačem (RL – *Retainer Level*). Na vstupu je realizován CMOS diskretním distributorem proudu do protilehlých výstupních proudových zdrojů. Proudové byly opět experimentálně naměřeny a hodnoty řídicích prvků byly stanoveny tak, aby byly obdobné se simulovaným obvodem. Tranzistory Q3 a Q4 tvoří proudově dimenzovaný upínač sběrnice o hodnotě okolo 2 mA. Tranzistor Q3 je navíc schopen pracovat jako zdroj proudu úrovně HL (*Hard Level*) o hodnotě cca 20 mA.

5 Závěr

Předložená disertační práce se zabývá popisem výzkumných prací při návrhu nové hybridní sběrnice přenášející data i napájecí energii po jednom signálovém vodiči. Přestože se sběrnice umožňující napájení po komunikačním vodiči používají v některých specifických aplikacích, je možný aplikovaný výzkum a vývoj nových řešení pro potřeby konkrétních aplikací, který v tomto případě vede k nové řešené sběrnici.

Nová hybridní sběrnice byla navržena na základě konkrétních požadavků z průmyslu. Vzhledem k poměrně velkému množství nároků kladených na její provoz, nebylo možné ze široké škály stávajících sběrnic vybrat takovou, která by beze zbytku splnila veškeré požadavky – proto byla na základě aplikovaného výzkumu navržena sběrnice nová. Mezi klíčové parametry nově navržené hybridní sběrnice patří:

- vyšší přenosová rychlost – 125 kb/s,
- neomezená délka přenášených datových rámců – 200 kB a více,
- napájení spotřebičů – špičkový odběr 150 mA v LPM režimu a kontinuální odběr 0,8 A ve výkonovém režimu,
- miniaturní diskretní zástavba přijímače i vysílače – do 1 cm²,
- odolnost proti rušení (stínění, ochrana EMC),

čímž byly splněny stanovené cíle disertační práce ve všech bodech.

Dosud navržené stávající sběrnice nejsou schopny splnit uvedené požadavky nové skupiny aplikací, přičemž nově navržená hybridní sběrnice tyto požadavky nejenom splní, ale některé z nich i násobně překročí. Vztahy mezi uvedenými klíčovými parametry a jejich návrhovými pravidly se zabývá podstatná část disertační práce. Vztahy mezi jednotlivými parametry, součástkovou základnou budičů sběrnice, popřípadě stupněm přesnosti návrhu, jsou popsány v průběhu praktické a návrhové části disertační práce. Návrh sběrnice pracující v obou módech (výkonový, nízkopříkonový) vyžadoval po celou dobu detailní řešení, výzkumnou část návrhu a praktické ověřování dílčích částí.

Nové a původní vlastnosti předložené sběrnici jsou:

Nová jednovodičová hybridní sběrnice umožňuje provoz jak v nízkoodběrovém režimu (spotřeba řádově desítky mikroampérů – nižší odolnost proti rušení, nižší rychlost), tak ve výkonovém režimu (přenos proudu řádově stovky miliampérů – vysoká odolnost proti rušení, vyšší rychlost). Její fyzická vrstva pracuje na základních, mikroelektronicky integrovatelných elektrických principech, čímž je umožněn mikroelektronický návrh obvodových budičů s možností miniaturní plošné zástavby. Tato sběrnice je primárně určena pro nehomogenní nesymetrická vedení krátkého dosahu a při výše uvedených provozních možnostech je schopna kontinuálního napájení připojených komunikačních modulů poměrně velkým proudem při možnosti nepřetržité vzájemné oboustranné komunikace. Sběrnice navíc disponuje protokolem zajišťujícím management provozu, časovou synchronizaci i řešení kolizního komunikačního přístupu.

V úvodní části jsou předloženy obecné poznatky z oblasti komunikace, vymezení pojmů a popis problematiky provozu sběrnice. Jsou zde nastíněny druhy vedení a jejich podíl na eliminaci vnějších rušivých vlivů. V této části jsou rovněž popsány některé stávající sběrnice coby podkladová řešení pro následné stanovení cílů vlastního návrhu. Jednotlivé sběrnice, blízké se některými ze svých vlastností nově navrhované, respektive požadované do nové skupiny aplikací, jsou porovnány a jsou zdůrazněny jejich nevýhody či přednosti. Závěrem úvodní části jsou specifikovány cíle disertační práce jako výchozí bod následujícího návrhu.

Další, část práce je nejprve věnována ideovému návrhu sběrnice, popisu protokolu nejnižší fyzické vrstvy, časovým poměrům a problematice stanovení jejich klíčových parametrů. V této části jsou stanovena názvosloví a popis jednotlivých částí protokolu sběrnice. Zbytek disertační práce (kapitola 4, 5) je věnován především mikroelektronickému návrhu budičů sběrnice. Nejprve jsou rozebrány obvodové bloky použité v návrzích, jsou předloženy jejich návrhy a

jsou diskutovány jejich jednotlivé části. Vždy jsou rovněž zmíněny alternativy, které jsou podrobeny komparaci a následné analýze. Dále jsou zmíněny toleranční meze návrhu, jejich velikost, popřípadě jejich vliv na provozní podmínky. Praktická část popisuje návrh sběrnice ve dvou módech. Nejprve je uveden návrh sběrnice pracující v nízkopříkonovém režimu (kapitola 4.2) a poté návrh sběrnice ve výkonovém režimu (kapitola 4.3). Každý z návrhů je doložen matematickým vyjádřením všech součástí obvodu. Jako součást návrhu budičů v obou režimech je provedena simulace provozu, doložena schémata i grafy průběhů.

Sběrnice, pracující ve výkonovém režimu, je kromě mikroelektronického návrhu navíc realizována a ověřena i v diskrétní podobě. Poslední část práce (kapitola 5) se zabývá ověřením předchozích tezí a návrhů. Jsou zde předloženy průběhy reálného provozu sběrnice, které ověřují teoretické návrhy a dokládají splnění všech klíčových cílů předložené práce.

V čase předložení této práce je derivát popisované sběrnice provozován ve výrobcích etablovujících se díky českému výrobcovi na evropský trh, řádově ve stovkách kusů. Tato zařízení byla podrobena souboru zkušebnou předepsaných testů s pozitivním výsledkem.

Popis protokolu sběrnice, provozních parametrů a principu byl obecný, byl tedy koncipován nikoliv pro konkrétní, ale pro libovolný obecný návrh. (Konkrétní popis stávající sběrnice nemůže být zde předložen z důvodu původnosti díla pro připravovanou patentovou ochranu.)

Jsem přesvědčen, a z praktických poznatků či zkušeností s provozem stávající sběrnice dokonce i utvrzen, že nově navržená hybridní sběrnice má potenciál pro budoucí vývoj, který by mohl posunout hranice dosavadních parametrů k zajímavějším a v průmyslové oblasti významným hodnotám. Z toho důvodu se hodlám v budoucnu věnovat problematice jejího vývoje a posunout dosavadní hranice klíčových parametrů dále, než jak byly stanoveny při zahájení průmyslového projektu. Součástí budoucího vývoje bude rovněž mikroelektronický návrh integrovaného obvodu budiče sběrnice s externě modifikovatelnými provozními parametry.

Literatura použitá v disertační práci

- [1] ČTÚ. *Sbírka zákonů č. 423/2017* [online]. Český telekomunikační úřad © 2017. [cit. 02.02.2018]. Dostupné z: <https://www.ctu.cz/sites/default/files/obsah/stranky/539/soubory/narodnikmitoctovatabulka.pdf>
- [2] PETERKA, J. *Počítačové sítě verze 3.6 část I. – Principy* [online]. Katedra softwarového inženýrství, Matematicko-fyzikální fakulta, Univerzita Karlova, Praha © 2012. [cit. 05.08.2017]. Dostupné z: <https://www.earchiv.cz/1224/gifs/S3605.pdf>
- [3] Texas Instruments. *Comparing Bus Solutions* [online]. TI.com © 2017 [cit. 05.12.2017]. Dostupné z: <http://www.ti.com/lit/an/slla067c/slla067c.pdf>
- [4] NEVLUD, P; DVORSKÝ, M. *Přenos dat v komunikacích pro integrovanou výuku VUT a VŠB-TUO*. [online]. Vysoká škola báňská © 2014 [cit. 05.12.2017]. Dostupné z: <https://vut-vsb.cz/home/get-file?file=440&%3Bportal=Portal2>
- [5] KAMAL, R. *Embedded systems: architecture, programming and design*. 2nd ed. New Delhi: Tata McGraw-Hill, 2008. ISBN 0070667640.
- [6] SVOBODA, J. *Telekomunikační technika: průřezová učebnice pro odborná učiliště a střední školy*. 2. vyd. Praha: Sdělovací technika, 2000. Telekomunikace (Sdělovací technika). ISBN 80-901936-3-3.
- [7] NĚMEC, K. *Datová komunikace*. Brno: VUTIUM, 2000. ISBN 80-214-1652-1.
- [8] VLACH, J. *Řízení a vizualizace technologických procesů*. Praha: BEN - technická literatura, 1999. ISBN 80-86056-66-x.
- [9] VRBA, K; HERMAN, I; KUBÁNEK, D. *Konstrukce elektronických zařízení*; FEKT VUT v Brně: Brno, 2007.
- [10] SVAČINA, J. *Elektromagnetická kompatibilita: principy a poznámky*. Brno: Vysoké učení technické, 2001. Připojujeme se k Evropské unii. ISBN 80-214-1873-7.
- [11] SVAČINA, J. *Základy elektromagnetické kompatibility Část 2 - Zdroje rušivých signálů a vazební mechanismy jejich přenosu* [online]. Elektrorevue © 2000. [cit. 08.11.2016]. Dostupné z: <http://www.elektrorevue.cz/clanky/00031/index.html>
- [12] KOVÁČ, D; KOVÁČOVÁ I; KAŇUCH J. *EMC z hlediska teorie a aplikace*. Praha: BEN - technická literatura, 2006. ISBN 80-7300-202-7.
- [13] TU-Liberec KST. *Měřicí řetězec a elektromagnetické rušení* [online]. TU-Liberec KST. [cit. 02.02.2017]. Dostupné z: www.kst.tul.cz/podklady/experimentalnimetody/prednasky/p4_mer_retezec_ruseni.pdf
- [14] BĚŠŤÁK R. *Přenosová média (metalická vedení a vlastnosti)* [online]. ČVUT v Praze. [cit. 02.02.2017]. Dostupné z: http://fastdl.crew.sk/fastdl_972/Skola/ELM/ELM4ro%c4%8dn%c3%adkcvika/POS/Meranie%20vlastnost%c3%ad%20prenosovej%20cesty/Prenosov%c3%a9%20m%c3%a9dia%20-%20metalick%c3%a9%20vedenia.pdf
- [15] LINKE, B. *Overview of 1-Wire Technology and Its Use* [online]. Maxim Integrated © 2000. [cit. 02.02.2017]. Dostupné z: <https://pdfserv.maximintegrated.com/en/an/AN1796.pdf>

- [16] Maxim Integrated. *DS1822 Econo 1-Wire Digital Thermometer – datasheet* [online]. Maxim Integrated. [cit. 02.02.2017]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/DS1822.pdf>
- [17] HRBÁČEK, J. *Komunikace mikrokontroléru s okolím*. Praha: BEN - technická literatura, 1999. ISBN 80-86056-42-2.
- [18] Microchip. *MCP2551 – High-speed CAN Transceiver* [online]. Microchip. [cit. 27.07.2017]. Dostupné z: <https://www.microchip.com/wwwproducts/en/MCP2551>
- [19] Microchip. *ANN228 - A CAN Physical Layer Discussion* [online]. Microchip. [cit. 27.07.2017]. Dostupné z: <http://ww1.microchip.com/downloads/en/AppNotes/00228a.pdf>
- [20] VLACH, J. *Počítačová rozhraní: přenos dat a řídicí systémy*. 2. rozš. vyd. Praha: BEN - technická literatura, 2000. ISBN 80-7300-010-5.
- [21] PARET, D. *Multiplexed networks for embedded systems: CAN, LIN, flexray, safe-by-wire...* Hoboken: John Wiley, 2007. ISBN 978-0-470-.
- [22] Integrated Device Technology. *ASI4U - AS-Interface Spec. V3.0 Compliant Universal AS-i IC*. [online]. IDT © 2016. [cit. 27.07.2017]. Dostupné z: <https://www.idt.com/products/interface-connectivity/interface-products/asi4u-interface-spec-v30-compliant-universal-i-ic>
- [23] KLOS, O. *Co je systém AS-INTERFACE* [online]. www.mmspektrum.com © 2007. [cit. 27.07.2017]. Dostupné z: <https://www.mmspektrum.com/clanek/co-je-system-as-interface.html>
- [24] Bihl+Wiedemann. *Safety Technology*. [online]. www.bihl-wiedemann.de. [cit. 02.02.2018]. Dostupné z: <https://www.bihl-wiedemann.de/en/applications/safety-technology.html>
- [25] Groups.uni-paderborn.de. *About M-BUS* [online]. MarDirect Marketing Direct GbR. [cit. 27.07.2017]. Dostupné z: <http://groups.uni-paderborn.de/m-bus/info/prologue.php>
- [26] Texas Instruments. *Meter-Bus Transceiver-datasheet* [online]. TI.com © 2010. [cit. 02.02.2018]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tss721a.pdf>
- [27] M-Bus Documentation. *M-Bus* [online]. MarDirect Marketing Direct GbR. [cit. 27.07.2017]. Dostupné z: <http://www.m-bus.com/mbusdoc/md4.php>
- [28] MyBoiler.com. *What is OpenTherm?* [online]. MyBoiler Ltd. [cit. 30.07.2018]. Dostupné z: <https://uk.myboiler.com/what-is-opentherm/>
- [29] The OpenTherm Association. *The OpenTherm Communications Protocol* [online]. Copyright © 2003. [cit. 27.07.2017]. Dostupné z: <https://www.domoticaforum.eu/uploaded/Ard%20M/OpenTherm%20Protocol%20v2-2.pdf>
- [30] eBUS Interest Group. *eBus Specifications, Physical Layer – OSI 1, Data-Link Layer – OSI 2, V.1.3.1*. [online]. Copyright © 2007. [cit. 02.02.2018]. Dostupné z: http://ebus-wiki.org/lib/exe/fetch.php/ebus/spec_prot_12_v1_3_1_e.pdf
- [31] Wikipedia. *EBUS (serial buses)* [online]. Wikipedia. [cit. 27.07.2017]. Dostupné z: [https://en.wikipedia.org/wiki/EBUS_\(serial_buses\)](https://en.wikipedia.org/wiki/EBUS_(serial_buses))
- [32] DUNGS® Combustion Controls. *A success story* [online]. Karl Dungs GmbH & Co. KG. [cit. 27.07.2017]. Dostupné z: <https://www.dungs.com/en/company/history/>

- [33] National Instruments. *Fundamentals, System Design, and Setup for the 4 to 20 mA Current Loop* [online]. Copyright © 2017. [cit. 02.02.2018]. Dostupné z: <http://www.ni.com/white-paper/6940/en/>
- [34] Texas Instruments. *XTR117 4-20mA Current-Loop Transmitter-datasheet* [online]. Burr-Brown Products from Texas Instruments © 2012. [cit. 02.02.2018]. Dostupné z: <http://www.ti.com/lit/ds/symlink/xtr117.pdf>
- [35] MLČÁK, T. *Systémová technika budov, Elektrická zařízení a rozvody v budovách* [online]. www.fei.vsb.cz. [cit. 15.07.2017]. Dostupné z: http://homel.vsb.cz/~mlc37/EZRB/Prednasky/10_Systemova_technika_budov.pdf
- [36] Analog Devices. *AD694 4-20mA Transmitter-datasheet* [online]. Analog Devices © 2002. [cit. 15.07.2017]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD694.pdf>
- [37] Maxim Integrated. *MAX14626 High-Voltage Reverse-Input-Capable 4-20mA Current Loop Protector - datasheet* [online]. Maxim Integrated © 2012. [cit. 15.07.2017]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX14626.pdf>
- [38] B+B SmartWorks. *RSS-422 and RS-485 Applications eBook, A Practical Guide to Using RS-422 and RS-485 Serial Interfaces*, v. 1.0 [online]. Copyright ©2010. [cit. 15.07.2017]. Dostupné z: <https://www.bb-elec.com/Learning-Center/All-White-Papers/Serial/RS-422-and-RS-485-Applications-eBook/RS422-RS485-Application-Guide-Ebook.pdf>
- [39] FILKA, M. *Transmission media*. Brno: M. Filka, 2009. ISBN 978-80-86785-15-8.
- [40] JANSEN, H; RÖTTER, H. *Informační a telekomunikační technika*. Praha: Europa - Sobotáles, 2004. ISBN 80-86706-08-7.
- [41] KAI, H. *Interrupts vs. Polling* [online]. Technische Universität München © 2015. [cit. 02.08.2017]. Dostupné z: <https://pdfs.semanticscholar.org/presentation/c699/a87eea927f1034fafb217556eabc08350998.pdf>
- [42] BIRD, J. *Electrical circuit theory and technology*. 2nd ed. Oxford: Newnes, 2001. ISBN 0750649895.
- [43] LÁNÍČEK, R. *Elektronika: obvody, součástky, děje*. Praha: BEN - technická literatura, 1998. ISBN 80-86056-25-2.
- [44] ASHOK K. Singal. *The Paradox of Two Charged Capacitors – A New Perspective* [online]. Cornell University © 2015. [cit. 15.07.2017]. Dostupné z: <https://arxiv.org/pdf/1309.5034.pdf>
- [45] Linear Technology. *LTC4352 Low Voltage Ideal Diode Controller with Monitoring* [online]. Linear Technology. [cit. 06.07.2017]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/4352fa.pdf>
- [46] Maxim Integrated. *MAX40200 Ultra-Tiny Micropower, 1A Ideal Diode with Ultra-Low Voltage Drop-datasheet* [online]. Copyright © 2017. [cit. 02.04.2018]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX40200.pdf>
- [47] JOHNS, D; MARTIN W, K. *Analog integrated circuit design*. New York: John Wiley, c1997. ISBN 0-471-14448-7.
- [48] HASELOFF, E. *Bus-Hold Circuit, Standard Linear & Logic* [online]. Texas Instruments ©2001. [cit. 05.12.2017]. Dostupné z: <http://www.ti.com/lit/an/slla067c/slla067c.pdf>

- [49] WESTE, N. H. E; HARRIS, D. M. *CMOS VLSI design: a circuits and systems perspective*. 4th ed. Boston: Addison Wesley, c2011. ISBN 0-321-54774-8.
- [50] TOUMAZOU, C; LIDGEY F. J.; HAIGH D. *Analogue IC design: the current-mode approach*. London: The Institution of Electrical Engineers, [2008]. ISBN 0863412971.
- [51] VANÍČEK, F. *Elektronické součástky: principy, vlastnosti, modely*. Vyd. 2. Praha: Vydavatelství ČVUT, 2004. ISBN 80-01-03112-8.
- [52] SUCHÁNEK, V. *Dioda, tranzistor a tyristor názorně: programovaný kurs*. 4., upravené vyd. Praha: SNTL, 1979. ISBN 80-030-0115-3.
- [53] ROHM Semiconductor. *BCX19HZG – NPN small signal transistor - datasheet* [online]. ROHM Semiconductor © 2016. [cit. 10.06.2018]. Dostupné z: <https://www.rohm.com.tw/datasheet/BCX19HZG/bcx19hzg-e>
- [54] SAMEK, M. *Embedded MCU, Use an MCU's low-power modes in foreground/background* [online]. Quantum Leaps, LLC © 2007. [cit. 23.06.2018]. Dostupné z: <https://www.state-machine.com/doc/Samek0710.pdf>
- [55] Vishay Siliconix. *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance* [online]. Copyright © 2016. [cit. 06.07.2017]. Dostupné z: <https://www.vishay.com/docs/73217/an608a.pdf>
- [56] STENGL, J. P; TIHANYI, J. *Leistungs-MOS-FET-Praxis*. 2., neu bearb. Aufl. München: Pflaum, 1992. ISBN 3790506192.
- [57] Energizer Holdings, Inc. *Energizer CR2032 Lithium Coin – datasheet* [online]. Energizer Holdings, Inc. [cit. 02.03.2016]. Dostupné z: <http://data.energizer.com/pdfs/cr2032.pdf>

Životopis

Jméno: Vladimír Levek
Narozen: V Kyjově, 28. července 1973
Kontakt: levek@vutbr.cz

Vzdělání:

1986 – 1990 Střední odborné učiliště stavební v Hodoníně – obor elektrotechnik
1991 – 1995 Střední průmyslová škola elektrotechnická v Brně – sdělovací technika
2006 – 2009 Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky. *Bakalářské studium zakončené státní zkouškou.* Téma bakalářské práce: Laboratorní přípravek demonstrující sběrnici CAN.
2009 – 2011 Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. *Magisterské studium zakončené státní zkouškou.* Téma diplomové práce: Systém řízení osvětlení využívající bezdrátovou síť.
2011 – dosud Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. *Doktorské studium.*

Pracovní zkušenosti:

1991 – 1995 Elektrotechnik pozemního stavitelství.
Pozemní stavby Zlín.
1995 – 1997 Technik slaboproudých systémů.
Rates Hodonín, s.r.o.
1997 – 2007 Technik slaboproudých systémů.
Živnost.
2007 – 2011 Vedoucí slaboproudých systémů.
NSNCS, s.r.o. Hodonín.
2011 – dosud Technicko-hospodářský pracovník.
Vysoké učení technické v Brně, Ústav mikroelektroniky.

Spolupráce na projektech:

2011– 2012 Automatický inventarizační systém
2011 – 2014 Otevřená platforma pro inteligentní města.
2011 – 2013 POLLUX - Elektrická řídicí jednotka orientovaná na proces pro elektrická vozidla vyvíjená na multisystémové platformě pracující v reálném čase
2012 – 2015 IDEAS - Interaktivní a efektivní výkonové prvky pro automobily se zvýšenou spolehlivostí a bezpečností.
2016 – 2017 Vývoj mechatronické cylindrické vložky ePRO v1.3
2017 – 2018 Vývoj inteligentních svítidel s univerzálním rozhraním

Abstract

The thesis is focused on the research and development of a new hybrid one-wire bus with special use enabling microelectronic integration. The bus, its physical layer and protocol have been developed based on applied research to meet the complex requirements of a new application group. These requirements are especially laid on the bus robustness and its immunity to interference and to work under real operating conditions. Part of the thesis is a description of existing solutions of one-wire buses, definition of current solutions and setting of goals for research of the new bus. Further are made the design of protocol and operating parameters of the bus operating in low power and power mode. In conclusion, the thesis deals with the practical verification of the proposed solution and there is also suggested a perspective of follow-up research in this area.