



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV TELEKOMUNIKACÍ

DEPARTMENT OF TELECOMMUNICATIONS

AUDIO MODUL PRO BEAGLEBONE AI

AUDIO MODULE ON BEAGLEBONE AI

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Karel Benko

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Petr Sysel, Ph.D.

BRNO 2022

Diplomová práce

magisterský navazující studijní program **Audio inženýrství**

specializace Zvuková produkce a nahrávání

Ústav telekomunikací

Student: Bc. Karel Benko

Ročník: 2

ID: 203620

Akademický rok: 2021/22

NÁZEV TÉMATU:

Audio modul pro BeagleBone AI

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s vývojovým kitem BeagleBone AI s procesorem Sitara AM5729 kombinující jádro ARM a DSP. Zaměřte se především na možnosti rozšíření o další funkcionality. Vyberte vhodný audio kodek a navrhnete schéma přídavné desky, který rozšíří možnosti desky o mikrofonní vstup, linkový vstup a výstup a sluchátkový výstup. Desku realizujte a otestujte základní funkčnost.

DOPORUČENÁ LITERATURA:

[1] Texas Instruments AM572x Sitara Processors Datasheet. 2019. Dostupné na URL

<https://www.ti.com/lit/ds/symlink/am5729.pdf> [cite 14.9.2020]

[2] BeagleBone AI System Reference Manual. 2020. Dostupné na URL

<https://github.com/beagleboard/beaglebone-ai/wiki/System-Reference-Manual> [cite 14.9.2020]

Termín zadání: 7.2.2022

Termín odevzdání: 24.5.2022

Vedoucí práce: doc. Ing. Petr Sysel, Ph.D.

doc. Ing. Jiří Schimmel, Ph.D.

předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato práce se zabývá návrhem obvodového řešení a desky plošných spojů rozšiřující vstupně výstupní možnosti vývojového kitu Beaglebone AI pro zpracování audio signálu.

Úvodem práce je seznámení s vývojovým kitem Beaglebone AI a na něm umístěným procesorem TI Sitara AM5729. Dále práce čtenáře seznámí s použitými komunikačními rozhraními I2C a McASP a jejich principy fungování.

Na základě zvolených parametrů byly vybrány vhodné komponenty a vytvořen návrh obvodového zapojení, které bylo následně využito k navrhnutí a realizaci desky plošných spojů. Takto navržený audio modul byl poté otestován s vývojovým kitem.

Klíčová slova

Beaglebone AI, návrh, DPS, audio modul, McASP, I2C, AIC23, kodek, MEMS mikrofony

Abstract

This thesis deals with the design of a schematics and a printed circuit board expanding the input and output possibilities of the Beaglebone AI development kit for audio signal processing.

The introduction is getting acquainted with the Beaglebone AI development kit and the TI Sitara AM5729 processor placed on it. Furthermore, the work acquaints the reader with used communication interfaces I2C and McASP and their principles of operation.

Based on the selected parameters, suitable components were selected, and schematics was created, which was then used to design and implement a printed circuit board. The audio module designed in this way was then tested with a development kit.

Keywords

Beaglebone AI, design, PCB, audio module, McASP, I2C, AIC23, codec, MEMS microphone

Bibliografická citace

BENKO, Karel. *Audio modul pro BeagleBone AI* [online]. Brno, 2022 [cit. 2022-05-24].
Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/141432>. Diplomová práce.
Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií,
Ústav telekomunikací. Vedoucí práce Petr Sysel.

Prohlášení autora o původnosti díla

Jméno a příjmení studenta:	<i>Bc. Karel Benko</i>
VUT ID studenta:	<i>203620</i>
Typ práce:	<i>Diplomová práce</i>
Akademický rok:	<i>2021/22</i>
Téma závěrečné práce:	<i>Audio modul pro BeagleBone AI</i>

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 24. května 2022

podpis autora

Poděkování

Děkuji vedoucímu diplomové práce doc. Ing. Petru Syslovi, Ph.D za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne: 24. května 2022

podpis autora

Obsah

SEZNAM OBRÁZKŮ	8
SEZNAM TABULEK.....	9
ÚVOD	10
1. TEORETICKÁ ČÁST	11
1.1 BEAGLEBONE AI	11
1.2 TI SITARA AM5729	12
1.3 KOMUNIKAČNÍ ROZHRANÍ	13
1.3.1 I2C	13
1.3.2 I2S	14
1.3.3 McASP	14
2. PRAKTICKÁ ČÁST	15
2.1 STANOVENÍ POŽADOVANÝCH PARAMETRŮ.....	15
2.2 VÝBĚR VHODNÝCH KOMPONENT	16
2.3 NÁVRH OBVODOVÉHO ŘEŠENÍ.....	18
2.3.1 Linkový vstup	20
2.3.2 Mikrofonní vstup	21
2.3.3 Linkový výstup.....	22
2.3.4 Sluchátkový výstup.....	23
2.3.5 Uživatelské rozhraní	25
2.3.6 Filtr napětí pro analogovou část kodeku	26
2.3.7 Nastavení desky.....	27
2.3.8 Obvodové řešení pro řízení rychlosti větráku	28
2.4 SIMULACE OBVODOVÉHO ŘEŠENÍ	29
2.5 NÁVRH DESKY PLOŠNÝCH SPOJŮ	32
2.6 REALIZACE A OVĚŘENÍ FUNKČNOSTI	37
2.7 PŘEPRACOVÁNÍ A DOPLNĚNÍ SCHÉMA OBVODOVÉHO ŘEŠENÍ	46
2.8 OPRAVA A ÚPRAVA NÁVRHU DESKY PLOŠNÝCH SPOJŮ	47
ZÁVĚR	48
LITERATURA.....	49
SEZNAM PŘÍLOH.....	50

SEZNAM OBRÁZKŮ

Obr. 1.1 Kit BBAI a rozložení komponentů [1].....	11
Obr. 1.2 Blokový diagram procesoru TI Sitara AM5729 [1].....	12
Obr. 1.3 Průběh signálu linky SDA (nahore) a SCL (dole) při kapacitanci 300pF [4]	13
Obr. 1.4 Postup přenosu dat protokolu I2C [4].....	14
Obr. 2.1 Blokové schéma navrhovaného modulu	18
Obr. 2.2 Schéma obvodového řešení stereofonního linkového vstupu	20
Obr. 2.3 Schéma obvodového řešení mikrofonního vstupu	21
Obr. 2.4 Schéma obvodového řešení stereofonního linkového výstupu	22
Obr. 2.5 Konektory TS, TRS, TRRS (samec vlevo, samice vpravo).....	23
Obr. 2.6 Schéma obvodového řešení stereofonního sluchátkového výstupu	24
Obr. 2.7 Schéma obvodového řešení napájení a ovládání LED diod.....	25
Obr. 2.8 Schéma obvodového řešení uživatelských tlačítek	26
Obr. 2.9 Schéma zapojení filtru napětí (vlevo) a propojení zemí (vpravo).....	26
Obr. 2.10 Schéma zapojení rezistorů pro nastavení rozšiřující desky.....	27
Obr. 2.11 Schéma obvodu pro řízení větráku	28
Obr. 2.12 Schéma zapojení stereofonního linkového vstupu pro simulaci	29
Obr. 2.13 Závislost vstupní impedance linkového vstupu na frekvenci	30
Obr. 2.14 Závislost výstupní impedance linkového výstupu na frekvenci.....	30
Obr. 2.15 Průběh modulu přenosové charakteristiky linkového vstupu	31
Obr. 2.16 Průběh fáze přenosové charakteristiky linkového vstupu	31
Obr. 2.17 Technický výkres desky modulu	32
Obr. 2.18 Tvar navrhnuté desky	32
Obr. 2.19 Detail rozmístění uživatelského rozhraní.....	33
Obr. 2.20 Rozmístění audio konektorů	33
Obr. 2.21 Detail rozmístění komponentů v blízkosti konektoru	33
Obr. 2.22 Složení a využití jednotlivých vrtev navrhované rozšiřující desky.....	34
Obr. 2.23 Příklad ideálního umístění lokálních kondenzátorů	35
Obr. 2.24 Detail konfiguračních rezistorů	36
Obr. 2.25 3D model audio modulu s řídicí deskou (ver. B).....	36
Obr. 2.26 Částečně osazená deska modulu	37
Obr. 2.27 Plně osazená deska modulu	38
Obr. 2.28 Zvýraznění chyby ve schématu zapojení kodeku (ver. A).....	38
Obr. 2.29 Detail opravy chyby napájení kodeku (ver. A).....	38
Obr. 2.30 3D model audio modulu s řídicí deskou (ver. A).....	47
Obr. 2.31 3D model audio modulu s řídicí deskou (ver. B).....	47

SEZNAM TABULEK

Tab. 2.1 Popis vstupních a výstupních impedancí a rozsahů napětí	15
Tab. 2.2 Seznam použitých komponentů	16
Tab. 2.3 Konfigurace vstupně výstupních pinů vývojového kitu (ver.B)	19
Tab. 2.4 Změna nastavení v závislosti na osazeném rezistoru	27
Tab. 2.5 Konfigurace vstupně výstupních pinů vývojového kitu (ver.A)	40

ÚVOD

Tato práce se zabývá návrhem obvodového řešení a desky plošných spojů rozšiřující vstupně výstupní možnosti zpracování audio signálu pro vývojový kit Beaglebone AI.

Úvodem práce je seznámení s vývojovým kitem Beaglebone AI a na něm umístěným procesorem TI Sitara AM5729. Dále práce čtenáře seznámí s použitými komunikačními rozhraními I2C a McASP a jejich principy fungování.

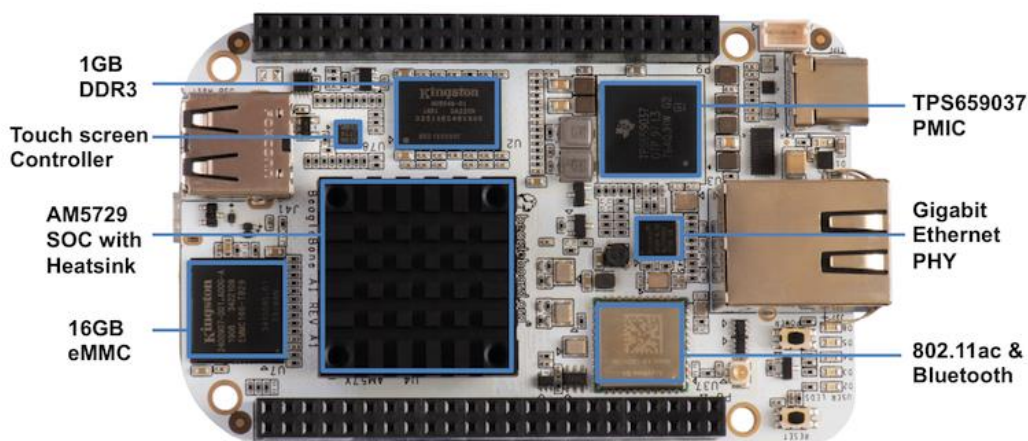
Po krátkém teoretickém úvodu jsou v práci stanoveny požadavky, které by navrhovaná rozšiřující deska měla splňovat. Na základě stanovených parametrů jsou vybrány komponenty splňující stanovené požadavky, a ty jsou užity v návrhu obvodového řešení. Samotný návrh je pak ověřen simulacemi, které umožňují odhalení případných nežádoucích vlastností obvodového řešení. Takovýto návrh obvodového řešení je poté přenesen na samotnou desku plošných spojů zajišťující rozměrovou kompatibilitu s řídicím kitem. Takto navrhnutý audio modul je nakonec realizován a otestován.

Výstupem této práce je tedy návrh obvodového řešení, návrh desky plošných spojů, soubory potřebné pro fabrikaci a seznam použitých komponentů spolu s kalkulací nákladů včetně samotné výroby.

1. TEORETICKÁ ČÁST

1.1 Beaglebone AI

Beaglebone AI je vývojový kit od týmu BeagleBoard.org®, kteří kromě hardwaru vytváří i otevřený, respektive upravitelný Linux software (tzv. open source). Jedná se o dobrý kompromis mezi malými jednodeskovými počítači a výkonnými průmyslovými počítači. “Počítač” je založený na procesoru Sitara AM5729 od firmy Texas Instruments, který umožňuje jednoduchý přístup k využití umělé inteligenci (odtud název AI – artificial intelligence) v každodenním životě. To je umožněno právě díky procesoru AM5729, který disponuje hned několika druhy procesorových jader, jako jsou TI C66x DSP (tj. digitální signálový procesor) nebo EVE embedded-vision-engine (tj. zabudované strojové vidění) podporované skrze optimalizovanou knihovnu TIDL Texas Instruments Deep Learning (tzv. hluboké učení) a OpenCL API s předinstalovanými nástroji. [1]

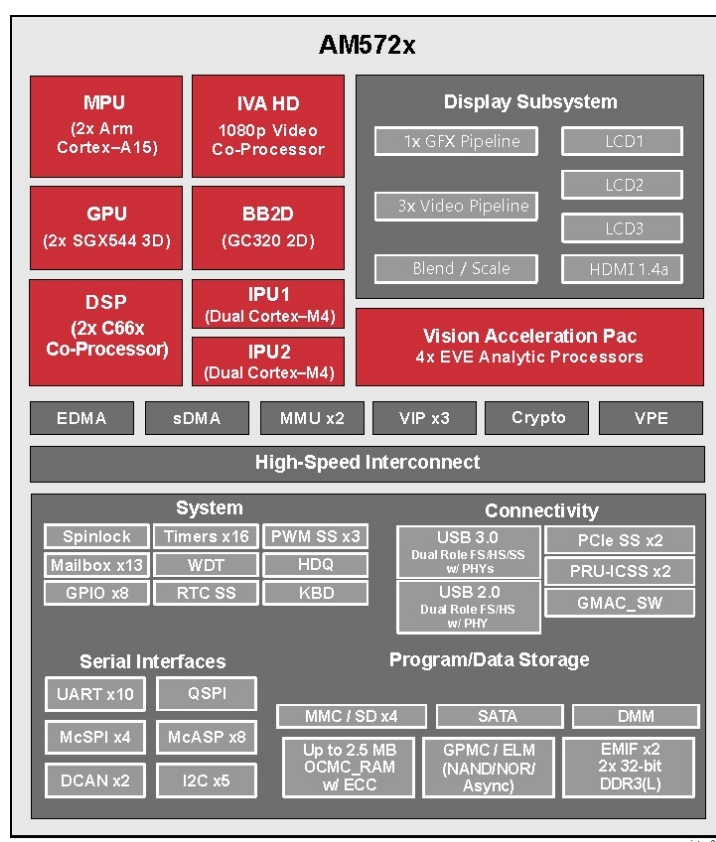


Obr. 1.1 Kit BBAI a rozložení komponentů [1]

Jak lze vidět na obr. 1.1, vývojový kit obsahuje kromě samotného procesoru AM5729 také gigabitový ethernet, Bluetooth a wifi (802.11ac) modul, 1 GB DDR3 paměti typu RAM, 16 GB eMMC paměti typu flash, kontrolér pro dotykové monitory, slot pro microSD paměť a konektory USB 3 typu C, USB 2 typu A a microHDMI. Kit je pro kompatibilitu osazen, stejně jako jeho předchůdce Beaglebone Black, dvěma čtyřiceti šesti pinovými konektory pro komunikaci s různými rozšiřujícími moduly. [1]

1.2 TI Sitara AM5729

Procesor AM5729 z řady Sitara je založen na architektuře ARM, disponuje vysokým výpočetním výkonem, který je možné využít pro jakékoli účely díky již zmíněné kombinaci procesorových jader. Jak lze na obr. 1.2 vidět, procesor obsahuje kromě dvoujádrového procesoru ARM Cortex A15 i dvojici nezávislých dvoujádrových koprocesorů Cortex M4, dále pak dvojici DSP C66x architektury VLIW s pohyblivou řadovou čárkou a Vision Acceleration Pac, která obsahuje čtveřici EVE procesorů. Za zmínku stojí i bohaté sériové komunikační rozhraní, především 5x I2C a 8x McASP, jelikož primárně těchto rozhraní je v této práci využito. [2] [3]



Obr. 1.2 Blokový diagram procesoru TI Sitara AM5729 [1]

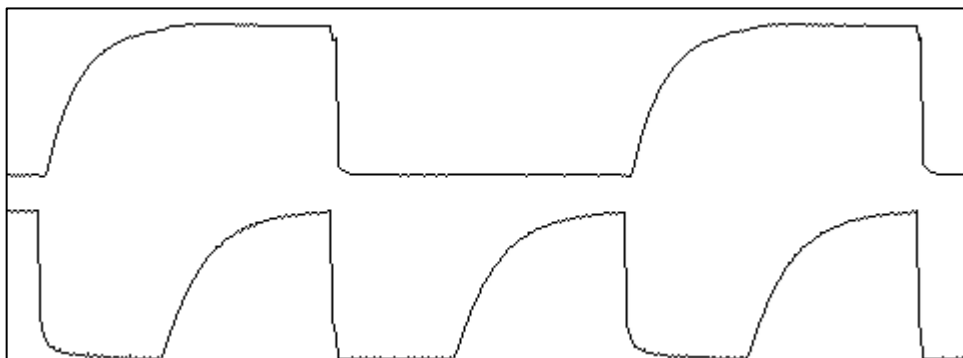
Výhodou tohoto procesoru je také to, že jej firma Texas Instruments dodává spolu s kompletní sadou vývojových nástrojů pro ARM a C66x DSP, a to včetně kompilátoru jazyku C, DSP assembler optimalizátoru pro snadnější programování, ale i rozhraní pro odstraňování chyb (debugging). [2] [3]

1.3 Komunikační rozhraní

1.3.1 I2C

Tento komunikační protokol, byl navržen pro komunikaci procesoru a periférií, odtud název I2C (Inter-Integrated Circuit), pročez využívá pouze dvojice vodičů, které umožňují oboustrannou, avšak ne duplexní komunikaci mezi různými zařízeními, přičemž jedno, nebo i více z nich jsou typu master (řídící) a jedním, nebo více typu slave (řízený). V případě kolize dvou řídících jednotek komunikující současně je komunikace jednoho z nich pozastavena a znovu započne po uvolnění sběrnice. Přednost komunikace je dána nižší tázanou adresou.

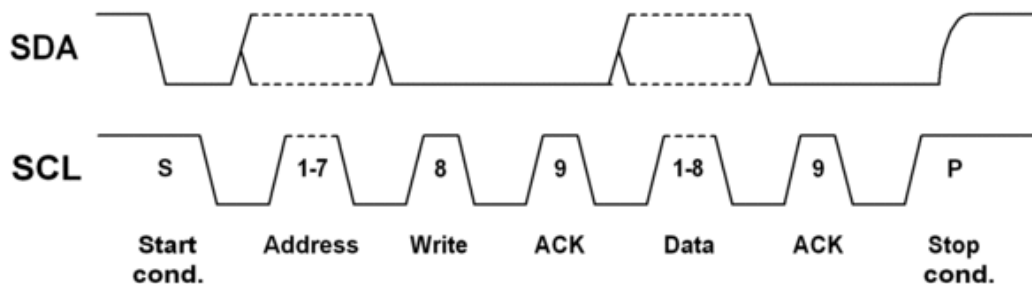
Jeden z vodičů, zpravidla označován SCL, přenáší hodinový signál a druhý, označován jako SDA, pak data. Na jednu takovou sběrnici je možno připojit teoreticky až 128 zařízení, avšak vzhledem k rezervovaným adresám je počet možných volných adres omezen na 112. Toto omezení je však vyřešeno možností desetibitových adres, nastává zde ovšem jiné omezení, a to maximální možnou kapacitou sběrnice, která by neměla překročit hodnotu 400pF. Toto omezení vychází z principu fungování protokolu, jelikož jsou oba kanály z elektrického hlediska zapojeny jako otevřený kolektor. Na obr. 1.3 je možné vidět linky SDA (nahore) a SCL (dole) při kapacitě sběrnice 300pF, kdy je patrné, že případné překročení kapacity 400pF by mohlo způsobit prodloužení doby náběhu logické jedničky natolik, že by nebyla systémem rozpoznána. [4] [5] [6] [7]



Obr. 1.3 Průběh signálu linky SDA (nahore) a SCL (dole) při kapacitanci 300pF [4]

Přenos dat, jak lze vidět na Obr. 1.4, probíhá v několika po sobě jdoucích devítibitových blocích, kterým předchází zahájení komunikace. To spolu s ukončením komunikace využívají pro odlišení od ostatních signálů změny logické úrovně na datovém vodiči během logické jedničky hodinového signálu, na rozdíl od zbylých dat. Konkrétně je tedy použit přechod z logické jedničky na logickou nulu pro započetí

komunikace a opačný přechod pro její ukončení. Následuje volání sedmi bitové adresy, kdy následující osmý bit určuje, zdali bude probíhat čtení (0), nebo zápis (1) a devátý ACK bit (ACKnowledge) potvrzující přijetí informace. Poté dochází k přenosu osmi bitů dat případně adresy příslušného registru, ve kterém má probíhat čtení či zápis dat. Po úspěšném závěrečném potvrzení dochází k ukončení komunikace. [4] [5] [6] [7]



Obr. 1.4 Postup přenosu dat protokolu I2C [4]

1.3.2 I2S

Jedná se o protokol pro přenos digitálních zvukových dat, název zde vychází z Inter-IC Sound, a ve své podstatě je podobný protokolu I2C, avšak na rozdíl od něj využívá I2S minimálně tři vodičů. Dvojice z nich přenáší hodinové signály, konkrétně SCK (continuous serial clock) někdy též BCLK (bit clock) a WS (word select) též LRCLK (left-right clock) či FS (frame sync). Třetí vodič pak slouží k přesunu dat, která jsou zpravidla multiplexována bývá označován jako SD (serial data), případně SDIN či SDOUT pro zdůraznění směru toku dat. [8]

1.3.3 McASP

McASP (Multichannel Audio Serial Port) je komunikační rozhraní přizpůsobené pro vícekanálový přenos digitálních zvukových dat. Toto rozhraní bylo vyvinuto firmou Texas Instruments pro zařízení podporující vícekanálové audio. Největší výhodou tohoto rozhraní je možnost nastavení různých hodinových signálů jak pro AD převodníky, tak i pro DA převodníky zvlášť, což přináší větší flexibilitu a možnosti využití. Jeho typické užití je v kombinaci s TDM protokolem, tedy časovým multiplexem, jehož nejčastější a nejznámější konfigurace je nazývaná I2S, viz kapitola 1.3.2.

V porovnání s jinými komunikačními rozhraními využívá ke komunikaci až tři hodinových signálů a až 16 datových. To znamená, že při využití konfigurace I2S to je až 32 audio kanálů. [9]

2. PRAKTICKÁ ČÁST

2.1 Stanovení požadovaných parametrů

V tab. 2.1 jsou znázorněny hodnoty požadovaných impedancí vstupů a výstupů spolu s jejich rozsahy. Tyto hodnoty byly zvoleny nejen na základě impedančního přizpůsobení profesionálně užívaných audio zařízení, ale také dle normy IEC 61938. Ačkoli tato norma udává hodnotu impedance sluchátkového výstupu $120\ \Omega$, je tato hodnota pro dané použití příliš vysoká, a proto je od této normy ustoupeno a požadovaná výstupní impedance je směřována k co možná nejnížší hodnotě. [10]

Hodnoty rozsahů napětí byly stanoveny pouze orientačně, jelikož nejsou normou přímo určovány, avšak je uvažována běžně používaná nominální hodnota na základě orientačních hodnot nominálních úrovní a tedy uživatelské, která je rovna $0,316\ V_{RMS}$ a profesionální odpovídající $1,228\ V_{RMS}$.

Tab. 2.1 Popis vstupních a výstupních impedancí a rozsahů napětí

Konektor	Impedance	Rozsah napětí
Mikrofonní vstup	$1500\text{--}2500\ \Omega$	$\geq 0,5\ V_{RMS}$
Linkový vstup	$\sim 10\ k\Omega$	$\geq 0,5\ V_{RMS}$
Linkový výstup	$100\text{--}600\ \Omega$	$\geq 0,5\ V_{RMS}$
Sluchátkový výstup	$\sim 0\ \Omega$	$\geq 0,5\ V_{RMS}$

Kromě požadavků na zvukové rozhraní bylo stanoveno několik doplňkových funkcí. Mezi ně primárně patří uživatelské rozhraní ve formě čtyř tlačítek spolu se světelnou indikací a obvod řídící rychlost větráku zajišťujícího chlazení procesoru TI Sitara AM5729 nacházejícího se na řídicí desce Beaglebone AI umístěné pod navrhovaným audio modulem. Dále pak i mikrofonní pole jako možnost využití potenciálu procesoru a prostoru na desce navrhovaného modulu.

Po seznámení se s vývojovým kitem, se k požadavkům přidaly i rozměry navrhované desky a zakomponování paměti typu EEPROM, která slouží jako nosič informací o rozšiřující desce a umožňuje tak kitu automatické nastavení všech vstupních i výstupních rozhraní. To z důvodu možnosti nabídnutí modulu komunitě, kdy všechny moduly musí splňovat určité parametry a specifikace.

2.2 Výběr vhodných komponent

Stěžejním prvkem celé navrhované desky je kodek, který byl vybírán na základě rozsahů vstupů a výstupů, možnosti připojení, ale i ceny. Ostatní komponenty nejsou striktně omezovány na daný model použitý v této práci, jelikož jejich výběr příliš neovlivňuje funkčnost ani kvalitu výsledného návrhu. Zkrácený seznam použitých komponentů je v tab. 2.2, kompletní seznam včetně dodavatelů, kalkulace a případné alternativy je pak v příloze E.

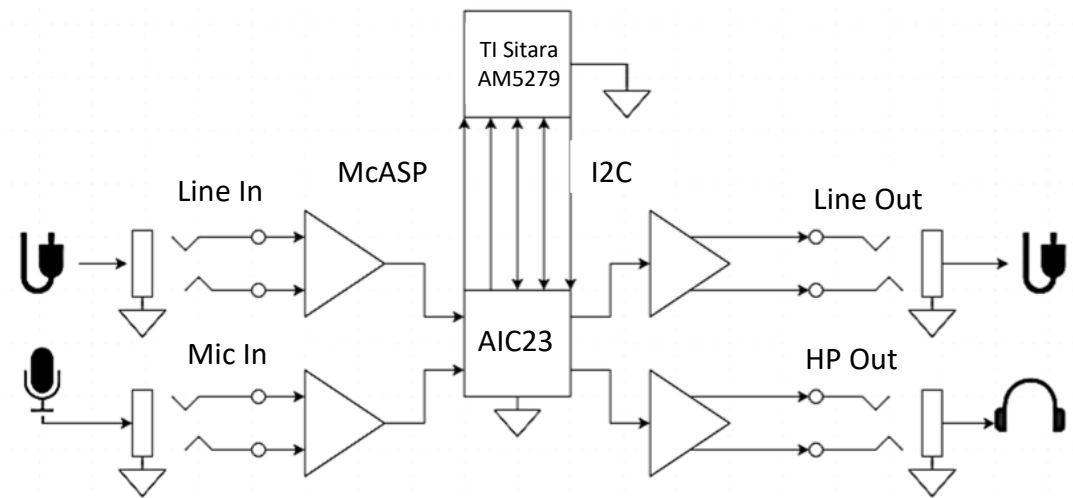
Tab. 2.2 Seznam použitých komponentů

Druh	Hodnota	Označení	Počet
Feritová perlička	BLM18EG221SN1	FB1 – FB4, FB6 – FB10	9
Feritová perlička	GZ2012D601TF	FB5	1
Integrovaný obvod	TLV320AIC23	IC1	1
Integrovaný obvod	M24C32	IC2	1
Kondenzátor	470 nF	C1 – C4	4
Kondenzátor	1 uF	C5	1
Kondenzátor	47 pF	C7	1
Kondenzátor	10 uF	C12 – C18, C27, C28, C31, C33, C34	12
Kondenzátor	0,1 uF	C19 – C25, C26, C29, C30, C32, C35, C36	13
Kondenzátor pol.	220 uF	C6, C8, C11	3
Kondenzátor pol.	1 uF	C9, C10	2
Konektor	PJ-393	J1, J2, J5, J6	4
Konektor	48 pin	J3, J4	2
Konektor	2 pin	J7	1
LED dioda	Zelená	LED1 – LED5	5
Mikrofon	CMM 4030D 261 I2S TR	MK1-MK7	7
Rezistor	4,7 k Ω	R1, R3, R9, R10, R14	5
Rezistor	100 Ω	R2, R4	2
Rezistor	100 k Ω	R5 – R8, R36, R41 – R44	9
Rezistor	47 k Ω	R11, R12, R15, R16	4
Rezistor	2,2 k Ω	R13	1
Rezistor	0 Ω	R17 – R25, R45	10
Spínač	Klávesový spínač	S1 – S4	4
Tranzistor	ZXMN2B01FTA	Q1	1
Tranzistor	UM6K31NTN	Q2, Q3	2

Jak již bylo zmíněno kodek byl vybírán na základě počtu vstupů a výstupů, vzorkovacího kmitočtu, bitového rozlišení, způsobu připojení a ovládání, ale taky dle ceny a dostupnosti. V době výběru a návrhu obvodového řešení, nejlépe co se z výše zmíněných parametrů týče, zejména pak ceny, vycházel kodek TLV320AIC3206, avšak v průběhu návrhu se jeho dostupnost výrazně omezila, a proto byl nahrazen modelem TLV320AIC23B, který disponuje nižší maximální vzorkovací frekvencí, avšak vyššími rozsahy vstupů a výstupů.

2.3 Návrh obvodového řešení

Na obr. 2.1 je zjednodušené blokové schéma zapojení navrhovaného modulu a neobsahuje tedy uživatelské rozhraní ani obvod pro ovládání rychlosti větráku pro chlazení procesoru TI Sitara. K napájení celého modulu je použito digitálního regulátoru TI TPS6590379ZWSR, který je součástí řídicí desky Beaglebone AI, díky čemuž není třeba žádného externího napájení. Na vstupně výstupních pinech jsou umístěny jak 3,3V větve, tak i 5V větve, která je využita pouze pro napájení větráku.



Obr. 2.1 Blokové schéma navrhovaného modulu

Všechny níže popsané obvodové části jsou přiloženy jak v digitální podobě formou souboru formátu PDF, tak i samotných souborů návrhového programu Altium.

Hlavní částí rozšiřujícího modulu je kodek TLV320AIC23B, známý pod zkratkou AIC23, který je s procesorem TI Sitara AM5729 propojen jednak komunikačním protokolem I2C, ale i McASP pro přenos vícekanálového zvuku. Dále jsou pak na kodek připojeny níže popsané vstupní i výstupní obvody. Samotný kodek však nemá žádné obvodové řešení, které by bylo potřeba nějak zvláště objasnit.

Jak bylo v předchozí kapitole zmíněno, součástí rozšiřující desky je i EEPROM M24C32. Ta je obdobně jako kodek AIC23 propojena s procesorem TI Sitara AM5729 komunikačním rozhraním I2C. Jelikož má EEPROM sloužit pro správnou identifikaci modulu a správné nastavení vývojového kitu, byl přidán pull-up rezistor R26 pro aktivaci ochrany přepsání. Zároveň byly přidány testovací body TP1 a TP2, které při spojení umožní zápis dat do EEPROM.

Během návrhu je nutné řídit se možnostmi vývojového kitu, respektive možnou konfigurací vstupně výstupních pinů, kdy má každý z nich sadu několika nastavitelných funkcí. Na základě požadovaných vlastností byly postupně vybrány jednotlivé piny a jejich potřebná konfigurace. Ta je uvedena v tab. 2.3, v níž ve sloupci Pin označuje první číslo konektor a číslo za tečkou pořadí pinu v konektoru. Písmena *a* a *b* nad sloupečky určují sadu funkcí, kterého se nastavení týká, jelikož na některé piny jsou připojeny výstupy procesoru dva. Ve sloupci Funkce je uveden název, pod kterým je označován ve schématu. Sloupec # představuje registr, pod kterým je daný pin nastavován. Sloupce I/O určuje, zdali pin data přijímá nebo vysílá, sloupec Pull pak zdali je nebo není nastaven interní pull-up, či pull-down rezistor. Sloupec Mód určuje pořadí funkce, podle které jsou nastaveny a může nabývat hodnot 0-15. Ve sloupci Název jsou pak názvy funkcí tak, jak jsou vedeny v oficiální dokumentaci Beaglebone.

Tab. 2.3 Konfigurace vstupně výstupních pinů vývojového kitu (ver.B)

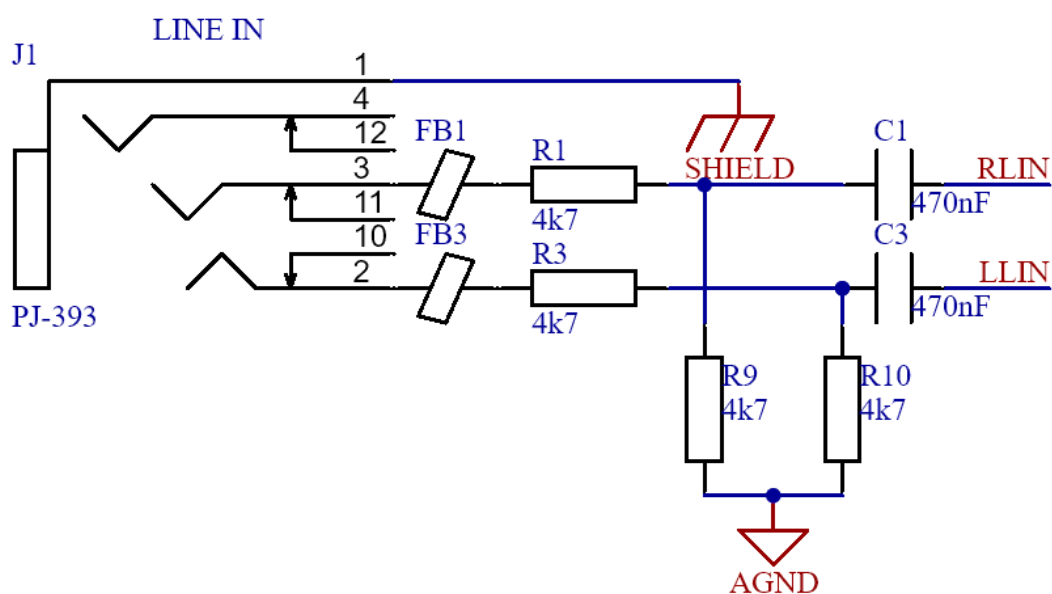
		a					b				
PIN	Funkce	#	I/O	Pull	Mód	Název	#	I/O	Pull	Mód	Název
P8.7	DMIC1	187	Vstup		0	mcasp1_axr14					
P8.8	DMIC2	188	Vstup		0	mcasp1_axr15					
P8.9	DMIC3	166	Vstup		2	mcasp1_axr5					
P8.10	DMIC4	186	Vstup		0	mcasp1_axr13					
P9.12	EN	171	Výstup	Down	14	gpio5_0					
P9.14	PWM	107	Výstup	Down	10	ehrpwm3A					
P9.15	LED1	69	Výstup	Down	14	gpio3_12					
P9.16	LED2	108	Výstup	Down	14	gpio4_26					
P9.17	LED3	243	Výstup	Down	14	gpio7_17	174	Vstup		14	gpio5_3
P9.18	LED4	242	Výstup	Down	14	gpio7_16	173	Vstup		14	gpio5_2
P9.19	SCL	16	Vstup	Up	7	i2c4_scl	95	Vstup	Up	14	gpio4_6
P9.20	SDA	17	Vstup	Up	7	i2c4_sda	94	Vstup	Up	14	gpio4_5
P9.21	BTN1	60	Výstup	Down	14	gpio3_3	241	Vstup		14	gpio7_15
P9.22	BTN2	167	Výstup	Down	14	gpio6_19	240	Vstup		14	gpio7_14
P9.23	BTN3	237	Výstup	Down	14	gpio7_11					
P9.24	BTN4	163	Výstup	Down	14	gpio6_15					
P9.25	MCLK	165	Výstup		3	mcasp1_ahclkx					
P9.26	DIN2	162	Vstup		1	mcasp1_axr8	81	Vstup		14	gpio3_24
P9.28	DOUT2	184	Výstup		0	mcasp1_axr11					
P9.29	LRCK	182	Vstup		14	gpio5_11	170	Výstup		0	mcasp1_fsx
P9.30	DIN1	183	Vstup		0	mcasp1_axr10					
P9.31	BCLK	181	Vstup		14	gpio5_10	169	Výstup		0	mcasp1_aclckx
P9.41	DOUT1	168	Výstup		2	mcasp1_axr7	96	Vstup		14	gpio4_7

2.3.1 Linkový vstup

Na obr. 2.2 je schéma obvodového řešení stereofonního linkového vstupu. Dvojice rezistorů R1 a R9, respektive R3 a R10, zde tvoří požadovanou hodnotu vstupní impedance, která je v tomto případě 9,4 kΩ, což se v rámci dostupných hodnot rezistorů nejvíce přibližuje požadované hodnotě 10 kΩ. Rezistory byly zvoleny na základě typické odporové řady E3, avšak je možné je nahradit odpory z řady E24 a to konkrétně 5,1 kΩ. Hodnota impedance je z pohledu vstupního zařízení právě rovna sériovému zapojení, tedy součtu výše zmíněných rezistorů vůči signálové zemi. Avšak tato dvojice rezistorů zároveň tvoří jednoduchý napěťový dělič vstupního signálu, a umožňuje tedy připojení signálu s rozkmitem až 2 V_{RMS}. Útlumu vstupního signálu lze zamezit zvolením jiných hodnot odporů rezistorů, ty je možné získat za pomoci vzorce $U_B = \frac{R_B}{R_A + R_B} \cdot U_A$, kde R_A je rezistor v sérii (R1, respektive R3), R_B je rezistor připojený paralelně (R9 stejně jako R10), U_A je vstupní napětí a U_B je napětí výstupní. Pro nulový útlum by tedy bylo potřeba zvolit hodnoty odporů takto: R1 = 0 Ω a R9 = 10 kΩ.

Kondenzátor C1, respektive C3 je zapojen v signálové cestě pro odstranění stejnosměrné složky signálu.

Feritové perličky FB1 a FB3 slouží k potlačení případného vysokofrekvenčního šumu v každém z kanálů, který se může formou rádiového vlnění indukovat po celé délce vodiče, a tím se vyskytnout i na vstupu modulu. Dle stejného principu jsou feritové perličky použity i v dalších částech obvodového řešení.



Obr. 2.2 Schéma obvodového řešení stereofonního linkového vstupu

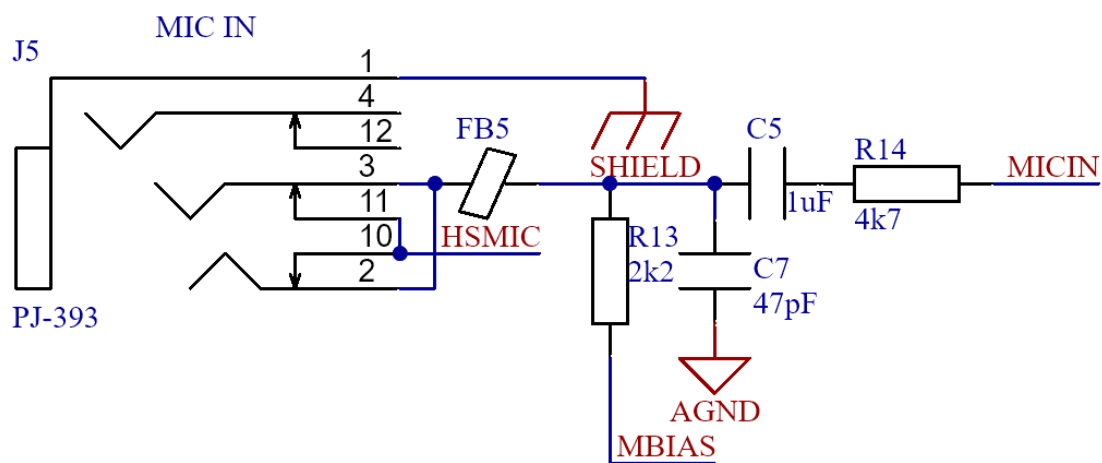
2.3.2 Mikrofonní vstup

Na obr. 2.3 je schéma obvodového řešení mikrofonního vstupu, kde je možné si všimnout cesty HSMIC přivedené na přepínače s označením 10 a 11 konektoru J5, které slouží jako propojovací bod v případech, kdy na vstup není připojen konektor. V takovém případě je signál přivedený z HSMIC, který pokračuje na sluchátkový výstup viz kapitola 2.3.4, připojen dále jako mikrofonní vstup.

Rezistor R13, který je připojen na interní napěťový dělič kodeku, zajišťuje kromě vstupní impedance, která je 2,2 k Ω i případně potřebné předpětí (bias). Rezistor R14 pak slouží pro nastavení zesílení G prvního zesilovacího vstupu, a to podle vzorce: $G = \frac{50000}{10000 + R_{MIC}}$, kde R_{MIC} odpovídá hodnotě R14. Zesílení G je tedy rovno hodnotě 3,3.

Kondenzátor C5 je zapojen v signálové cestě pro odstranění stejnosměrné složky a C7 slouží k filtraci vysokofrekvenčních signálů.

Opodstatnění feritové perličky FB5 v signálové cestě je popsáno v kapitole 2.3.1 linkový vstup.



Obr. 2.3 Schéma obvodového řešení mikrofonního vstupu

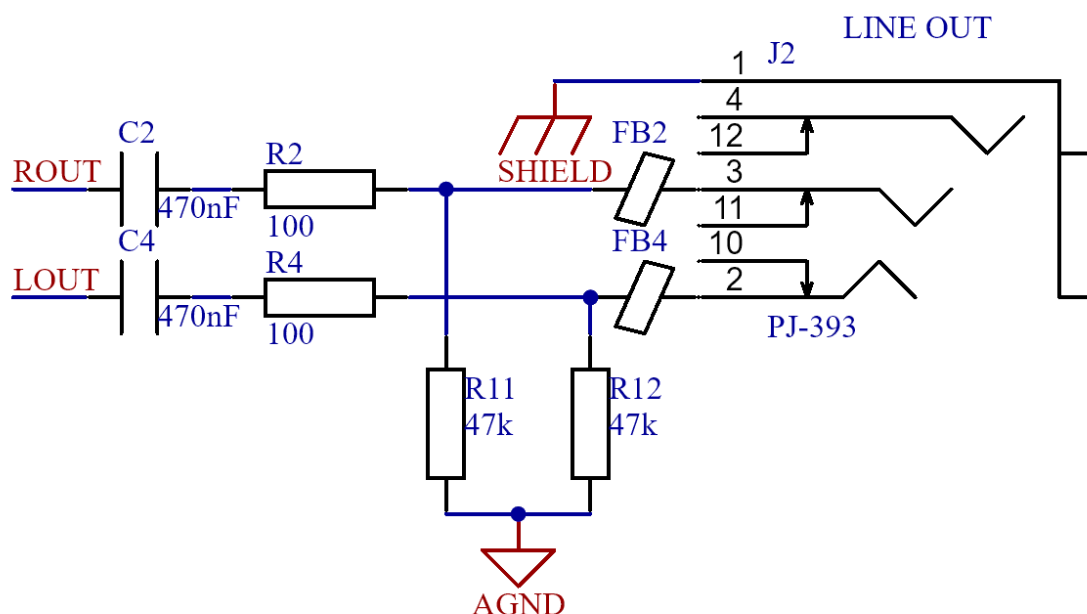
2.3.3 Linkový výstup

Na obr. 2.4 je schéma obvodového řešení stereofonního linkového výstupu.

Rezistor R2, respektive R4 slouží k nastavení výstupní impedance, která je v tomto případě pro oba kanály 100 Ω . Rezistor R11, stejně jako R12, pak slouží pro zachování nulového klidového napětí za kondenzátorem C2, respektive C4, a zabrání tak plovoucímu výstupu. Dále funguje jako ochrana proti případnému přivedenému stejnosměrnému napětí, primárně však pro potlačení nežádoucího zvuku vznikajícího při připojování a odpojování konektoru projevujícího se zpravidla jako lupnutí či cvaknutí.

Kondenzátory C2 a C4 jsou zapojeny každý ve své signálové cestě pro odstranění stejnosměrné složky signálu, stejně jako tomu je i u sluchátkového výstupu.

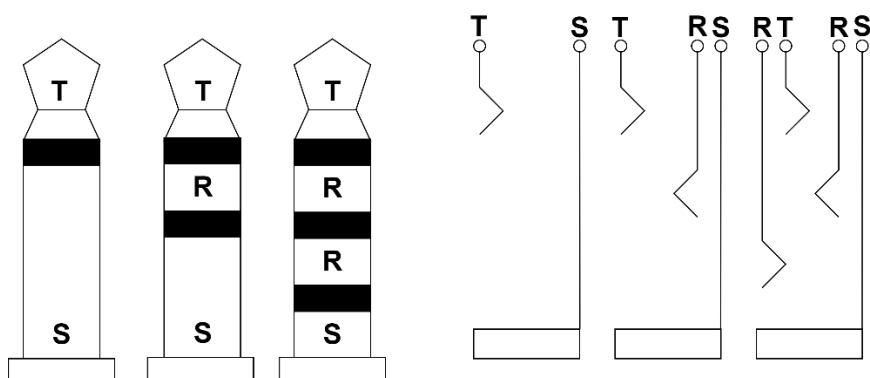
Opodstatnění feritových perliček FB2 a FB4 v signálové cestě je popsáno v kapitole 2.3.1 linkový vstup.



Obr. 2.4 Schéma obvodového řešení stereofonního linkového výstupu

2.3.4 Sluchátkový výstup

Na obr. 2.6 je schéma obvodového řešení stereofonního sluchátkového výstupu s možností připojení náhlavní soupravy, na což bylo odkazováno v kapitole 2.3.2 Mikrofonní vstup. To je zajištěno rozmístěním jednotlivých kontaktů konektoru typu Jack 3,5mm, které je na obr. 2.5, kdy při zasunutí TRS (Tip Ring Sleeve) samce do TRRS samice dojde interně z principu konektoru k propojení obou kontaktních plošek obdobně jako tomu je při zasunutí TS samce do TRS samice. Toto zapojení se řídí dle norem CTIA a AHJ, které určují zapojení mikrofonu na tělo (Sleeve) konektoru.



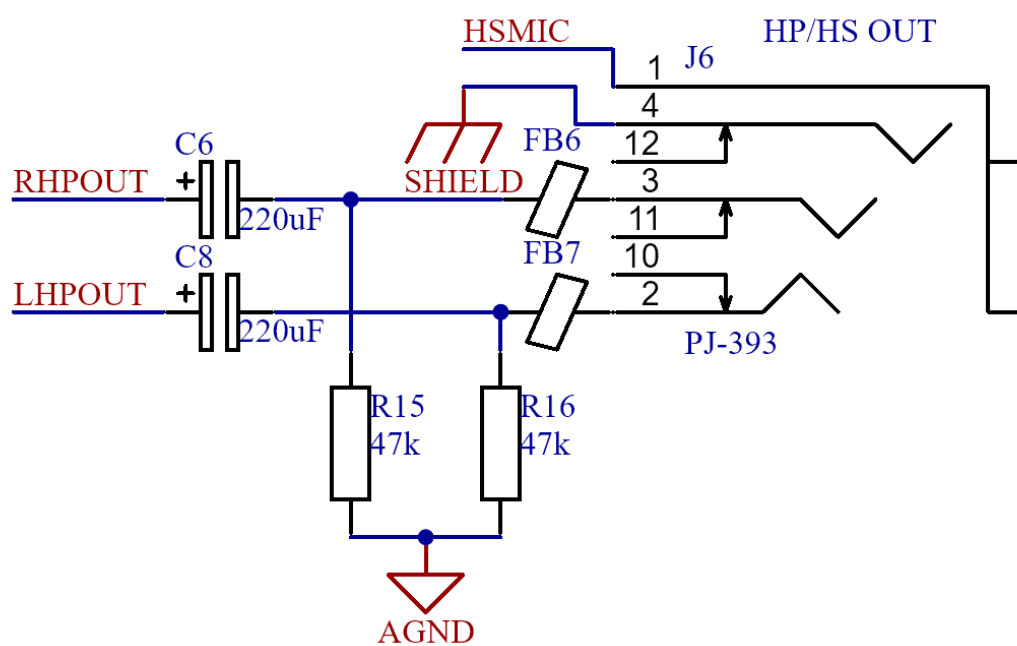
Obr. 2.5 Konektory TS, TRS, TRRS (samec vlevo, samice vpravo)

Jak již bylo v kapitole 2.1 zmíněno, výstupní impedance není jakkoli stanovena a její hodnota sice bude nízká, ale nebude se rovnat nule. Bude odpovídat odporu plošných cest a případně i pájených spojů. Ty však nelze v návrhu zahrnout schematickou značkou.

Dvojice rezistorů R15 a R16 slouží pro zachování nulového klidového napětí, jako ochrana proti případnému připojenému stejnosměrnému napětí, primárně však pro potlačení nežádoucího zvuku projevujícího se jako lupnutí či cvaknutí.

Polarizovaný kondenzátor C6, respektive C8, jsou zapojeny každý ve své signálové cestě pro odstranění stejnosměrné složky signálu, stejně jako tomu je i u linkového výstupu.

Opodstatnění feritových perliček FB6 a FB8 v signálové cestě je popsáno v kapitole 2.3.1 linkový vstup.

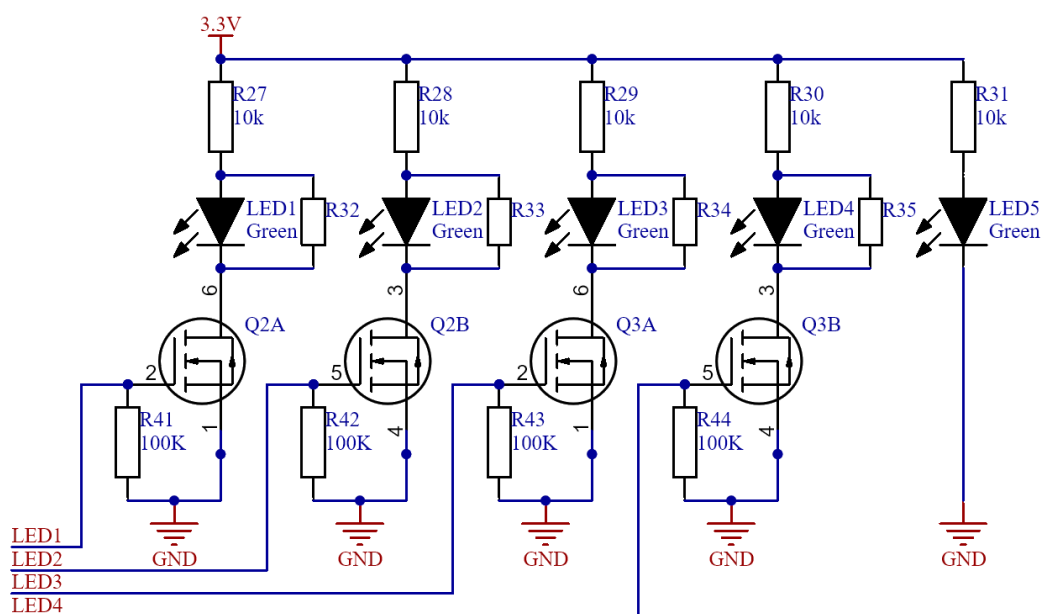


Obr. 2.6 Schéma obvodového řešení stereofonního sluchátkového výstupu

2.3.5 Uživatelské rozhraní

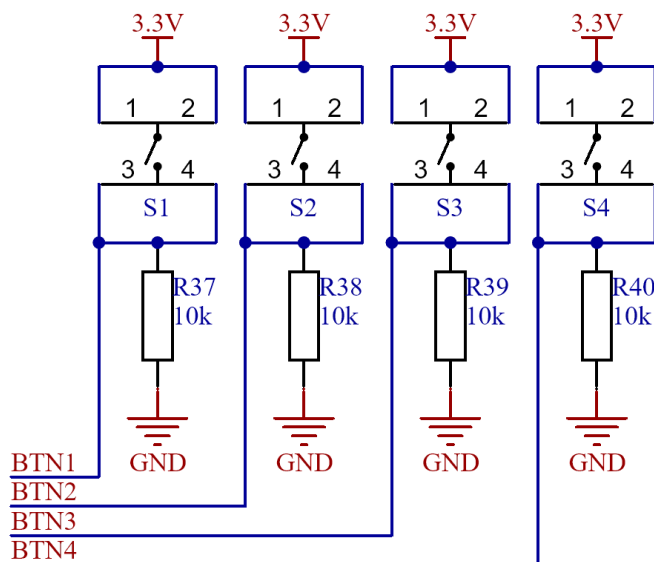
Zapojení LED diod je zobrazeno na obr. 2.7, zde je jednoznačně vidět, že jsou čtyři uživatelské LED diody řízeny MOSFET tranzistory typu N, kdy pátá indikuje přítomnost napětí, a tím i napájení rozšiřujícího audio modulu. Diody jsou tedy řízeny signály přivedenými na hradla MOSFET tranzistorů typu N. Hradla tranzistorů jsou připojeny na zem skrze 100kΩ rezistory R41 až R44, jež chrání výstupy procesoru TI Sitara AM5729. Ke každé z LED diod je přivedeno napětí skrze proud omezující rezistory R27 až R31, jejichž hodnoty byly stanoveny na základě Ohmova zákona podle vzorce $R = \frac{U - U_f}{I_f}$, kde U je napětí zdroje, U_f je úbytek napětí na diodě a I_f je maximální proud protékající onou diodou. Při dosazení známé hodnoty napětí zdroje, tedy $U = 3,3 \text{ V}$ a hodnot úbytku napětí $U_f = 2,8 \text{ V}$ a proudu $I_f = 20 \text{ mA}$, získaných z technické dokumentace použitých LED diod, je získána minimální potřebná hodnota odporu tohoto předřadného rezistoru a tou je 25Ω . Jelikož se jedná o LED diody emitující světlo o vlnové délce 520 nm , jenž odpovídá zelené barvě světla, lze tak z hlediska fyziologie lidského oka očekávat vyšší citlivost na tuto barvu, což se může projevit jako domnělá vyšší svítivost. Z tohoto důvodu byla hodnota odporů předřadných rezistorů zvolena nejprve $1 \text{ k}\Omega$, kdy je hodnota protékajícího proudu rovna $0,5 \text{ mA}$ a svítivost je tak úměrně snížena, což je pro tento účel LED diod postačující. Po otestování obvodu, viz kapitola 2.6 změněna na hodnotu $10 \text{ k}\Omega$.

[11]



Obr. 2.7 Schéma obvodového řešení napájení a ovládání LED diod

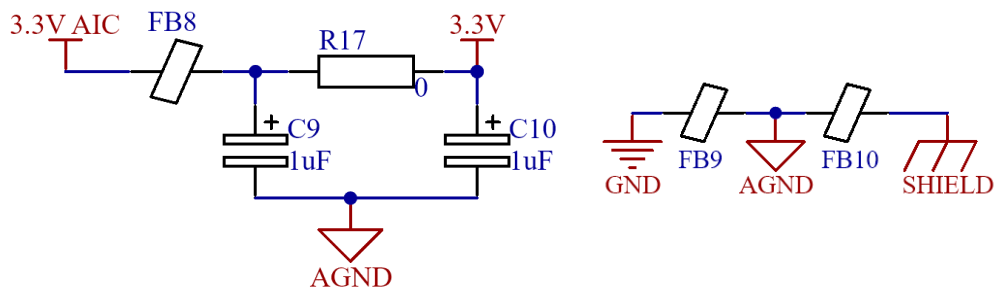
Obvodové řešení uživatelských tlačítek je na obr. 2.8. Tlačítka jsou v klidovém stavu rozepnuta a každá část je připojena k opačnému potenciálu, tedy na napětí a zem. Tlačítka jsou na zem připojeny skrze takzvané pull-down rezistory, které udržují logickou hodnotu na nule v případě rozepnutí tlačítek. Při sepnutí se napětí objeví na příslušném vstupu procesoru TI Sitara AM5729.



Obr. 2.8 Schéma obvodového řešení uživatelských tlačítek

2.3.6 Filtř napětí pro analogovou část kodeku

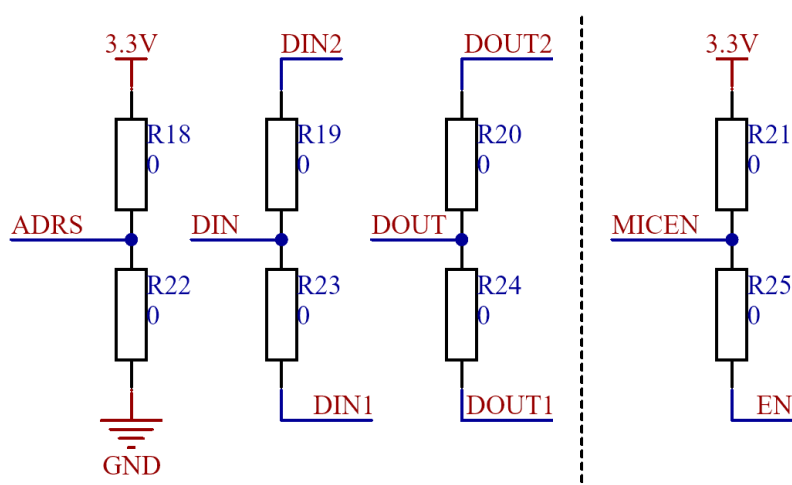
Zapojení napěťového filtru je na obr. 2.9. Kondenzátory C9 a C10, spolu s feritovou perličkou FB8, slouží k vyhlazení napájení analogových částí kodeku AIC23. Feritová perlička FB9 pak slouží obdobně k vyhlazení signálové země od případného rušení ve formě proudových zemních smyček, feritová perlička FB10 pak obdobně k propojení kostry konektorů a signálové země. Rezistor R17 slouží pouze k propojení napájecích obvodů.



Obr. 2.9 Schéma zapojení filtru napětí (vlevo) a propojení zemí (vpravo)

2.3.7 Nastavení desky

Rezistory R18 až R25, které je možné vidět na obr. 2.10, slouží k pevnému nastavení rozšiřující desky. Nastavení spočívá v osazení vždy jednoho ze dvou rezistorů, kdy například rezistory R18 a R22 určují I2C adresy kodeku AIC23 a EEPROM tak, že jsou jejich příslušné piny připojeny skrze daný rezistor k napětí či k zemi a tím je určena jejich logická hodnota, a tedy i adresa. Dále k výběru datových vodičů protokolu McASP, pro případ kolize použitých pinů s jinou rozšiřující deskou, či k použití dvou modulů zároveň. Nakonec i pro nastavení stálého či uživatelsky ovladatelného sepnutí MEMS mikrofonů. Výsledný stav při daném zapojení je v tab. 2.4.



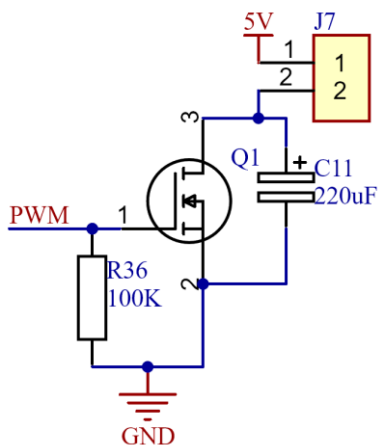
Obr. 2.10 Schéma zapojení rezistorů pro nastavení rozšiřující desky

Tab. 2.4 Změna nastavení v závislosti na osazeném rezistoru

Rezistor	Horní (R18-R21)	Spodní (R22-R25)
I2C adresa audio kodeku	0X1A	0X1B
I2C adresa EEPROM	0X50	0X51
I2S Data In	PIN 9.26	PIN 9.30
I2S Data Out	PIN 9.28	PIN 9.41
MEMS Enable	Vždy v provozu	PIN9.12

2.3.8 Obvodové řešení pro řízení rychlosti větráku

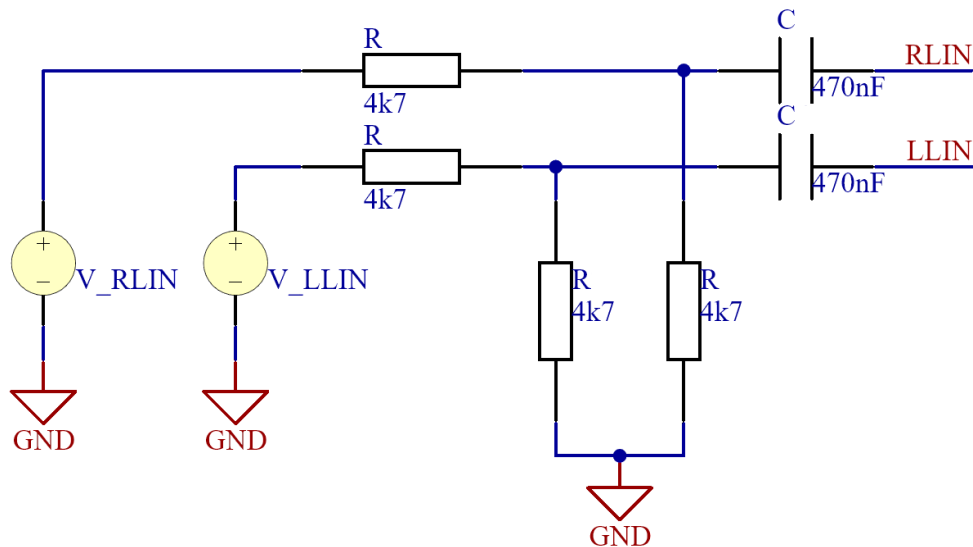
Jak je možné vidět na obr. 2.11 na hradlo MOSFET tranzistoru typu N je přiváděn PWM (Pulse Width Modulation tedy pulsně šířková modulace) signál, který je generován procesorem TI Sitara AM5729. V procesoru je pak možné nastavit hloubku modulace signálu v závislosti na teplotě zjištěné na jednom z pěti teplotních senzorů obsažených přímo v procesoru, a tím automaticky regulovat otáčky větráku. Obdobně jako u tranzistorů řídících LED diody je i zde hradlo připojeno k zemi skrze 100kΩ rezistor jako případná ochrana výstupu procesoru. Dále je mezi kolektor a emitor tranzistoru připojen kondenzátor, který slouží k vyhlazení pulzně modulovaného napětí, přivedeného na větrák, aby nedocházelo ke skokům otáček, a tím vzniku možných rušivých zvuků či vibrací.



Obr. 2.11 Schéma obvodu pro řízení větráku

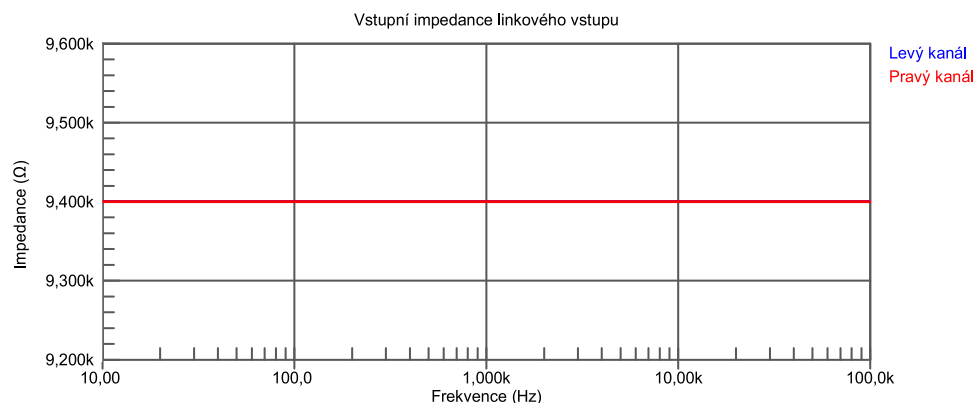
2.4 Simulace obvodového řešení

Na obr. 2.12 je možné vidět jednu z výše popsanych obvodových částí, tedy konkrétně linkový vstup, v simulačním rozhraní programu Altium, který je založen na bázi SPICE modelů. V tomto prostředí proběhla simulace všech obvodů audio vstupů a výstupů nejen pro ověření hodnot impedancí, ale i přenosových charakteristik. Schéma zapojení všech obvodových částí pro simulaci a jejich výstupy jsou v příloze ve formátu PDF stejně tak je obsažen v souborech návrhu programu Altium.



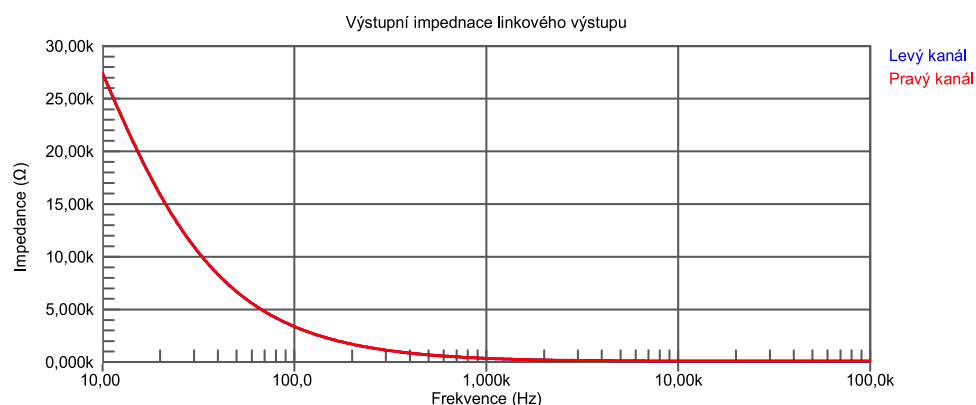
Obr. 2.12 Schéma zapojení stereofonního linkového vstupu pro simulaci

Simulace vstupní impedance vychází z Ohmova zákona, za předpokladu, že $Z = R + jX$ a tedy $Z = \frac{U}{I}$, kde U a I jsou fázory. Na vstup měřeného obvodu je tak připojen zdroj střídavého napětí s konstantní amplitudou napětí, například 1 V. Následně je spuštěna samotná simulace, kdy se měří proud dodaný zdrojem do obvodu pro celé kmitočtové spektrum. Dosadí-li se takto nastavené a měřené hodnoty do zmíněného vzorce je nutno ještě spočítat jejich komplexně sdruženou hodnotu, to z toho důvodu, že má obvod vliv na fázi proudu, respektive napětí. Takto vypočtené hodnoty pak stačí vykreslit v závislosti na kmitočtu do grafu, kdy je výstup této simulace vyobrazen na grafu obr. 2.13.



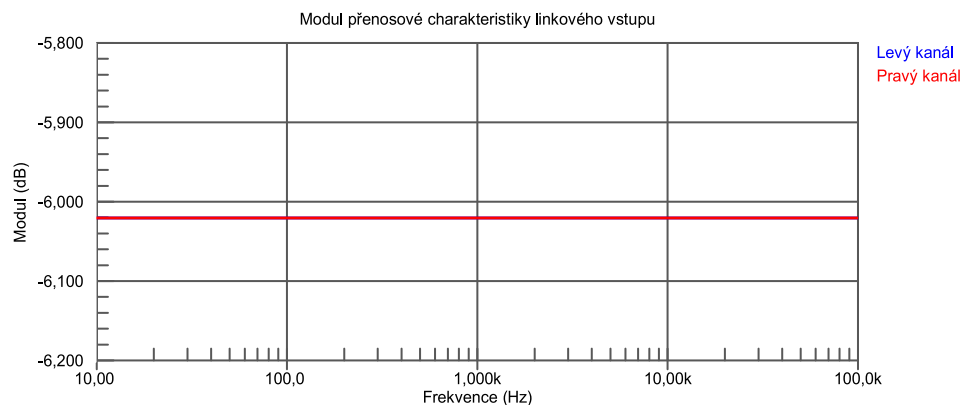
Obr. 2.13 Závislost vstupní impedance linkového vstupu na frekvenci

Obdobně jako simulace vstupní impedance byla simulována i impedance výstupní s tím rozdílem, že zdroj je připojen na výstup měřené obvodové části a vstup je připojen k zemi. Výstup takovéto simulace je pak na obr. 2.14, kdy kromě nízkých kmitočtů je impedance přibližně rovna předem stanovené hodnotě.

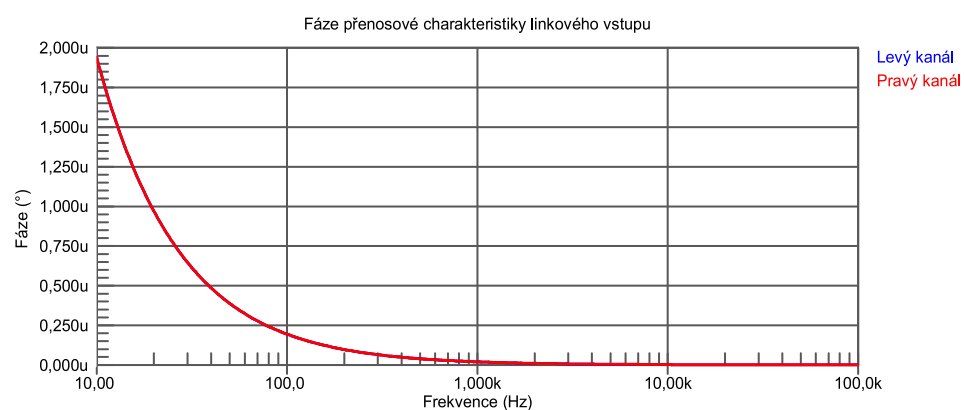


Obr. 2.14 Závislost výstupní impedance linkového výstupu na frekvenci

Dále byla podobným způsobem simulována i přenosová charakteristika, kdy je zdroj napětí ponechán na vstupu a je měřeno napětí na výstupu. Takto získaná reálná a imaginární část napětí, ze kterých rovněž za pomoci výpočtu jejich komplexně sdružené hodnoty je získán modul a výpočtem arkus tangens imaginární složky podělené reálnou pak fází. Simulační prostředí disponuj předdefinovanými funkcemi pro zjednodušení výpočtu přenosové charakteristiky a fáze, *dB* a *PHASE*, které na základě zadaného výstupu provedou výše uvedené matematické operace. Průběh modulu a fáze přenosové charakteristiky takovéto simulace jsou obr. 2.15 a obr. 2.16.



Obr. 2.15 Průběh modulu přenosové charakteristiky linkového vstupu

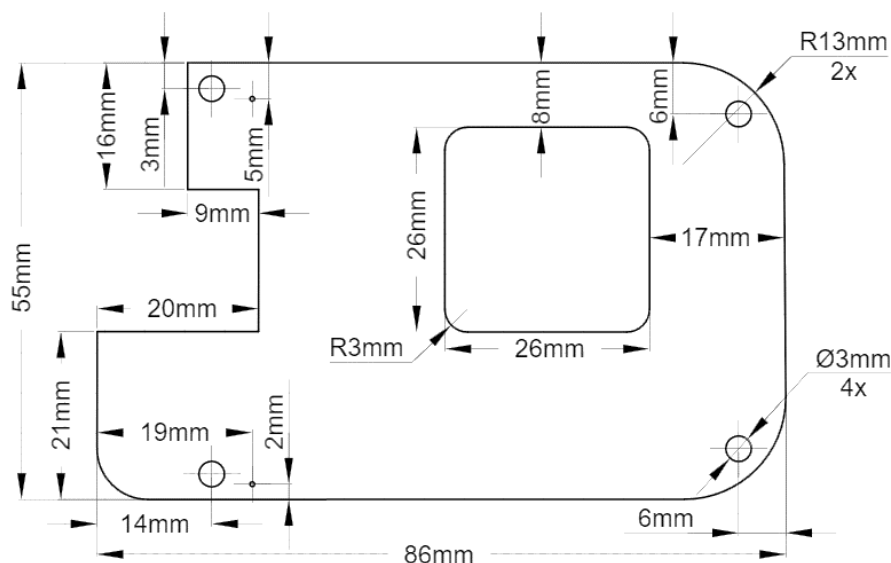


Obr. 2.16 Průběh fáze přenosové charakteristiky linkového vstupu

Výstupy všech simulací jsou v přílohách A až C.

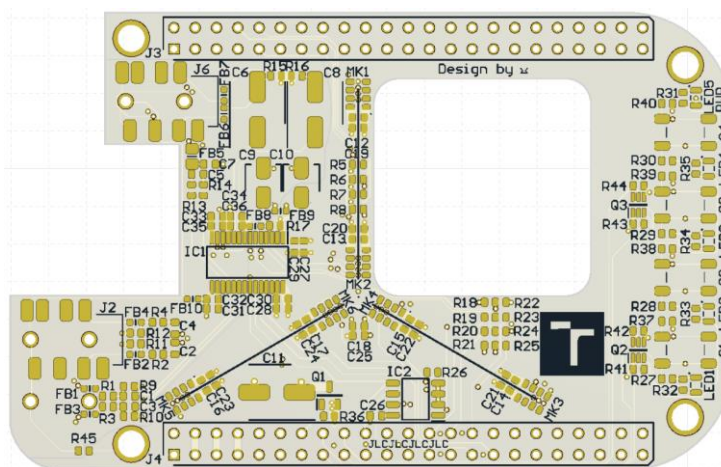
2.5 Návrh desky plošných spojů

Návrh desky plošných spojů rozšiřujícího modulu vychází primárně z rozložení rozšiřujících konektorů rozhraní řídicí desky, kdy bylo jejich správné rozmístění nezbytné. K tomu bylo vytvořeno technického výkresu podle desky Beaglebone AI, která je velikostně i rozmístěním konektorů totožná s Beaglebone Black. Výsledný výkres je na obr. 2.17.



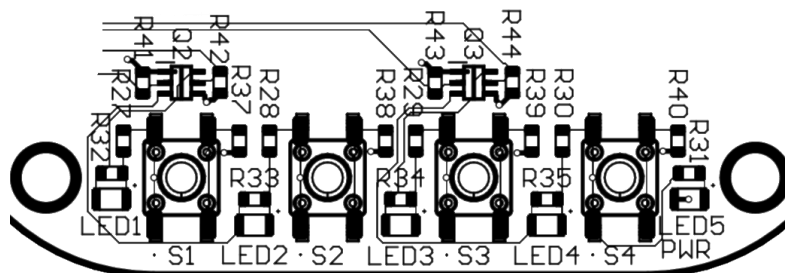
Obr. 2.17 Technický výkres desky modulu

Na základě těchto rozměrů byla navrhnutá deska se stejnými rozměry, kdy výřez pro umístění větráku zajišťujícího chlazení procesoru TI Sitara AM5729 byl vytvořen na základě známé velikosti větráku a ručního měření reálného vývojového kitu. Výsledný tvar navrhnuté desky je na obr. 2.18 jako 3D model desky bez komponentů.



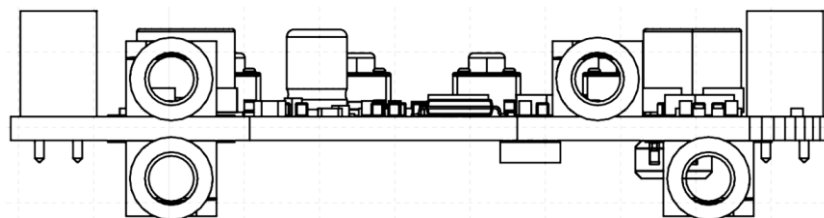
Obr. 2.18 Tvar navrhnuté desky

Dalším krokem bylo rozmístění konektorů a uživatelského rozhraní, to proto, aby byla zajištěna dobrá přístupnost pro manipulaci s tlačítky sloužící například pro změnu vzorkovacího kmitočtu kodeku. Jak je možné vidět na obr. 2.19 tlačítka i světelná LED indikace stavu a napájení jsou umístěny u kraje desky tak, aby byla zajištěna již zmíněná přístupnost, ale zároveň byla zachována přehlednost a jistá estetika zařízení.



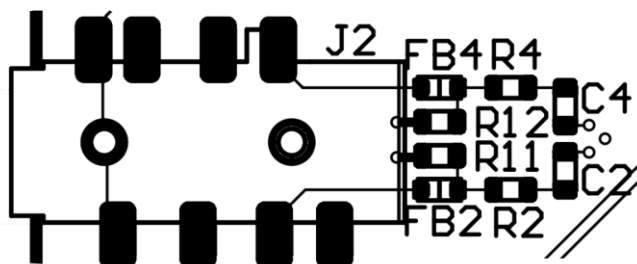
Obr. 2.19 Detail rozmístění uživatelského rozhraní

Konektory audio rozhraní jsou pak umístěny na opačné straně modulu viz obr. 2.20 a to hned ze dvou důvodů. Jedním z nich je, že většina připojených konektorů vývojového kitu, jako je například napájení, jsou právě na této straně a dále s tím související již zmíněná estetika celého zařízení. Umístění konektorů taktéž šetří místo, které by vývojový kit spolu s modulem zabíraly.



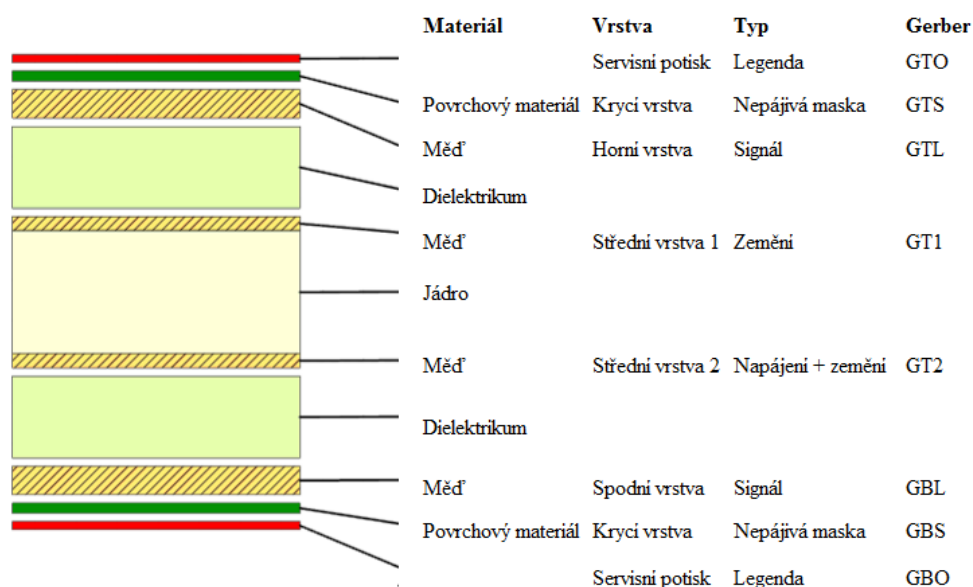
Obr. 2.20 Rozmístění audio konektorů

Veškeré komponenty týkající se audio vstupů a výstupů jsou umístěny, pokud možno co nejbližže konektorům, což je možné vidět například u konektoru J2 na obr. 2.21. Tím je zajištěno impedanční přizpůsobení, ale i případná atenuace signálu, co nejdříve a tím zamezení případnému vzniku nežádoucích přeslechů či průniku šumu a jiných parazitních signálů.



Obr. 2.21 Detail rozmístění komponentů v blízkosti konektoru

Návrh desky bylo nutno podřídit i výrobním procesům, skrze tuto skutečnost byla v programu Altium vytvořena kontrola návrhu podle parametrů udávaných výrobcem JLCPCB. Tyto parametry byly získány z oficiálních stránek firmy [12]. Na základě zjištěných technických možností výrobce byla navržena čtyřvrstvá deska, kdy využití jednotlivých vrstev je možné vidět na obr. 2.22. Horní a spodní vrstvy souží jako signálové, kdy horní je primární. Obě vnitřní vrstvy jsou využity jako zemní a jsou rozděleny na analogovou a digitální část, kdy na signálových vrstvách překrývající tuto oddělenou analogovou zem jsou vedeny pouze analogové signály. To z toho důvodu, aby nedocházelo k indukci rušivých signálů z digitální části obvodového řešení, jako je například hodinový signál rozhraní McASP. Jelikož se většina spojů spolu s komponenty nachází na horní vrstvě, byla první vnitřní vrstva ponechána výhradně jako zemní, což napomáhá stínění a tím napomáhá elektromagnetické kompatibilitě (EMC), což je schopnost zařízení nevytvářet svojí funkcí elektromagnetické rušení a zároveň pracovat bez poruch za přítomnosti vnějšího elektromagnetického rušení. Druhá vnitřní vrstva pak obsahuje kromě zmíněného zemnění i napájecí trasy 3,3V větve.

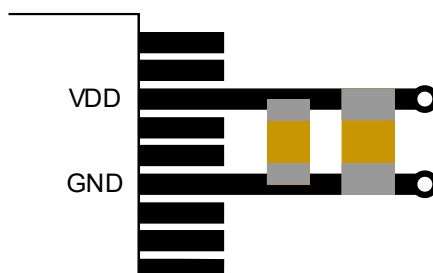


Obr. 2.22 Složení a využití jednotlivých vrstev navrhované rozšiřující desky

Dále je vynaložena snaha, aby se signálové cesty z různých vrstev desky co nejméně překrývali, kdy se cesty v ideálním stavu pouze překřičují. Výjimkou je propojení uživatelského rozhraní, kdy jsou cesty vedeny paralelně na obou signálních vrstvách, jelikož tyto přenášené signálů jsou vesměs stacionární logické hodnoty.

Jelikož hodinový signál rozhraní McASP může dosahovat, vzhledem k parametrům audio kodeku, až kmitočtu 18,43 MHz, kdy je nutné dodržet maximální skluz tohoto signálu 10 ns. Jestliže je rychlost šíření signálu v materiálu RF4 zhruba poloviční oproti šíření ve volném prostředí, pak je rychlost propagace signálu rovna $1,5 \cdot 10^8 \text{ m} \cdot \text{s}^{-1}$, tedy $15 \text{ cm} \cdot \text{ns}^{-1}$. Po jednoduchém vynásobení rychlosti signálu s jeho maximálním skluzem zjistíme, že délky vodičů rozhraní McASP se nesmí lišit o více než 150 cm. Při rozměrech navrhovaného modulu tedy nemusí být časová latence signálů a tím způsobená možná ztráta dat brána v potaz.

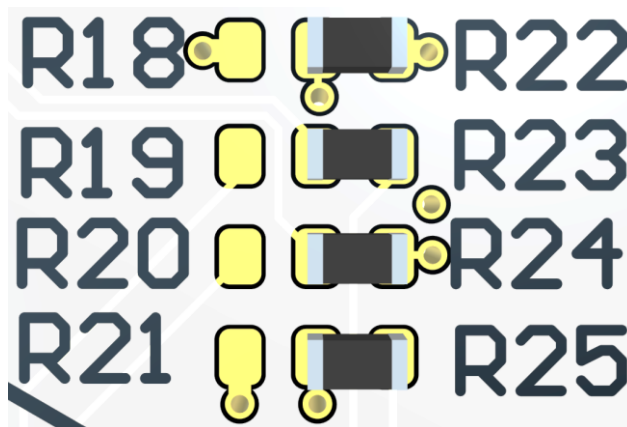
Jelikož modul obsahuje větší množství integrovaných obvodů, jako je samotný kodek nebo mikrofonní pole, sestávající se z digitálních MEMS mikrofonů, je zde snaha snížit propagaci spínaných proudů zemněním. Pro tyto účely jsou k napájecím pinům každého integrovaného obvodu připojeny lokální kondenzátory sloužící, jak již z názvu vyplývá, jako lokální zdroj energie a redukuje impulzní proudy, které by jinak protékaly zemnicí vrstvou zpět ke zdroji a vytvářeli tak nechtěné rušení. Ideální umístění lokálních kondenzátorů je znázorněno na obr. 2.23, kdy jsou seřazeny od nejnižší kapacity směrem od integrovaného obvodu, aby docházelo nejprve k potlačení vyšších frekvencí.



Obr. 2.23 Příklad ideálního umístění lokálních kondenzátorů

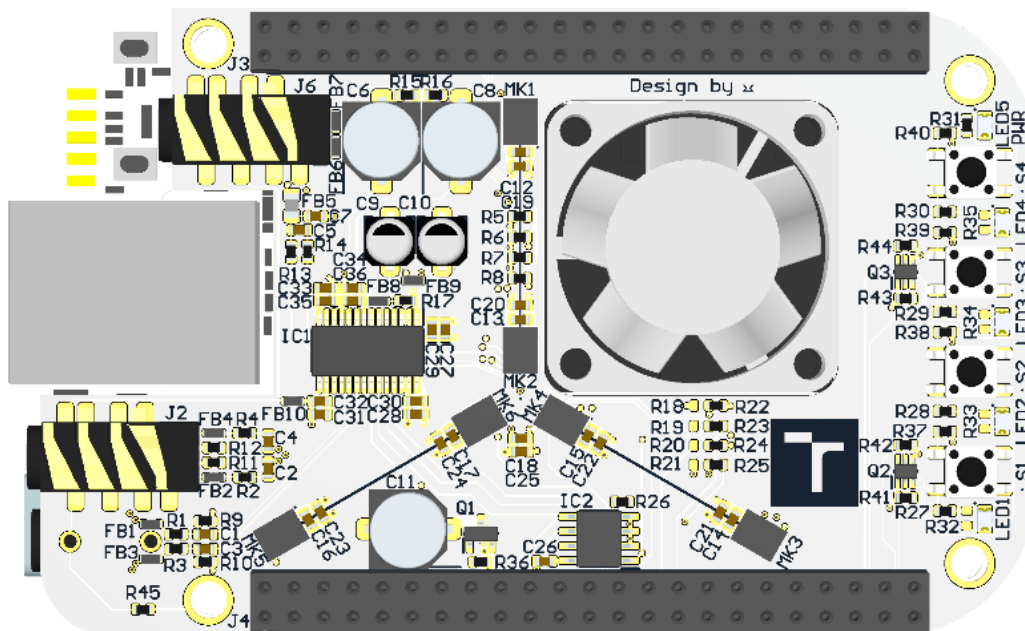
Jak již bylo v kapitole 2.1 zmíněno, jedním ze zvolených požadavků bylo umístění mikrofonního pole čítající sedm mikrofonů. Vzhledem k relativně malým rozměrům navrhovaného modulu, bylo třeba určit umístění jednotlivých mikrofonů. Aby bylo možné jednoduše zpracovat získaný signál, bylo zvoleno rozložení mikrofonů do soustředného kruhu s rozstupem 120° a poloměrem k ústí mikrofonů 3,5 mm a 25 mm. Aby bylo předejito případnému vlivu prostorového aliasingu, byla vzdálenost mikrofonů zvolena podle vztahu $d \leq 0,5 \lambda$, což při zvolené vzdálenosti umožní teoretické rozlišení až 40 kHz. Pro dosažení prostorového rozpoznávání příchodu zvuku byl jeden mikrofon umístěn do středu výše popsané kružnice na spodní vrstvě. Výsledné rozložení mikrofonů je možné vidět na obr. 2.25.

Rezistory R18 až R25, které jsou, jak je možné vidět na obrázku obr. 2.24, na navrhnuté desce umístěny se společnou pájecí plochou komponentů, tak aby bylo možné osadit desku vždy jen jedním z rezistorů, čímž bylo zamezeno možnému vzniku zkratu či jiných kolizí.



Obr. 2.24 Detail konfiguračních rezistorů

Výsledný model audio modulu připojený k řídicí desce Beaglebone AI je na obr. 2.25.



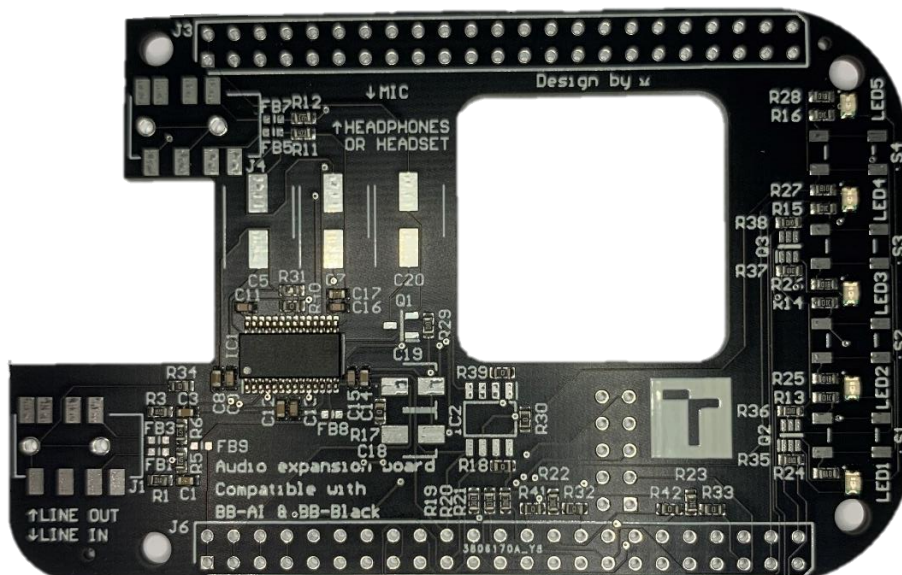
Obr. 2.25 3D model audio modulu s řídicí deskou (ver. B)

2.6 Realizace a ověření funkčnosti

Vzhledem k tomu, že se nepodařilo včas zhotovit audio modul podle výsledného návrhu verze B, je v této části popsána alespoň realizace a ověření funkčnosti verze A.

Navržená deska plošných spojů byla vyrobena u firmy JLCPCB, která je dceřinou společností firmy LCSC. Jedním z důvodů tohoto výběru byl větší výběr specifických komponentů, jako je například konektor jack 3,5mm pro povrchovou montáž, který lze pořídit i u společností jako je Mouser, avšak za násobně vyšší cenu. Obdobně je to s cenami dalších komponentů jako třeba malých větráků, nebo i samotného audio kodeku, kdy jsou tyto rozdíly viditelné v příloze E. Dalším důvodem je/byla možnost využití služby osazení komponentů zdarma, kdy je cena pasivních komponentů zanedbatelná oproti nákupu těchto součástek pro prototypování.

Vyrobenou desku spolu s částečně osazenou je možné vidět na obr. 2.26 plně osazenou pak na obr. 2.27. Během osazování byla zjištěna chyba návrhu, jenž je zvýrazněna v červeném rámečku na obr. 2.28, která by zabránila zprovoznění kodeku, konkrétně zapojení kondenzátorů C8, C9, C12 a C13 jako vazebních namísto lokálních, což by mělo za následek, že by kodek zůstal izolován od napájecího napětí. Tuto chybu však bylo možné jednoduše odstranit nahrazením kondenzátorů rezistory s nulovou hodnotou odporu, jak je vidět na zvýrazněných místech na obr. 2.29.



Obr. 2.26 Částečně osazená deska modulu

Po opravení této chyby a ověření, že modul není v elektrickém zkratu, byla deska připojena k laboratornímu zdroji. Po připojení napájení bylo zjištěno, že svítivost LED diody indikující napájení je až nepříjemně vysoká, a to i přes použití několika násobně vyššího předřadného odporu omezující proud protékající touto diodou, než bylo dle specifikací vypočítáno. Z tohoto důvodu byly rezistory nahrazeny řádově vyššími, což mělo za následek snížení jasu na uživatelsky přívětivou úroveň a zároveň i snížení celkového počtu typů potřebných komponentů a jejich hodnot. Následně proběhla kontrola uživatelského rozhraní za pomoci propojovacích vodičů a multimetru.

Následně byl modul připojen k vývojovému kitu a ten za pomoci USB kabelu (USB C – USB A) připojen k počítači. Po načtení systému Linux bylo možné se k vývojovému kitu připojit, například pomocí vývojového prostředí Cloud 9 IDE, a to skrze internetový prohlížeč na adrese 192.168.7.2.

Aby bylo možné audio modul odzkoušet bylo nutné správně nakonfigurovat vstupně výstupní piny vývojového kitu. Bohužel u verze Beaglebone AI je nutné tuto konfiguraci provést během načítání systému a není možné ji za běhu měnit. Je tak nutné upravit datovou strukturu Device Tree (strom zařízení), podle které se nastavení provede. Jelikož každý pin má předem určenou sadu možných funkcí, bylo nutné přizpůsobit modul možnostem vývojového kitu již při jeho návrhu, k čemuž bylo využito seznamu možných konfigurací jednotlivých pinů z manuálu [1], tedy konkrétně sekce 7.1. Později bylo užito přehledného tabulkového zpracování [13] tohoto seznamu. Původně zamýšlené využití pinů je uvedeno v tab. 2.5, kdy při srovnání s tab. 2.3 je možné si povšimnout i zde několika změn. Kromě doplnění datových pinů pro MEMS mikrofony byl změněn pin PWM signálu řídícího rychlost větráku, jelikož pin disponoval pouze časovačem, avšak ne se schopností generování pulzně šířkové modulace.

Tab. 2.5 Konfigurace vstupně výstupních pinů vývojového kitu (ver.A)

		a					b				
PIN	Funkce	#	I/O	Pull	Mód	Název	#	I/O	Pull	Mód	Název
P9.15	LED1	69	Výstup	Down	14	gpio3_12					
P9.16	LED2	108	Výstup	Down	14	gpio4_26					
P9.17	LED3	243	Výstup	Down	14	gpio7_17	174	Vstup		14	gpio5_3
P9.18	LED4	242	Výstup	Down	14	gpio7_16	173	Vstup		14	gpio5_2
P9.19	SCL	16	Vstup	Up	7	i2c4_scl	95	Vstup	Up	14	gpio4_6
P9.20	SDA	17	Vstup	Up	7	i2c4_sda	94	Vstup	Up	14	gpio4_5
P9.21	PWM	60	Výstup	Down	7	timer13	241	Vstup		14	gpio7_15
P9.22	BTN1	167	Výstup	Down	14	gpio6_19	240	Vstup		14	gpio7_14
P9.23	BTN2	237	Výstup	Down	14	gpio7_11					
P9.24	BTN3	163	Výstup	Down	14	gpio6_15					
P9.25	MCLK	165	Výstup		3	mcasp1_ahclkx					
P9.26	DIN2	162	Vstup		1	mcasp1_axr8	81	Vstup		14	gpio3_24
P9.28	DOUT2	184	Výstup		0	mcasp1_axr11					
P9.29	LRCK	182	Vstup		14	gpio5_11	170	Výstup		0	mcasp1_fsx
P9.30	DIN1	183	Vstup		0	mcasp1_axr10					
P9.31	BCLK	181	Vstup		14	gpio5_10	169	Výstup		0	mcasp1_aclckx
P9.41	DOUT1	168	Výstup		2	mcasp1_axr7	96	Vstup		14	gpio4_7
P9.42	BTN4	185	Vstup		14	gpio4_18	103	Vstup		14	gpio4_14

Pro otestování modulu byl vytvořen soubor s příponou *.dts, který slouží ke konfiguraci pinů a je součástí příloh. V hlavičce souboru je za pomoci následujícího příkazu definován přednastavený soubor obsahující základní nastavení pinů.

```
#include "am5729-beagleboneai.dts"
```

Takto není potřeba definovat všechny piny, ale jen ty, které budou použity modulem. Dále je požadovaný příkaz, který definuje název spolu s časem vytvoření tohoto nastavení pro snazší rozpoznání právě použité konfigurace.

```
/ {
chosen {
    base_dtb = "am5729-beagleboneai-BBAIAEB.dts";
    base_dtb_timestamp = __TIMESTAMP__;
};
};
```

Následně je možné pro přehlednost definovat názvy pinů podle umístění na konektoru. Pro definování takového názvu je nutné znát konfigurační registr, který příslušnému pinu náleží. Zde je potřeba dbát větší pozornosti, jelikož různé tabulky uvádí jiná čísla registrů, například [13] uvádí již hexadecimální adresu, avšak o 0x2000 nižší

hodnotou oproti [14] kde je uváděno číslo decimální, které je nutno vynásobit čtyřmi a přičíst k hodnotě 0x3400.

Příklad definování několika názvů jejich odpovídajícím registrům.

```
#define P9_24 (0x3400 + 4 * 163)
#define P9_25 (0x3400 + 4 * 165)
#define P9_26a (0x3400 + 4 * 162)
#define P9_26b (0x3400 + 4 * 81 )
```

V odstavci níže se definují vlastnosti kodeku komunikujícího s procesorem prostřednictvím ALSA (Advanced Linux Sound Architecture). Tedy, které vstupy a výstupy kodeku, nastavení formátu přenosu dat a piny řídicí desky budou pro tuto komunikaci použity.

```
{
sound {
    compatible = "simple-audio-card";
    simple-audio-card,name = "tlv320aic23";
    simple-audio-card,bitclock-master = <&sndcodec>;
    simple-audio-card,frame-master = <&sndcodec>;
    simple-audio-card,convert-rate = <48000>;
    simple-audio-card,format = "i2s";
    simple-audio-card,mclk-fs = <512>;
    simple-audio-card,widgets =
        "Microphone", "Mic Jack",
        "LineIn", "Line In",
        "Headphone", "Headphone Jack",
        "LineOut", "Line Out";
    simple-audio-card,routing =
        "Headphone Jack", "LHPOUT",
        "Headphone Jack", "RHPOUT",
        "Line Out", "LOUT",
        "Line Out", "ROUT",
        "LLINEIN", "Line In",
        "RLINEIN", "Line In",
        "MICIN", "Mic Jack";
    simple-audio-card,cpu {
        sound-dai = <&mcasp0>;
    };
    sndcodec: simple-audio-card,codec {
        sound-dai = <&tlv320aic23>;
        system-clock-frequency = <3072000>;
    };
};
};
```

Dále jsou definovány vlastnosti komunikačního rozhraní I2C, jako je rychlost komunikace a adresy jednotlivých periférií.

```
&i2c4 {
    status = "okay";
    pinctrl-names = "default";
    pinctrl-0 = <&i2c4_pins>;
    clock-frequency = <400000>;

    tlv320aic23: codec@1a {
        compatible = "ti,tlv320aic23";
        reg = <0x1a>; // 0x1b
        #sound-dai-cells= <0>;
        status = "okay";
    };

    eeprom: eeprom@50 {
        compatible = "at,24c32";
        reg = <0x50>;
    };
};
```

Obdobným způsobem je definováno i rozhraní McASP, které obsahuje kromě jiného počet datových pinů, směr přenosu na jednotlivých pinech a formát takového přenosu.

```
&mcaspp0 {
    status = "okay";
    pinctrl-names = "default";
    pinctrl-0 = <&mcaspp0_pins>;
    op-mode = <0>; /* MCASP_IIS_MODE */
    tdm-slots = <2>;
    num-serializer=<16>
    serial-dir = < /* 0: INACTIVE, 1: TX, 2: RX */
    0 0 0 0
    0 0 0 1
    0 0 2 0
    0 0 0 0 >;

    tx-num-evt = <1>;
    rx-num-evt = <1>;

    #sound-dai-cells = <0>;
};
```

Posledním krokem je nastavení jednotlivých pinů, které se provádí zápisem v následujícím formátu.

```
DRA7XX_CORE_IOPAD(PIN, PIN_I/O_PULL | MUX_MODEX)
```

Kde PIN představuje registr pinu, který je nastavován, popřípadě jeho dříve definovaný název. Část I/O v PIN_I/O_PULL určuje, zdali nastavovaný pin bude plnit funkci vstupu nebo výstupu, tedy INPUT či OUTPUT a část PULL pak případné zapojení interního rezistoru, tedy PULLUP či PULLDOWN. V případě že daný pin interní rezistor nevyužije je zapisován pouze formát PIN_I/O. V poslední části, tedy MUX_MODEX představuje X číslo módu, do něhož bude pin nastaven. Je možné si povšimnout, že zápis začíná DRA7XX namísto očekávaného AM7XX, to z toho důvodu, že se jedná o systémy na čipu ze stejné rodiny lišící se pouze v rozdílné konfiguraci různých rozhraní a procesoru, avšak jejich konfigurační vrstva je ponechána stejná. Toto nastavení se tedy řídí tab. 2.5. Zápis takového nastavení pinů, kupříkladu komunikačního rozhraní I2C, jako je tomu v tomto případě, vypadá následovně.

```
&dra7_pmx_core {
    i2c4_pins: i2c4 {
        pinctrl-single,pins = <
            DRA7XX_CORE_IOPAD( P9_19a, PIN_INPUT_PULLUP | MUX_MODE7 )
            DRA7XX_CORE_IOPAD( P9_19b, PIN_INPUT_PULLUP | MUX_MODE14 )
            DRA7XX_CORE_IOPAD( P9_20a, PIN_INPUT_PULLUP | MUX_MODE7 )
            DRA7XX_CORE_IOPAD( P9_20b, PIN_INPUT_PULLUP | MUX_MODE14 )
        >;
    };
};
```

Po vytvoření souboru *.dts s nastavením všech pinů, byl soubor kompilován za pomoci přednastaveného souboru Makefile a s tím spojeného příkazu, který je součástí knihovny BeagleBoard-DeviceTrees [15], na soubor *.dtb.

```
sudo make src/arm/am5729-beagleboneai-BBAIAEB.dtb
```

Ten byl následně zkopírován do adresáře /boot/dtbs a nastaven v textovém souboru /boot/uEnv.txt.

```
sudo cp src/arm/am5729-beagleboneai-custom.dtb /boot/dtbs
sudo nano /boot/uEnv.txt #dtb=am5729-beagleboneai-custom.dtb
```

Poté proběhl restart vývojového kitu.

Tato operace se nepovedla a kit se zasekl ve smyčce načítání.

Pro načtení a následnému přehrání špatně nastaveného systému bylo využito microSD karty, jež obsahovala identickou verzi tohoto systému. Po vložení karty do kitu a jeho načtení bylo možné eMMC paměť přehrát. Během opětovné přípravy souboru *.dts byl zjištěn problém v předchozí verzi tohoto souboru, kdy definice názvů pinů obsahovaly tečky, které systém neumí později přiřadit. Při změně tečky na podtržítko a následném zopakování postupu, se již systém načtl se správným nastavením pinů.

Po úspěšném nastavení pinů byla jejich konfigurace zkontrolována za pomoci následujícího příkazu.

```
sudo /opt/scripts/device/bone/show-pins.pl
```

Následně byla otestována funkčnost jednotlivých periférií. Pro otestování uživatelského rozhraní bylo využito příkazového řádku, kam byly zadány níže uvedené příkazy. Testování LED diod spočívalo v nastavení logické hodnoty, kterým odpovídal stavu LED diody. Pořadí gpio je vypočteno jako $(X - 1)32 + Y$, kde X a Y jsou hodnoty z názvu funkce gpioX_Y, které jsou uvedeny v tab. 2.5.

```
cd/sys/class/gpio
echo 76 > export
cd gpio76
echo out > direction
echo 1 > value
echo 0 > value
```

Při testování tlačítek bylo postupováno obdobně, avšak pro nastavení logické jedničky bylo tlačítko fyzicky drženo v sepnutém stavu.

```
cd/sys/class/gpio
echo 75 > export
cd gpio75
echo in > direction
cat value
1
cat value
0
cat value
1
```

Ačkoli nebylo možné nastavit rychlost větráku za pomoci PWM signálu, byla otestována jeho funkčnost a efektivita. Vývojový kit byl ponechán zapnutý po dobu 10 minut a poté byla změřena jeho teplota jedním z pěti teplotních čidel obsažených přímo v procesoru.

```
cat /sys/devices/virtual/thermal/thermal_zone0/temp
62700
```

Poté byl větrák přimontován ke chladiči procesoru a připojen k laboratornímu zdroji s nastaveným konstantním napětím 3,3 V. Po 10 minutách byla opět změřena teplota.

```
cat /sys/devices/virtual/thermal/thermal_zone0/temp
44600
```

Pro získání teploty ve °C je nutné vrácenou hodnotu podělit 1000. Teplota procesoru tak byla při nadpoloviční rychlosti větráku snížena skoro o 20 °C.

Dalším krokem bylo ověření funkčnosti paměti EEPROM a audio kodeku. Byly tedy překontrolovány adresy rozhraní I2C.

```
i2cdetect -r 3
    0  1  2  3  4  5  6  7  8  9  a  b  c  d  e  f
00:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
10:  --  --  --  --  --  --  --  --  --  --  1a  --  --  --  --
20:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
30:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
40:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
50: 50  --  --  --  --  --  --  --  --  --  --  --  --  --  --
60:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
70:  --  --  --  --  --  --  --  --  --  --  --  --  --  --  --
```

Ačkoli se I2C adresa audio kodeku při skenování zařízení zobrazila, což nasvědčuje o jeho funkčnosti, během psaní této práce se nepodařilo tuto skutečnost ověřit. Tento fakt je nejspíše způsoben nesprávným formováním nastavení samotného ALSA, který již obsahuje veškeré potřebné ovladače použitého kodeku TLV320AIC23B.

Na základě zjištěných chyb byla vytvořena druhá verze návrhu, verze B.

2.7 Přepřacování a doplnění schéma obvodového řešení

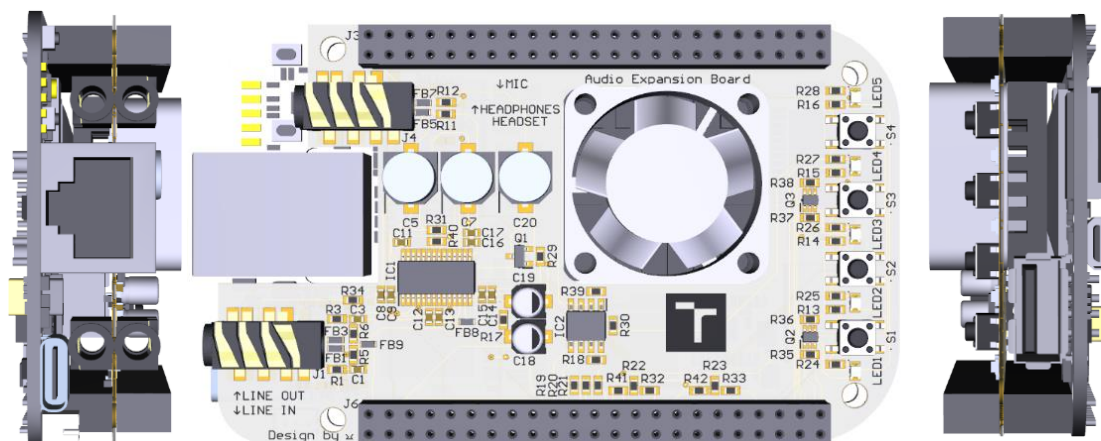
Jak bylo zmíněno v předchozí kapitole, na základě zjištěných chyb a nedostatků bylo schéma obvodového řešení přepřacováno. Obvodové řešení audio vstupů a výstupů zůstalo beze změny, avšak pozměnilo se očíslování některých součástek, to se však netýká přiložené papírové dokumentace, ale pouze digitální, která je umístěna ve složce verze A.

Během úprav byly také odstraněny všechny nepotřebné komponenty, jednotlivé sekce přehledně rozděleny a popsány spolu s potřebnými poznámkami. Výsledné schéma je pak možné vidět v příloze D. Dále je přiložena aktualizovaná verze seznamu použitých komponentů, viz příloha E, která obsahuje i kalkulaci nákladů na jednotlivé komponenty, na výrobu samotné desky plošných spojů, ale i případného automatizovaného osazení. Navíc byla vytvořena dokumentace pro samotnou výrobu, viz příloha F, a i pro kompletaci, příloha G.

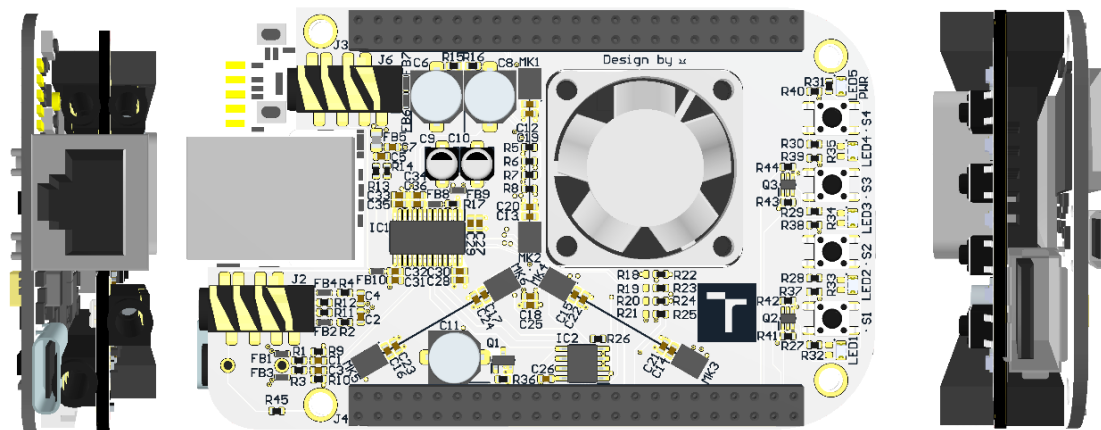
Jak již bylo zmíněno, součástí úprav bylo přidání mikrofonního pole čítající sedm MEMS mikrofónů a jim náležící pasivní komponenty, které však nejsou jakkoli vázány na zbytek obvodového řešení a není je proto nutné při výrobě modulu osazovat. Jedná se o odpory R5-R8, R21 a R25, mikrofony MK1-MK7 a kondenzátory C12-C25.

2.8 Oprava a úprava návrhu desky plošných spojů

Na základě zjištěných chyb a nedostatků realizované verze desky plošných spojů a následné úpravě schéma obvodového řešení byl modul přepracován. Toto přepracování tedy kromě již zmíněných úprav zahrnovalo i přidání mikrofonního pole, z toho důvodu byly některé komponenty přesunuty. Dále byl modul navrhnut jako čtyřvrstvá deska plošných spojů namísto původní dvouvrstvé. Rozdíly mezi jednotlivými verzemi je možné vidět na níže uvedených obr. 2.30 a obr. 2.31.



Obr. 2.30 3D model audio modulu s řídicí deskou (ver. A)



Obr. 2.31 3D model audio modulu s řídicí deskou (ver. B)

ZÁVĚR

V úvodu práce proběhlo seznámení s vývojovým kitem Beaglebone AI a na něm umístěným procesorem TI Sitara AM5729. Dále jsou v práci popsány použité komunikační rozhraní I2C a McASP a jejich principy fungování.

Po krátkém teoretickém úvodu jsou stanoveny požadavky na desku rozšiřující vstupní a výstupní rozhraní vývojového kitu. Následně jsou vybrány komponenty splňující stanovené požadavky, a ty jsou užity v návrhu obvodového řešení. Návrh byl ověřen simulacemi, které umožňují odhalení případných nežádoucích vlastností obvodového řešení. Poté byl návrh realizován a ověřena jeho funkčnost, kdy se funkčnost kodeku nepodařilo ověřit vytvořením nebo přehráním audio záznamu, avšak podařilo se kodek detekovat.

Výstupem této práce jsou tedy, návrh obvodového řešení, seznam použitých komponentů spolu s odhadem ceny výroby a deska plošných spojů se všemi k tomu náležícími soubory.

Součástí návrhu je i možnost osadit modul mikrofonním polem, které však nebylo realizováno. Bylo by tak vhodné modul takto osadit a otestovat vlastnosti a možnosti tohoto mikrofonního pole. Dále by bylo možné návrh upravit záměnou stávajícího kodeku TLV320AIC23 za původně zamýšlený TLV320AIC32, či přidáním USB rozhraní, díky kterému by navrhnutý modul nebyl omezen pouze na vývojový kit Beaglebone AI a mohl by tak fungovat jako externí zvuková karta s širšími možnostmi využití.

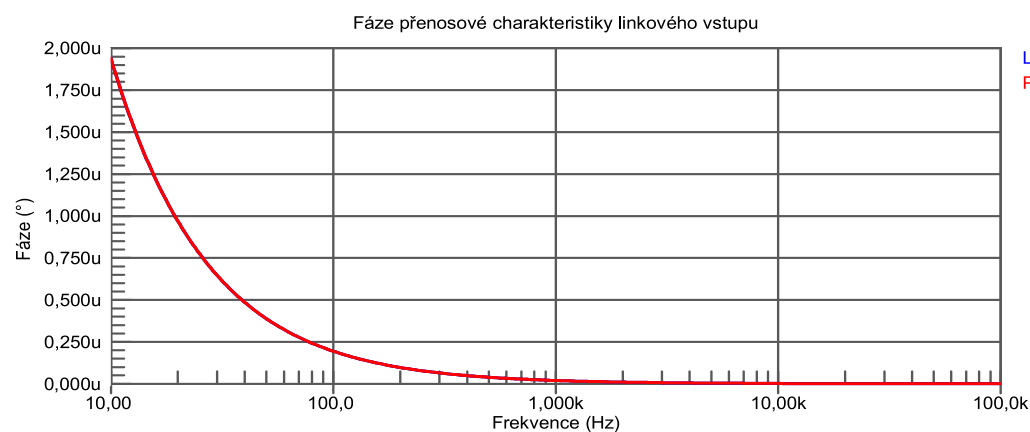
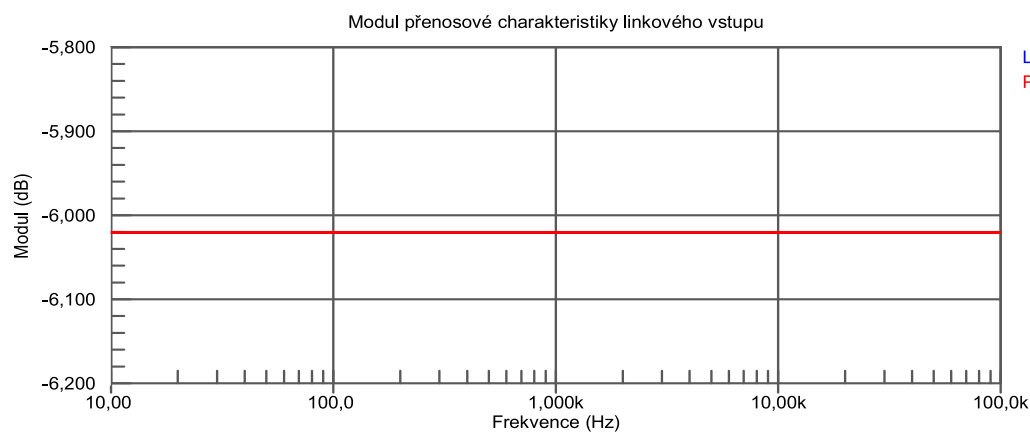
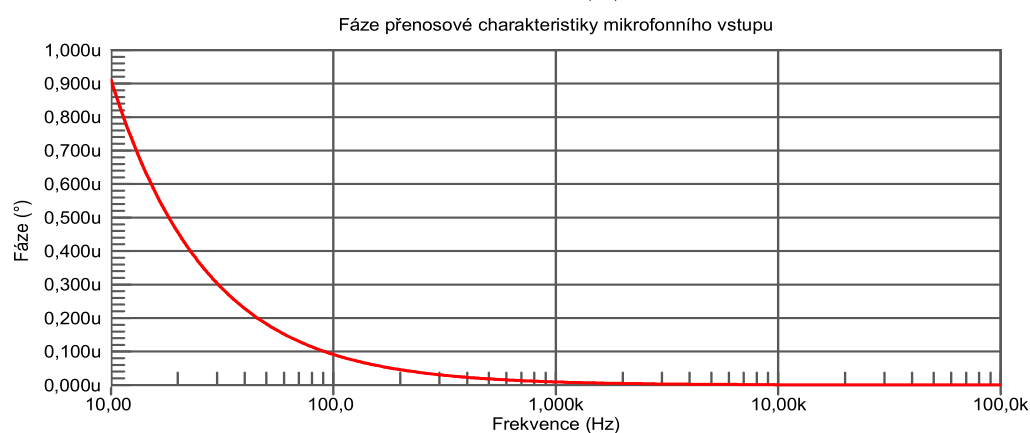
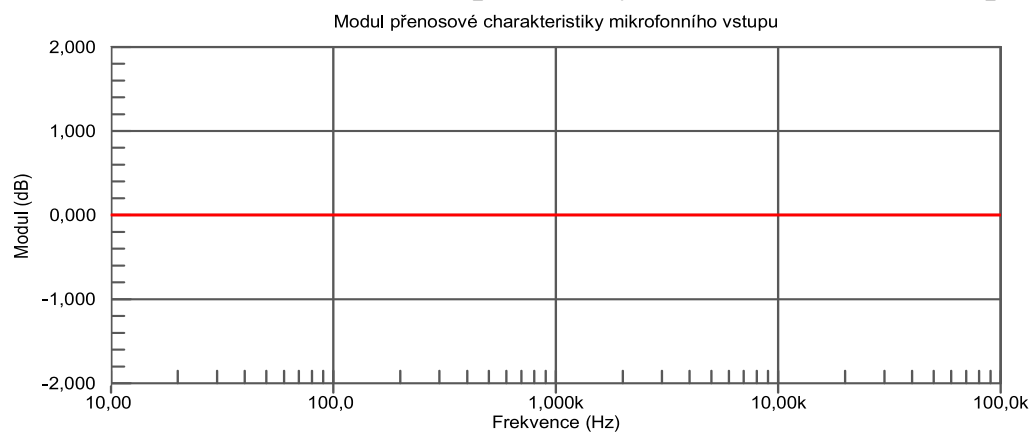
LITERATURA

- [1] BEAGLEBOARD.ORG. *System reference manual* [online]. [cit. 2022-05-22]. Dostupné z: <https://github.com/beagleboard/beaglebone-ai/wiki/System-Reference-Manual>
- [2] TEXAS INSTRUMENT. *AM572x Sitara Processors datasheet* [online]. [cit. 2022-05-22]. Dostupné z: ti.com/lit/ds/symlink/am5729.pdf
- [3] TEXAS INSTRUMENT. *AM5729 Sitara* [online]. [cit. 2022-05-22]. Dostupné z: <https://www.ti.com/product/AM5729#description>
- [4] TELOS SYSTEMENTWICKLUNG GMBH. *I2c-bus.org* [online]. [cit. 2022-05-22]. Dostupné z: <https://www.i2c-bus.org>
- [5] DAVIS, Larry. *I2C Bus* [online]. [cit. 2022-05-22]. Dostupné také z: http://www.interfacebus.com/I2C_Interface_Bus_Standard.html
- [6] TEXAS INSTRUMENTS. *Understanding the I2C Bus* [online]. [cit. 2022-05-22]. Dostupné také z: <https://www.ti.com/lit/an/slva704/slva704.pdf>
- [7] PHILIPS SEMICONDUCTORS. *The I2C-Bus specification*. [online]. [cit. 2022-05-22]. Dostupné také z: https://www.csd.uoc.gr/~hy428/reading/i2c_spec.pdf
- [8] DAVIS, Larry. *I2S - Inter-IC Sound Bus* [online]. [cit. 2022-05-22]. Dostupné také z: http://www.interfacebus.com/I2S_Interface_Bus.html
- [9] TEXAS INSTRUMENTS. *McASP Design Guide* [online]. [cit. 2022-05-22]. Dostupné také z: <https://www.ti.com/lit/an/sprack0/sprack0.pdf>
- [10] ČSN EN IEC 61938 ED.3. *Multimediální systémy - Směrnice doporučených vlastností analogových rozhraní pro dosažení interoperability*. Praha: Úřad pro technickou normalizaci, 2018, 48 s. Třídící znak 368320
- [11] HUBEI-KENTO. *KT-0805G* [online]. [cit. 2022-05-22]. Dostupné z: https://datasheet.lcsc.com/lcsc/1806151820_Hubei-KENTO-Elec-C2297_C2297.pdf
- [12] JLCPCB. *Capabilities* [online]. [cit. 2022-05-22]. Dostupné z: <https://jlcpcb.com/capabilities/Capabilities>
- [13] BEAGLEBOARD.ORG. *BeagleBone Cape Header Pins* [online]. [cit. 2022-05-22]. Dostupné z: https://docs.google.com/spreadsheets/d/1fE-AsDZvJ-bBwzNBj1_sPDruTvEvsmARqFwvbw_HkrE
- [14] YANTRR VAYU. *Vayu pins* [online]. [cit. 2022-05-22]. Dostupné z: https://docs.google.com/spreadsheets/d/1mSqEpV_BAUHfeNApytxHcGhgTZwypy564GyOr66Nphs
- [15] BEAGLEBOARD.ORG. *Linux kernel device trees and device tree overlays for BeagleBoard.org* [online]. [cit. 2022-05-22]. Dostupné z: <https://github.com/beagleboard/BeagleBoard-DeviceTrees>

SEZNAM PŘÍLOH

PŘÍLOHA A - GRAFY SIMULACE PŘENOSOVÝCH CHARAKTERISTIK VSTUPŮ	51
PŘÍLOHA B - GRAFY SIMULACE PŘENOSOVÝCH CHARAKTERISTIK VÝSTUPŮ	52
PŘÍLOHA C - GRAFY SIMULACE IMPEDANCÍ VSTUPŮ A VÝSTUPŮ	53
PŘÍLOHA D - OBVODOVÉ SCHÉMA	54
PŘÍLOHA E - SEZNAM POUŽITÝCH KOMPONENTŮ	54
PŘÍLOHA F - VÝROBNÍ DOKUMENTACE	54
PŘÍLOHA G - KOMPLETAČNÍ NÁKRES	54

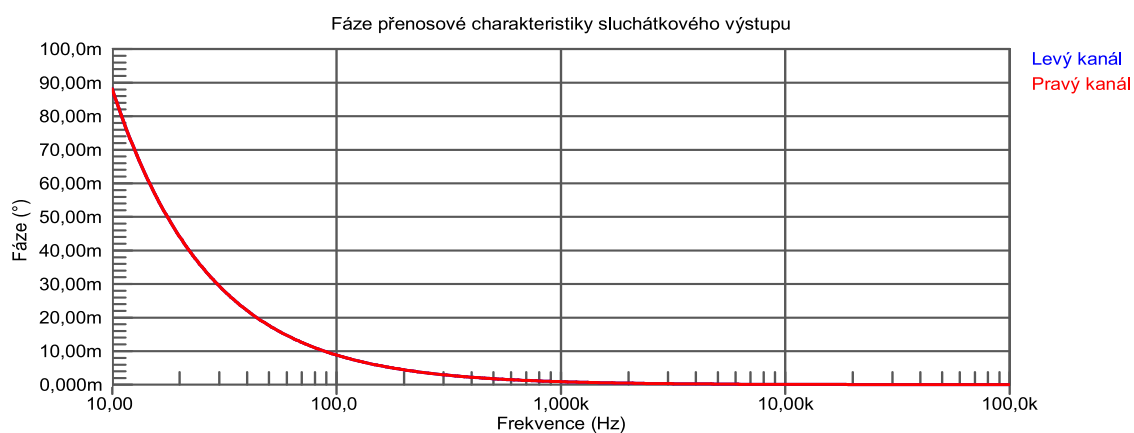
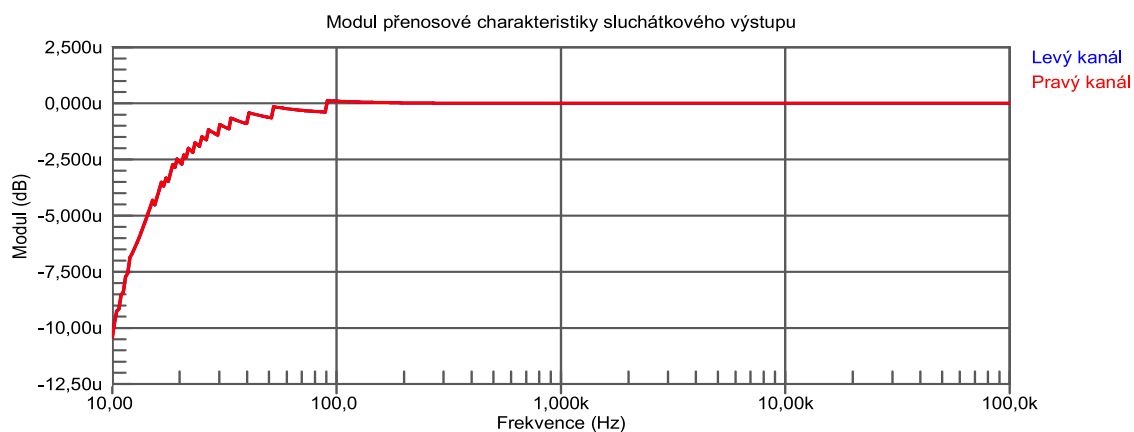
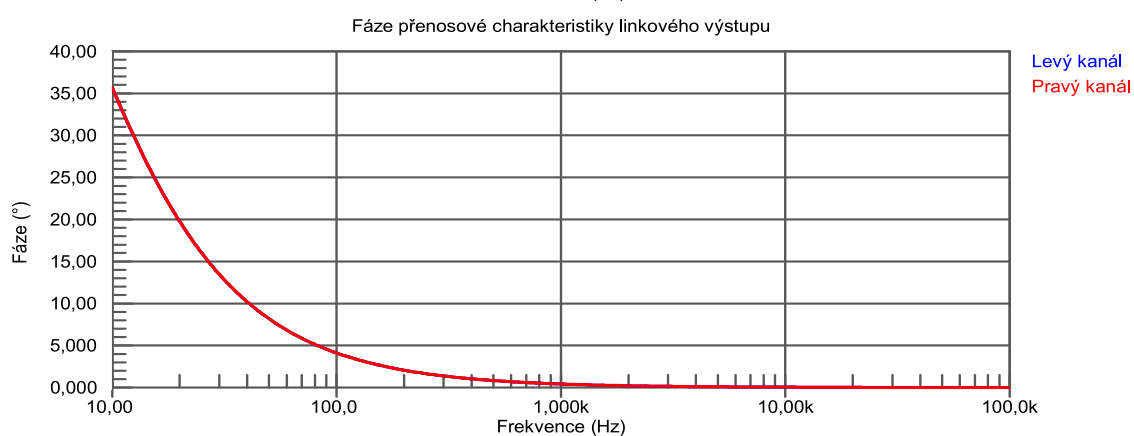
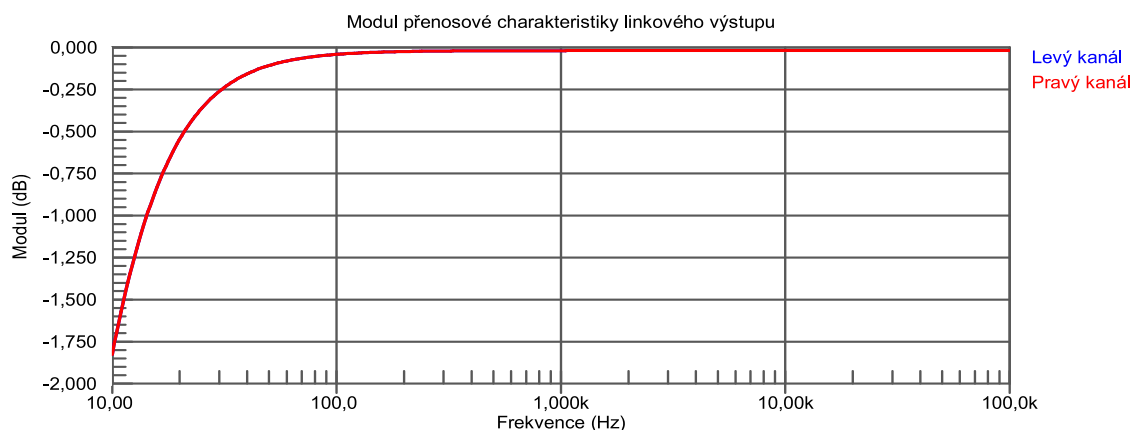
Příloha A - Grafy simulace přenosových charakteristik vstupu



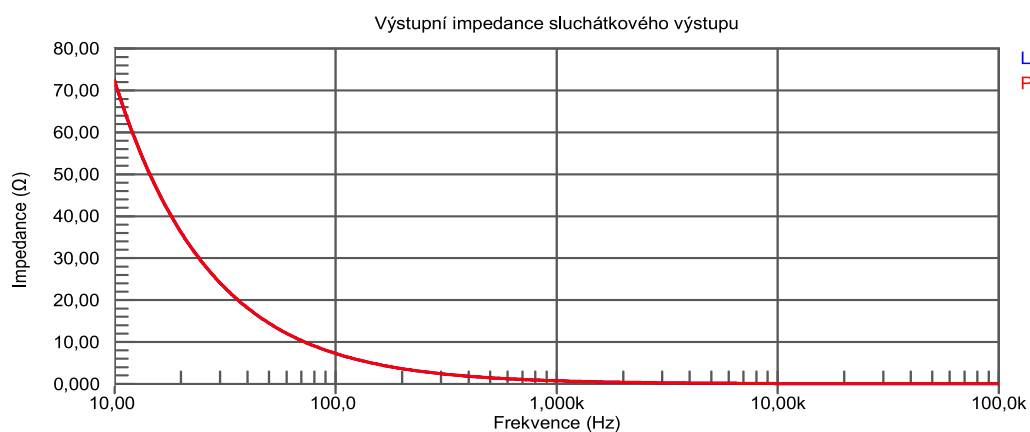
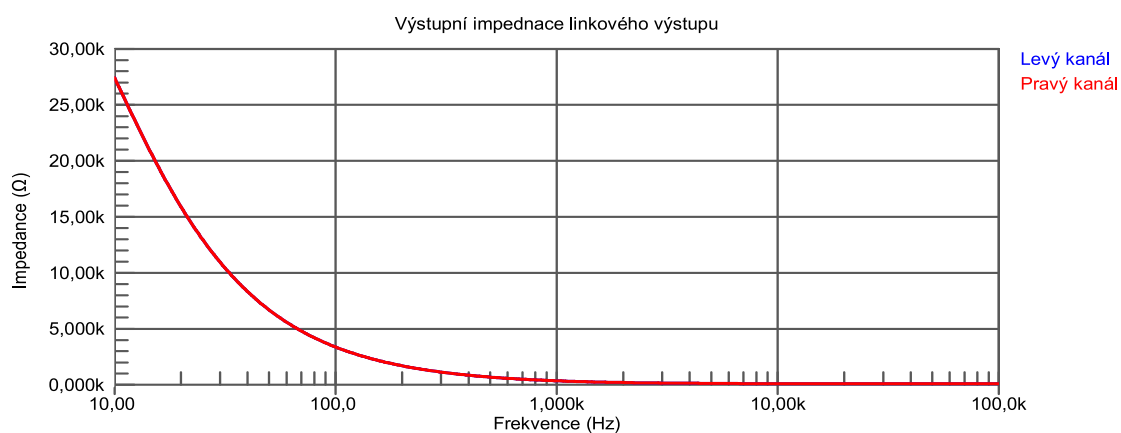
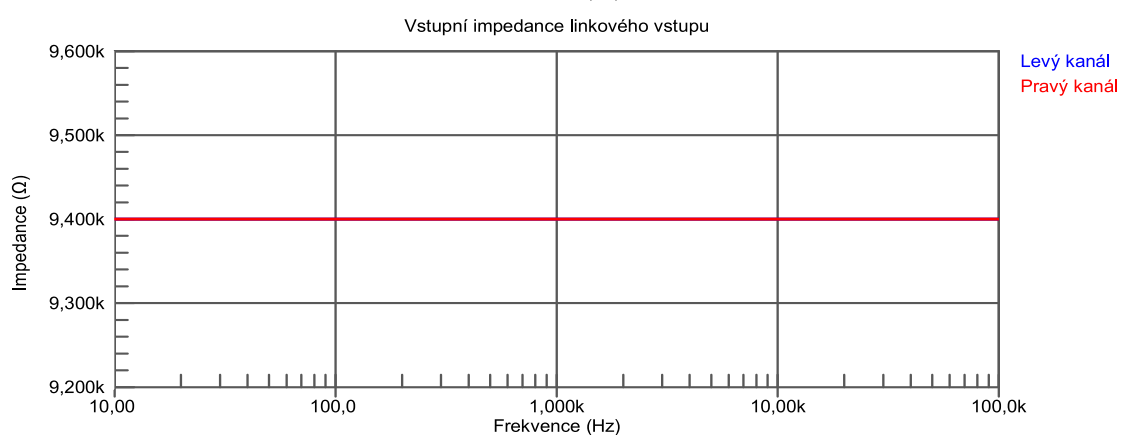
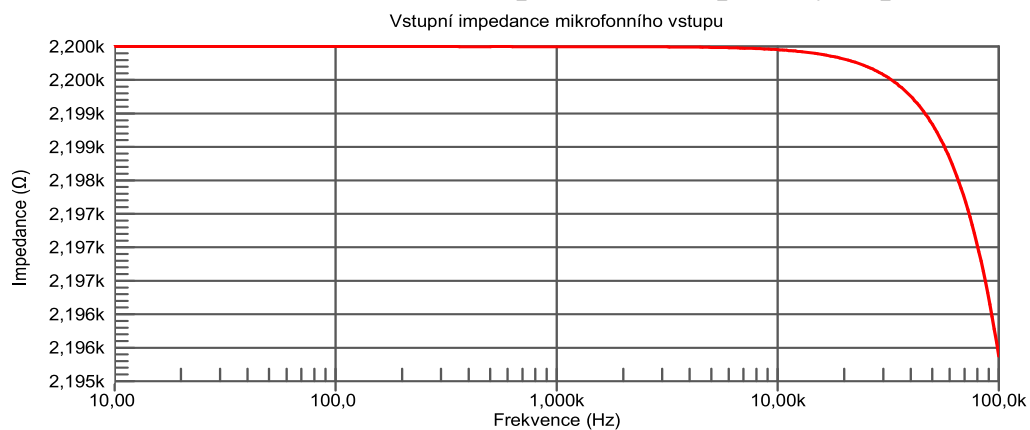
Levý kanál
Pravý kanál

Levý kanál
Pravý kanál

Příloha B - Grafy simulace přenosových charakteristik výstupů



Příloha C - Grafy simulace impedancí vstupů a výstupů



Příloha D - Obvodové schéma

Příloha na přiloženém listu A3 pod názvem BBAIEAB.SchDoc

Příloha E - Seznam použitých komponentů

Příloha na přiloženém listu A3 pod názvem BBAIEAB.BomDoc

Příloha F - Výrobní dokumentace

Příloha na přiloženém listu A3 pod názvem BBAIEAB_FAB.PCBDwf

Příloha G - Kompletační nákres

Příloha na přiloženém listu A3 pod názvem BBAIEAB_ASSY.PCBDwf