



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

**FAKULTA ELEKTROTECHNIKY
A KOMUNIKAČNÍCH TECHNOLOGIÍ**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

**SYSTÉM PRO PŘESNÁ DYNAMICKÁ MĚŘENÍ
MŮSTKOVÝCH SENZORŮ**

SYSTEM FOR PRECISE DYNAMIC MEASUREMENT OF BRIDGE SENSORS

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Jonáš Čech

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Michal Kubíček, Ph.D.

BRNO 2018

Diplomová práce

magisterský navazující studijní obor **Elektronika a sdělovací technika**

Ústav radioelektroniky

Student: Bc. Jonáš Čech

ID: 164252

Ročník: 2

Akademický rok: 2017/18

NÁZEV TÉMATU:

System pro přesná dynamická měření můstkových senzorů

POKYNY PRO VYPRACOVÁNÍ:

Navrhnete koncepci měřicího systému, který umožní jednoduše a přesně měřit dynamické vlastnosti můstkových senzorů. Měřicí systém bude schopen vzorkovat požadovanou analogovou veličinu se vzorkovacím kmitočtem minimálně 100 kS/s, rozlišením alespoň 16 bitů a délkou záznamu alespoň 1 sekunda. Vyberte vhodný způsob přenosu dat do PC s ohledem na charakter měřicí metody.

Navržený systém realizujte a ověřte jeho vlastnosti, v případě potřeby navrhnete a dle časových možností realizujte vylepšení systému. K systému vytvořte kompletní výrobní dokumentaci.

DOPORUČENÁ LITERATURA:

[1] MARWEDEL, Peter. Embedded system design. Dordrecht: Springer, c2006. ISBN 0-387-29237-3.

[2] MARTINEK, R. Senzory v průmyslové praxi. BEN-technická literatura: Praha., 2004. ISBN 80-7300-114-4.

Termín zadání: 5. 2. 2018

Termín odevzdání: 17. 5. 2018

Vedoucí práce: Ing. Michal Kubíček, Ph.D.

Konzultant: Ing. Jan Cupák

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda oborové rady



UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

ABSTRAKT

Tato diplomová práce pojednává o návrhu měřicího systému pro dynamická měření můstkových senzorů. Po představení základní teorie je představen vlastní měřicí koncept, který je schopen provádět měření s rychlostí až 250 kSa/s a rozlišením 24 bitů s možností uložit až 1,5 milionu těchto vzorků. V první fázi práce je navržena analogová část, která prozatím využívá následnou digitální část ve formě komerční vývojové desky s procesorem ARM Cortex-M7 a externí pamětí. Po konečném výběru analogových komponent bude systém společně integrován do jedné desky.

KLÍČOVÁ SLOVA

Tenzometr, Wheatonův můstek, Přístrojový zesilovač, PGA, AD převod, ARM, Ethernet, šum

ABSTRACT

This master's thesis deals with design of measurement system for dynamic measurement of bridge sensors. After a short theoretical part, the own concept is introduced. System can provide sampling rate up to 250 kSa/s with 24-bit resolution. The maximum number of samples is about one and a half milion. At first, the design of analog part was made, in this phase of design the digital part is based on evaluation board with ARM Cortex-M7 and external memory. After final choice of appropriate ICs, the analog and digital part will be integrated into one PCB.

KEYWORDS

Strain gage, Wheatstone bridge, Instrumentation amplifier, PGA, AD conversion, ARM, Ethernet, Noise

ČECH, J. *Systém pro přesná dynamická měření můstkových senzorů*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017. 65 s., 12 s. příloh. Diplomová práce. Vedoucí práce: Ing. Michal Kubíček, Ph.D. .

PROHLÁŠENÍ

Prohlašuji, že svoji diplomovou práci na téma Systém pro přesná dynamická měření můstkových senzorů jsem vypracoval samostatně pod vedením vedoucího semestrální práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené semestrální práce dále prohlašuji, že v souvislosti s vytvořením této semestrální práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Tímto bych rád poděkoval vedoucímu práce Ing. Michalovi Kubíčkoví Ph.D., Ing. Markovi Novákovi a dále pak konzultantům z firmy OZM Research, Ing. Janu Cupákovi, Ing. Marcelovi Hanusovi Ph.D. a Mgr. Janu Vojtěchovi za ochotu a jejich čas vynaložený při konzultacích této práce.

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře
vybudované v rámci projektu CZ.1.05/2.1.00/03.0072
Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

OBSAH

Seznam obrázků	x
Seznam tabulek	xiii
Úvod	1
1 Teoretický úvod	2
1.1 Tenzometry	2
1.1.1 Kovové tenzometry	2
1.1.2 Polovodičové tenzometry	4
1.2 Můstková měření	5
1.2.1 Způsoby zapojení tenzometrů do můstku	7
1.2.2 Parametry můstkových zapojení	8
1.3 Přístrojové zesilovače	9
1.4 AD převod	14
1.4.1 Paralelní převodník	19
1.4.2 Pipelined převodník	20
1.4.3 Převodník s dvoutaktní integrací	21
1.4.4 Převodník s postupnou aproximací	21
1.4.5 Převodník se sigma-delta modulací	22
1.4.6 Vybrané parametry AD převodníků	23
1.5 Mikrokontroléry s ARM architekturou	25
1.5.1 Jádra ARM Cortex	25
1.5.2 Vybrané vnitřní periferie	26
1.6 Ethernet/IEEE 802.3	27
1.6.1 CSMA/CD	27
1.6.2 Struktura rámce	28
1.6.3 TCP	29
1.6.4 UDP	31
2 Měřicí řetězec	32
2.1 AD převodník	32

2.1.1	Výběr	32
2.1.2	Popis AD7175-2	33
2.1.3	Zapojení	35
2.2	Zesilovač	35
2.2.1	Diskrétní přístrojový zesilovač	36
2.2.2	AD8557	39
2.2.3	PGA308	40
2.3	Napájecí obvod	41
2.4	Analogová část	42
2.4.1	Diferenciální zesilovač	43
2.5	Digitální část	45
2.5.1	Vývojová deska STM32F746G-DISCO	45
2.5.2	STM32F746NG	46
2.5.3	SDRAM	47
2.5.4	Ethernet	47
2.6	Firmware	47
2.6.1	Základní struktura programu	48
2.6.2	GUI	49
2.6.3	One Wire	51
2.6.4	SPI	52
2.6.5	SDRAM	54
2.6.6	SD karta	55
2.6.7	UDP	57
2.7	Měření šumových parametrů	58
3	Závěr	64
	Literatura	65
	Seznam symbolů, veličin a zkratk	70
A	Návrh zařízení	72
A.1	Celkové obvodové zapojení analogové části	72
A.2	Obvodové zapojení diskretního přístrojového zesilovače	73
A.3	DPS analogové části – top (strana součástek)	74
A.4	DPS analogové části – vrstva +V (první vnitřní vrstva)	74
A.5	DPS analogové části – vrstva GND (druhá vnitřní vrstva)	75

A.6	DPS analogové části – bottom (strana spojů)	75
A.7	Osazovací plán DPS analogové části – top.....	76
A.8	Osazovací plán DPS analogové části – bottom.....	77
A.9	Obvodové zapojení diferenciálního zesilovače	78
A.10	DPS diferenciálního zesilovače – top (strana součástek).....	79
A.11	DPS diferenciálního zesilovače – bottom (strana spojů).....	79
A.12	Osazovací plán diferenciálního zesilovače – top	80
A.13	Osazovací plán diferenciálního zesilovače – bottom	80
A.14	Fotografie funkčního celku s tenzometrickým snímačem.....	81
A.15	Fotografie desky diferenciálního zesilovače	81
B	Měření a vypočtené hodnoty	82
B.1	Efektivní a špičková hodnota šumu při zesílení ~50.....	82
B.2	Efektivní a špičková hodnota šumu při zesílení ~100.....	82
B.3	Efektivní a špičková hodnota šumu při zesílení ~500.....	82
B.4	Efektivní a špičková hodnota šumu při zesílení ~1000.....	83
B.5	Šumová spektrální hustota diskretního přístrojového zesilovače [nV/√Hz]	83
B.6	Šumová spektrální hustota pro AD8557 [nV/√Hz].....	83
B.7	Šumová spektrální hustota pro PGA308 [nV/√Hz]	83

SEZNAM OBRÁZKŮ

Obrázek 1.1	Kovové tenzometry	3
Obrázek 1.2	Závislost citlivosti na poměrném prodloužení kovového tenzometru, převzato z [1]	4
Obrázek 1.3	Polovodičové tenzometry, a) jednoduchý, b) tvar „U“	4
Obrázek 1.4	Závislost citlivosti na poměrném prodloužení polovodičového tenzometru, převzato z [1]	5
Obrázek 1.5	Zapojení Wheatonova můstku	6
Obrázek 1.6	Dvě varianty zapojení polomostu s tenzometry	8
Obrázek 1.7	Příklad ratiometrického zapojení můstku a AD převodníku, převzato z [7]	9
Obrázek 1.8	Zapojení přístrojového zesilovače	10
Obrázek 1.9	Zapojení diferenčního zesilovače	10
Obrázek 1.10	Příklad průběhu nízkofrekvenčního šumu, převzato z [16]	12
Obrázek 1.11	Šumový model přístrojového zesilovače	13
Obrázek 1.12	Závislost spektrální hustoty šumu na frekvenci, převzato z [18]	13
Obrázek 1.13	Vliv choppingu na offset zesilovače – frekvenční oblast	14
Obrázek 1.14	Jednoduchý obvod Sample and hold	15
Obrázek 1.15	Spektrum a) vstupního signálu, b) při přesném dodržení vzorkovacího teorému, c) při nedodržení vzorkovacího teorému	16
Obrázek 1.16	Časový průběh vstupního (přerušovaná čára), výstupního (plná silná čára) a vzorkovacího signálu obvodu Track and Hold	17
Obrázek 1.17	Kvantované vzorky analogového signálu	17
Obrázek 1.18	Příklad průběhu kvantizačního šumu, převzato z [24]	18
Obrázek 1.19	Ideální převodní charakteristika 3bitového AD převodníku, převzato z [25]	19
Obrázek 1.20	Principiální zapojení paralelního převodníku	19
Obrázek 1.21	Jeden blok pipelined převodníku, převzato z [27]	20
Obrázek 1.22	Principiální zapojení převodníku s dvoutaktní integrací	21
Obrázek 1.23	Principiální zapojení převodníku s postupnou aproximací	22
Obrázek 1.24	Principiální zapojení Σ - Δ převodníku	22
Obrázek 1.25	Spektrum kvatizačního šumu a) bez převzorkování, b) s převzorkováním, c) s využitím tvarování šumu	23

Obrázek 1.26	Histogram šumu AD převodníku pro uzemněný vstup, převzato z [25].	24
Obrázek 1.27	Vnitřní bloky jádra CORTEX-M7, převzato z [34].	26
Obrázek 1.28	Postup při CDMA/CD	28
Obrázek 1.29	Rámec Ethernet II a IEEE 802.3	28
Obrázek 1.30	Navázání spojení TCP	30
Obrázek 1.31	Ukončení spojení TCP	31
Obrázek 2.1	Blokové schéma měřicího řetězce	32
Obrázek 2.2	Zapojení s AD převodníkem AD7175-2	35
Obrázek 2.3	Časový průběh vstupního a výstupního napětí diskretního přístrojového zesilovače - simulace	37
Obrázek 2.4	Závislost šumové spektrální hustoty na frekvenci, ADA4528-2, simulace	38
Obrázek 2.5	Zapojení diskretního přístrojového zesilovače	38
Obrázek 2.6	Zapojení napěťového stabilizátoru pro vyvážení přístrojového zesilovače	39
Obrázek 2.7	Zapojení digitálně řízeného přístrojového zesilovače AD8557	40
Obrázek 2.8	Zapojení digitálně řízeného přístrojového zesilovače PGA308	41
Obrázek 2.9	Zapojení napájecí části	42
Obrázek 2.10	DPS analogové části – top, bottom	43
Obrázek 2.11	Časový průběh vstupního a výstupního napětí diferenciálního zesilovače - simulace	44
Obrázek 2.12	Zapojení diferenciálního zesilovače	44
Obrázek 2.13	Vývojová deska STM32F746G-DISCO, převzato z [43]	45
Obrázek 2.14	Zapojení pinové lišty Arduino z pohledu desky analogové části	46
Obrázek 2.15	Vývojový diagram základní myšlenky hlavního programu	48
Obrázek 2.16	GUI – záložka s parametry měření	49
Obrázek 2.17	Průběh změřených dat na LCD displeji	51
Obrázek 2.18	Znázornění implementace knihovny pro AD7175-2, převzato z [45]	52
Obrázek 2.19	SPI komunikace při čtení obsahu ID registru AD převodníku AD7175-2	54
Obrázek 2.20	Memory View – data v paměti SDRAM	55
Obrázek 2.21	Ukázka dat zapsaných v CSV souboru	57
Obrázek 2.22	Data odeslaná přes protokol UDP zachycená programem Wireshark	58
Obrázek 2.23	Histogram naměřených vzorků (přepočteno na napětí) – AD8557, zesílení 500, 250 kSa/s	60
Obrázek 2.24	Výstupní napětí obvodu AD8557 při zesílení 500 a výstupní datové	

rychlosti 250 kSa/s	60
Obrázek 2.25 Závislost spektrální hustoty širokopásmového šumu na výstupní datové rychlosti AD převodníku při zesílení ~500	62
Obrázek 2.26 Amplitudové spektrum pro PGA308 se zesílením ~50.....	63
Obrázek 2.27 Amplitudové spektrum pro AD8557 se zesílením ~50	63

SEZNAM TABULEK

Tabulka 1.1	Příklad ARM rodin, architektury a procesorů	25
Tabulka 1.2	Kódy síťových protokolů (Ethertype)	29
Tabulka 2.1	Zkrácený přehled AD převodníků s rozlišením 24 bitů	33
Tabulka 2.2	Zkrácený přehled digitálně řízených přístrojových zesilovačů	36
Tabulka 2.3	Propojení MCU s PGA a ADC	46
Tabulka 2.4	Efektivní a špičková hodnota šumu při zesílení ~500.....	61

ÚVOD

Při vyšetřování energetických vlastností výbušných materiálů je jednou ze sledovaných veličin tlak. Jednou z možností, jak měřit tento tlak je použití speciálních senzorů využívajících tenzometrických snímačů, které převádí mechanické namáhání na elektrickou veličinu. Jelikož děje probíhající při explozi jsou rychlé, je třeba použít adekvátní rychlost záznamu sledovaného děje při jeho minimálním ovlivnění vlastním měřením, například šumem.

V předkládané práci je představen koncept takového měřicího systému, který je založen na využití AD převodníku s vzorkovací rychlostí 250 kSa/s a procesoru s jádrem ARM Cortex-M7. Z hlediska rychlosti a objemu dat je využito externí paměti typu SDRAM.

Následující práce je členěna do tří kapitol. V první kapitole lze nalézt teoretický úvod k řešené problematice. V tomto teoretickém úvodu jsou přiblíženy použité metody, včetně základních teoretických informací o použitých komponentech a datovém rozhraní, což bude v případě dané aplikace Ethernet. Kapitola druhá pak představuje samotné praktické řešení práce, které v této fázi vývoje spočívá ve vytvoření základního prototypu pro posouzení vlastností analogové části měřicího systému. V poslední kapitole, závěru, jsou zhodnoceny dosažené výsledky a navrženy následující kroky, vedoucí k úspěšnému dokončení kompletního zařízení.

1 TEORETICKÝ ÚVOD

V této kapitole jsou obecně popsány části navrženého měřicího řetězce. Jedná se o převážně o části použité v samotném návrhu.

1.1 Tenzometry

Elektrické tenzometry jsou pasivní elektronické součástky, sloužící pro snímání mechanických deformací.

Princip jejich činnosti spočívá v převádění těchto deformací na tělo tenzometru, čímž se mění jeho elektrický odpor. Tato změna je vyjádřena deformačním koeficientem k , který lze definovat jako

$$k = \frac{\frac{\Delta R}{R_0}}{\frac{\Delta l}{l_0}} = \frac{\frac{\Delta R}{R_0}}{\varepsilon} \quad (1.1)$$

kde ΔR je změna elektrického odporu v Ω , R_0 je hodnota elektrického odporu tenzometru v klidovém stavu v Ω , Δl je změna délky rezistivního prvku v m, l_0 je délka rezistivního prvku v klidovém stavu v m a ε je poměrné prodloužení.

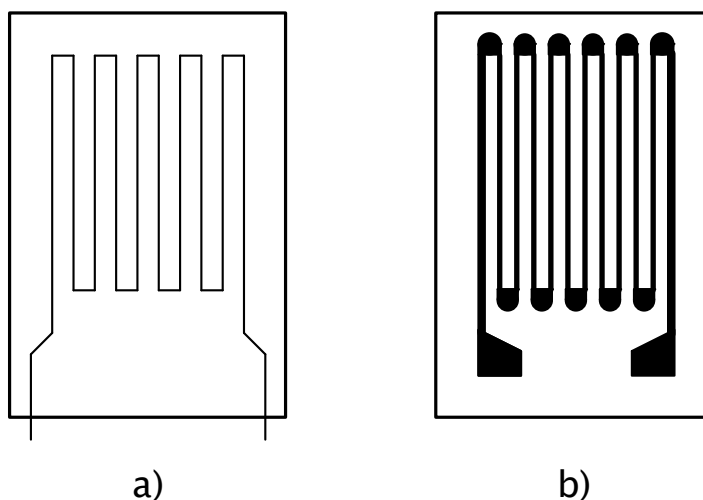
Kromě kapacitních tenzometrů [1] na které zde není zaměřena pozornost, existují dva typy – kovový a polovodičový. Rezistivní prvek je tvořen většinou odporovým drátkem nebo polovodičovou tyčinkou, které při mechanickém namáhání mění své rozměry a ve výsledku i elektrický odpor.

Přenášení deformací na tenzometr je zajištěno jeho přilepením na snímáný objekt pomocí k tomu určených lepidel s vlastnostmi, zajišťujícími co nejpresnější přenos bez poškození. Dále je také důležité zajistit, aby tenzometr pracoval v oblasti pružného namáhání, jinak by mohlo dojít k jeho nevratné deformaci [1].

Deformace měřené těmito tenzometry bývají velmi malé a tedy i změny odporu tenzometrů dosahují velmi malých hodnot, například pro tenzometr s odporem 120 Ω a deformačním koeficientem 2 při poměrném prodloužení $1 \cdot 10^{-6}$ je změna jeho odporu 240 $\mu\Omega$ [2]. Z tohoto důvodu není možné přesně měřit jejich odpor, například ohmmetrem, ale je nutné využít citlivých a přesných měřících metod, jako jsou můstková zapojení pro měření odporů, která jsou popsána v kapitole 1.2, níže.

1.1.1 Kovové tenzometry

Kovové tenzometry jsou nejčastěji vyráběny ve dvou variantách, lišících se technologií výroby. Jedná se o drátkový a fóliový snímač, které jsou vyobrazeny na obrázku č. 1.1.



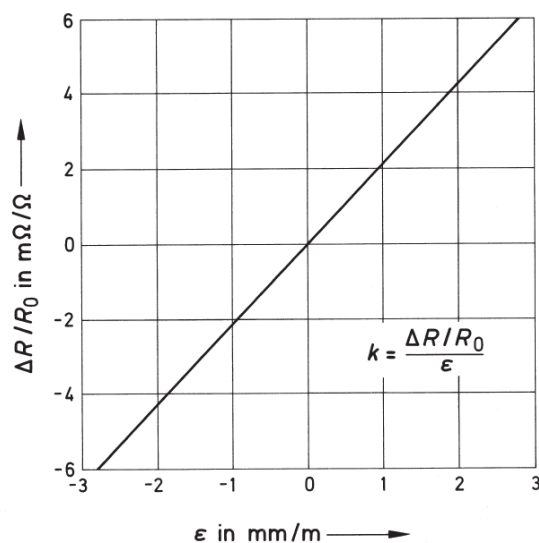
Obrázek 1.1 Kovové tenzometry

Drátkový snímač je navinut z tenkého odporového drátku, nejčastěji z konstantanu, z důvodu jeho nízké závislosti odporu na teplotě [3]. Používají se ovšem i jiné materiály, jejichž vlastnosti vyhovují specifickým požadavkům aplikace tenzometru. Běžný průměr těchto drátků bývá okolo 0,01 mm. Spojení s přívodními vodiči je provedeno svařením.

Fóliový snímač je tvořen motivem vyleptaným v kovové fólii, připevněným na nosné podložce. Tloušťka této fólie mívá hodnotu kolem 1 μm . Výhody fóliového snímače, oproti drátkovým, spočívají v jejich menší citlivosti na příčné namáhání, lepším odvodu tepla a možnosti tvorby různých motivů, dle konkrétní aplikace.

Závislost citlivosti kovového tenzometru na poměrném prodloužení je zobrazena na obrázku č. 1.2, níže. U kovových tenzometrů je tato závislost lineární, nicméně pouze do určité míry. Například u tenzometrů vytvořených z konstantanu je v oblasti poměrného prodloužení 150 000 $\mu\text{m}/\text{m}$ tato závislost nelineární, konkrétně parabolická [1] a může být aproximována polynomem

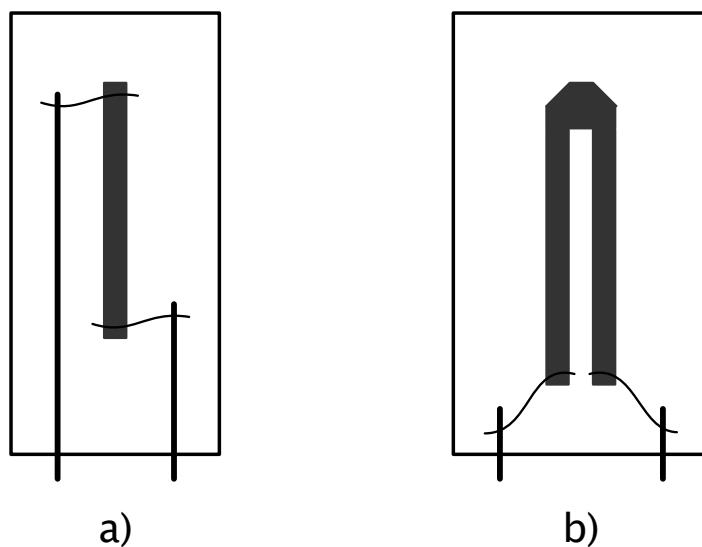
$$\varepsilon^* = \varepsilon + \varepsilon^2 \quad (1.2)$$



Obrázek 1.2 Závislost citlivosti na poměrném prodloužení kovového tenzometru, převzato z [1]

1.1.2 Polovodičové tenzometry

Polovodičové tenzometry jsou oproti kovovým tenzometrům tvořeny dotovaným křemíkovým páskem připevněným na nosné fólii. Jejich znázornění je vyobrazeno na obrázku č. 1.3. Rozměry pásku jsou velmi malé, tloušťka bývá obvykle v setinách mm, šířka v desetinách mm a délka v jednotkách mm [1].

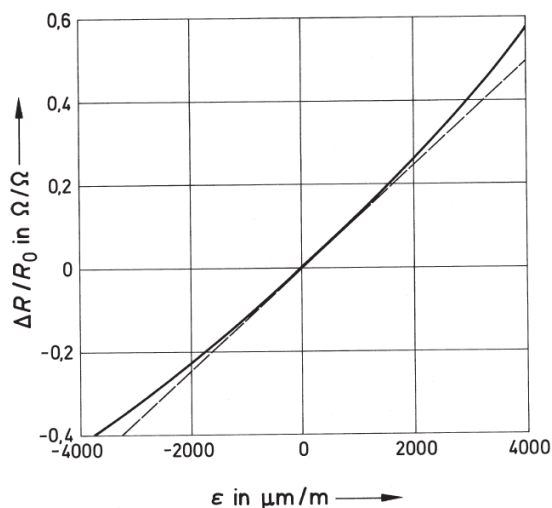


Obrázek 1.3 Polovodičové tenzometry, a) jednoduchý, b) tvar „U“

Hlavní výhodou polovodičových tenzometrů je jejich vysoká citlivost, deformační koeficient nabývá hodnot přibližně od 50 do 200 [4].

Nevýhody spočívají v teplotní závislosti odporu polovodiče a nelinearitě závislosti

citlivosti snímače na poměrném prodloužení, která je zobrazena na obrázku č. 1.4. Z tohoto důvodu většina výrobců nabízí polovodičové tenzometry teplotně vykompenzované a linearizované, ovšem pouze pro určitý teplotní rozsah.



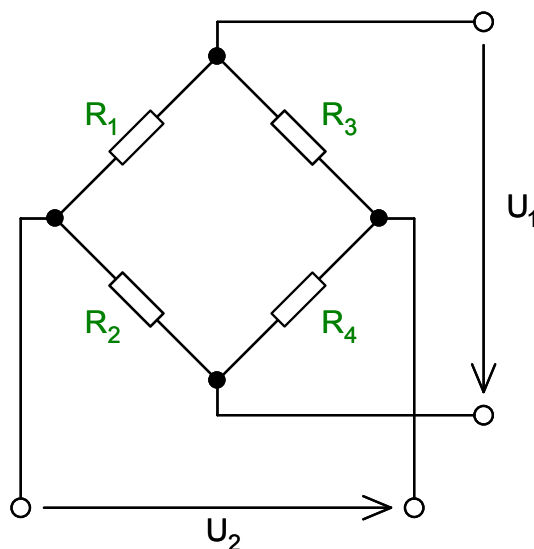
Obrázek 1.4 Závislost citlivosti na poměrném prodloužení polovodičového tenzometru, převzato z [1]

Ve vztahu ke kovovým tenzometrům jsou polovodičové tenzometry vhodnější spíše pro měření velmi malých deformací [2].

1.2 Můstková měření

Jak již bylo zmíněno, pro měření odporu tenzometrů při mechanickém namáhání je nutné použít odpovídající citlivé a přesné metody.

Nejčastěji je využíván Wheatonův můstek [2], jehož zapojení je na obrázku č. 1.5. Pomocí něj může být zjišťována absolutní hodnota neznámého odporu vůči známé hodnotě odporu prvků zbývajících nebo relativní změna odporu prvku s jeho proměnnou hodnotou. V případě měření s tenzometry se zjišťuje právě relativní změna odporu, která je pak tímto zapojením převedena na napětí.



Obrázek 1.5 Zapojení Wheatonova můstku

Čtyři rezistory v můstku, R_1 až R_4 , mohou být tvořeny tenzometry nebo jejich náhradami, tato zapojení jsou popsána níže. Napětí U_1 je takzvané budící napětí, někdy zvané excitační a napětí U_2 je výstupní diferenční napětí můstku. Ve své podstatě se jedná o dva paralelně spojené rezistorové děliče, kde výstupní napětí je měřeno mezi jejich středy.

Výstupní napětí můstku je pak dáno vztahem

$$\begin{aligned}
 U_2 &= U_1 \cdot \left(\frac{R_2}{R_1 + R_2} - \frac{R_4}{R_3 + R_4} \right) \\
 &= U_1 \cdot \left[\frac{R_1 \cdot R_4 - R_2 \cdot R_3}{(R_1 + R_2) \cdot (R_3 + R_4)} \right]
 \end{aligned}
 \tag{1.3}$$

kde R_1 až R_4 jsou hodnoty odporu rezistorů v můstku v Ω , U_1 je budící napětí můstku ve V a U_2 je výstupní napětí můstku ve V.

Největší citlivosti výstupního napětí na změnu odporu některého z rezistorů (ten je nazýván jako aktivní) je dosaženo právě tehdy, když se můstek nachází v rovnovážném stavu [1]. To znamená, že obě výstupní napětí obou děličů jsou rovna polovině budícího napětí a tedy výstupní napětí celého můstku je nulové.

Ze vztahu č. 1.3 lze odvodit podmínku pro tuto rovnováhu Wheatonova můstku

$$R_1 \cdot R_4 = R_2 \cdot R_3. \tag{1.4}$$

V praxi je pro tyto můstky s velmi malou změnou výstupního napětí používán vztah č. 1.5 [5], vyjadřující chování můstku v závislosti na změnách odporu rezistorů. Tento vztah zanedbává vliv nelinearity, která při $\Delta R/R < 0,02$ nepřesáhne hodnotu 1% v celém rozsahu [5].

$$\frac{\Delta U_2}{U_1} = \frac{1}{4} \cdot \left(\frac{\Delta R_1}{R_1} - \frac{\Delta R_2}{R_2} - \frac{\Delta R_3}{R_3} + \frac{\Delta R_4}{R_4} \right). \quad (1.5)$$

1.2.1 Způsoby zapojení tenzometrů do můstku

Tenzometry lze do můstku zapojit nejčastěji třemi různými způsoby s odpovídajícími vlastnostmi. Ve všech níže popsaných případech je předpokládáno, že všechny rezistory i tenzometry mají stejnou hodnotu odporu.

Plnomostové zapojení je tvořeno čtyřmi stejnými tenzometry, díky čemuž je na výstupu můstku dosahováno nejvyššího možného napětí. Dále je u tohoto zapojení plně kompenzována závislost odporu na teplotě. Za předpokladu, že na všechny tenzometry působí stejné namáhání, je závislost jeho výstupního napětí na změnách odporu tenzometrů lineární a je dána vztahem

$$U_2 = U_1 \cdot \frac{\Delta R}{R}. \quad (1.6)$$

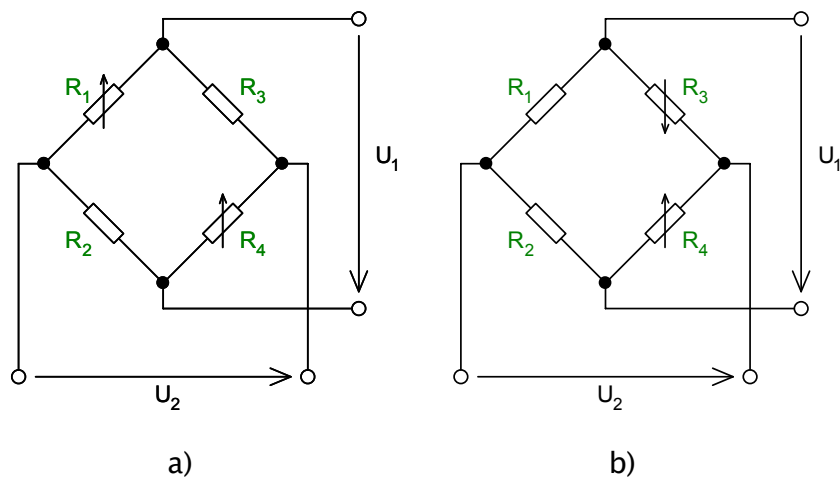
kde R je nominální hodnota odporu tenzometrů v klidovém stavu v Ω a ΔR změna této hodnoty při namáhání v Ω .

Polomostové zapojení má dvě varianty, jejichž možné zapojení odpovídá obrázku č. 1.6. První varianta a), kde na oba tenzometry působí namáhání ve stejném směru má oproti zapojení s jedním tenzometrem, dvojnásobné výstupní napětí, které je dáno vztahem č. 1.7. Nevýhodou této varianty je však nelinearita výstupního napětí [1].

$$U_2 = U_1 \cdot \frac{\Delta R}{2 \cdot R + \Delta R}. \quad (1.7)$$

V druhé variantě polomostového zapojení, z obrázku č. 1.6 b), působí na každý tenzometr namáhání v opačném směru. Výstupní napětí dosahuje stejných velikostí jako u varianty a), ovšem je zde kompenzována jeho nelinearita a je dáno vztahem

$$U_2 = U_1 \cdot \frac{\Delta R}{2 \cdot R}. \quad (1.8)$$



Obrázek 1.6 Dvě varianty zapojení polomostu s tenzometry

Čtvrmostové zapojení obsahuje pouze jediný tenzometr. To je výhodné jak z hlediska ceny, tak i kvůli nízké náročnosti na propojení vodičů. Výstupní napětí, dáno vztahem č. 1.9 [6], dosahuje pouze čtvrtinové velikosti oproti plnomostovému zapojení, je nelineární a není teplotně kompenzováno.

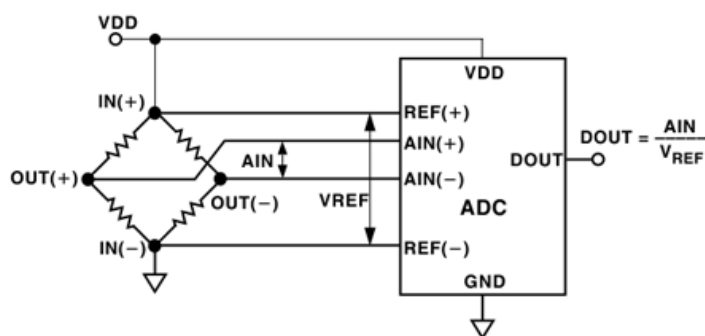
$$U_2 = U_1 \cdot \frac{\Delta R}{4 \cdot R + 2 \cdot \Delta R}. \quad (1.9)$$

1.2.2 Parametry můstkových zapojení

Wheatonův můstek v zapojení s tenzometry lze budit dvěma způsoby a to pomocí zdroje konstantního proudu, nebo zdroje konstantního napětí. Dle způsobu buzení je vždy třeba zvolit vhodný zesilovací systém. Dále je třeba stanovit vhodnou velikost budící veličiny s ohledem na maximální možné výkonové zatížení tenzometru, které je stanovené výrobcem. V opačném případě by mohlo dojít k poškození tenzometru nebo ovlivnění jeho vlastností, což by následně ovlivnilo celé měření. Na druhou stranu příliš malá velikost budící veličiny by zapříčinila nízkou úroveň na výstupu můstku. To by vyžadovalo větší zesílení pro následující obvody, čímž dojde i k zesílení samotného šumu stejnou měrou.

V případě buzení zdrojem konstantního proudu je minimalizován vliv přívodních vodičů na přesnost měření a nelinearita můstku [4]. Obvykle však bývá můstek buzen zdrojem konstantního napětí. Výhody tohoto způsobu spočívají v možnosti korekce nelinearity můstku a také menší citlivosti na tolerance odporu tenzometrů [1].

Je velmi důležité, aby budící napětí bylo stabilní a přesné, jelikož výstupní napětí můstku je tomuto napětí přímo úměrné. Tyto nároky lze snížit využitím takzvaného ratiometrického zapojení. V tomto zapojení je budící napětí můstku sdíleno s referenčním napětím AD převodníku, jak lze vidět na obrázku č. 1.7. V tomto případě změna referenčního napětí přesně kopíruje změnu budícího napětí můstku. V důsledku toho tato změna nezpůsobí chybu měření [7].



Obrázek 1.7 Příklad ratiometrického zapojení můstku a AD převodníku, převzato z [7]

Dále lze můstek budit střídavým napětím, kdy je měřená hodnota přenášena pomocí změny amplitudy výstupního napětí. Ve své podstatě se jedná o amplitudovou modulaci. Tento způsob plně odstraňuje vliv stejnosměrného offsetu [8].

Při nedokonalém vyvážení můstku a při nulovém měřeném parametru senzoru může být na jeho výstupu napětí, které se nazývá **offset**. To by při jeho ponechání způsobilo chybu v měření, která by byla dále zesilována a ovlivnila by přesnost měření. Tuto chybu lze eliminovat například v digitální části měřicího řetězce, kdy je offset softwarově vynulován.

Rozdíl mezi očekávaným výstupním napětím a skutečným výstupním napětím při maximálním měřeném parametru senzoru se nazývá **full-scale error**.

Citlivost můstku je nejčastěji udávána v mV/V [9] a říká, jaké je maximální výstupní napětí můstku při jeho budícím napětí o hodnotě 1 V a při maximální výchylce připojeného snímače. Například budícím napětím 10 V lze získat maximální výstupní napětí z můstku, s citlivostí 2 mV/V, až 20 mV.

Souhlasné napětí, neboli **common-mode voltage**, je průměrné napětí na výstupu můstku [10] dané vztahem

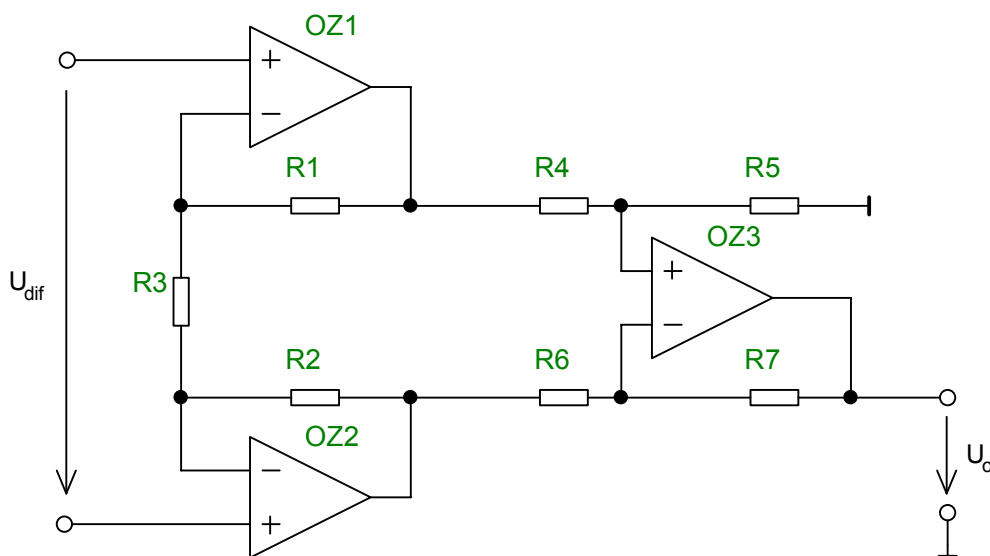
$$U_{CM} = \frac{U_{R2} + U_{R4}}{2} \quad (1.10)$$

kde U_{R2} a U_{R4} jsou napětí na rezistorech odpovídající jejím indexům ve V.

Pokud je můstek vyvážen, pak je toto napětí rovno polovině budícího napětí [9].

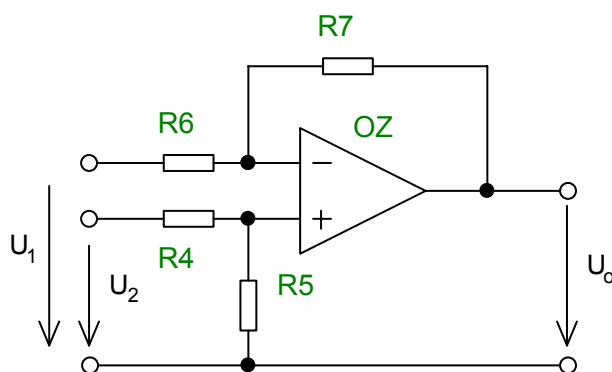
1.3 Přístrojové zesilovače

Pro zesílení rozdílového napětí měřicího můstku je potřeba využít zesilovače s diferenčním vstupem. Ten může být realizován jako jednoduché zapojení diferenčního zesilovače s jedním operačním zesilovačem nebo jako sofistikovanější zapojení přístrojového zesilovače s třemi operačními zesilovači, které jsou zapojeny dle obrázku č. 1.9, resp. podle obrázku č. 1.8.



Obrázek 1.8 Zapojení přístrojového zesilovače

Zapojení přístrojového zesilovače poskytuje vůči diferenčnímu zesilovači mnoho výhod. Jedná se například o velmi vysoký vstupní odpor, který je stejný pro oba vstupy, dále šumové poměry, nastavení zesílení a jiné.



Obrázek 1.9 Zapojení diferenčního zesilovače

V případě diferenčního zesilovače je jeho vstupní odpor pro oba vstupy dán vztahy [11]

$$R_{in(+)} = R_4 + R_5 \quad (1.11)$$

$$R_{in(-)} = \frac{R_6}{1 - \frac{R_5}{R_4 + R_5} \cdot \frac{U_2}{U_1}} \quad (1.12)$$

Kde R_4 až R_6 jsou hodnoty stejnojmenných rezistorů v Ω , U_2 vstupní napětí neinvertující větve ve V a U_1 vstupní napětí invertující větve ve V.

Jak lze vidět, je velikost vstupního odporu invertující větve závislá na poměru napětí na obou vstupech. Oproti tomu vstupní odpor přístrojového zesilovače je dán samotným vstupním odporem použitých operačních zesilovačů. Jeho typická hodnota je řádově $10^9 \Omega$ [12] a liší se pochopitelně v závislosti na typu operačního zesilovače.

U diferenčního zesilovače musí být brán v potaz také výstupní odpor obvodu, jež je připojen ke vstupům tohoto diferenčního zesilovače, jelikož může mít značný vliv na jeho zesílení [13].

Na nastavení zesílení přístrojového i diferenčního zesilovače se podílí všechny rezistory v jeho zapojení. Tato vlastnost je poměrně nepříjemná, jelikož pro změnu zesílení je potřeba změnit rezistory tak, aby byla zachována rovnost $R_5 = R_7$ a $R_6 = R_7$, respektive $R_1 = R_2$ pro vstupní část přístrojového zesilovače. Z hlediska citlivostní analýzy je třeba uvažovat výrobní toleranci a teplotní koeficient odporu všech použitých rezistorů.

Nastavení zesílení diferenčního zesilovače je, za výše uvedené podmínky, dáno vztahem

$$A_U = \frac{R_7}{R_6} \quad (1.13)$$

kde R_7 a R_6 jsou hodnoty stejnojmenných rezistorů v Ω .

Pro přístrojový zesilovač pak platí

$$A_U = \left(1 + \frac{2 \cdot R_1}{R_3}\right) \cdot \frac{R_7}{R_6} \quad (1.14)$$

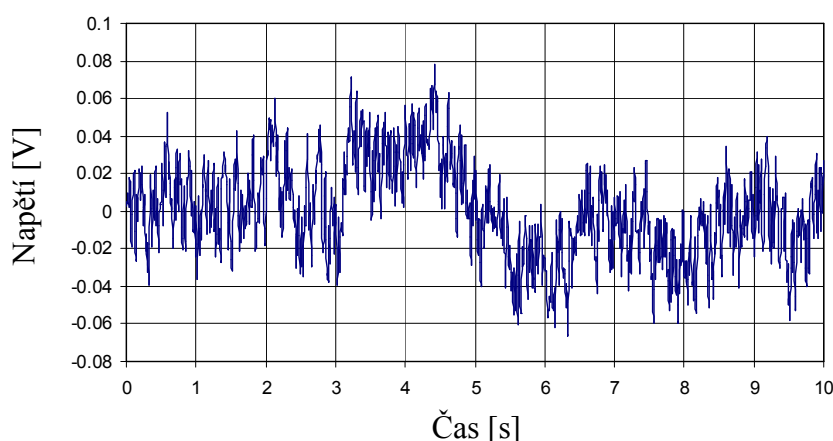
kde R_1 až R_7 jsou hodnoty stejnojmenných rezistorů v Ω .

U přístrojového zesilovače lze zesílení nastavovat i jedním prvkem, konkrétně R_3 . Tohoto se mimo jiné využívá v integrovaných verzích přístrojového zesilovače, pro jednoduchost nastavení a omezení počtu potřebných externích součástek. U digitálně řízených přístrojových zesilovačů lze s výhodou využít vlastnosti, kdy rezistory integrované v jednom pouzdře dosahují mnohem vyšší přednosti (vlivem výrobní technologie) a také jsou vystaveny stejnému teplotnímu vlivu, na rozdíl od diskretních rezistorů na desce plošného spoje, kde se z důvodu jejich vzdálenosti mohou vlivy lišit i ve větší míře, což způsobuje chybu zesílení [12].

Parametr CMRR udává poměr zesílení rozdílového signálu vůči zesílení souhlasného signálu. Jeho změření se často provádí tím způsobem, že je změněno vstupní souhlasné napětí z jedné hodnoty na druhou, což má vliv na výstupní napětí, které se v důsledku toho také změní [14]. CMRR je pak vypočteno jako poměr změny výstupního napětí vůči změně vstupního souhlasného napětí, viz vztah č. 1.15. V podstatě se jedná o parametr vyjadřující schopnost zesilovače potlačit změnu tohoto souhlasného napětí s minimálním vlivem na jeho výstup. CMRR je nejčastěji udáván v decibelech.

$$CMRR_{(dB)} = 20 \cdot \log \left(\frac{\Delta U_{CM}}{\Delta U_o} \right) \quad (1.15)$$

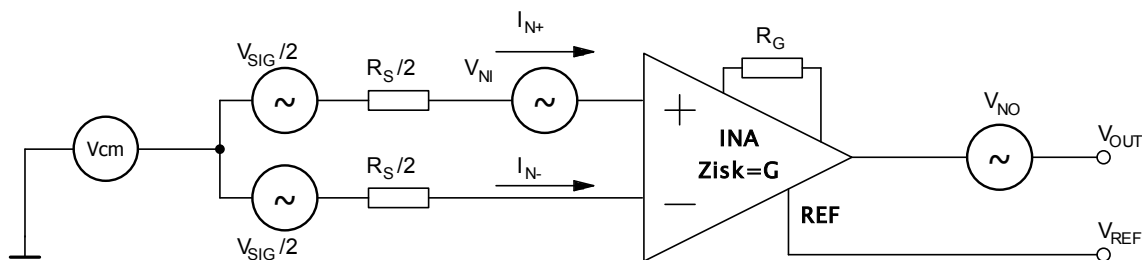
Často diskutovanou veličinou, mající vliv na zpracovávaný signál je šum. Ten můžeme například rozdělit na dvě kategorie, a to extrinsický a instrinsický. Intrinsický šum je způsoben vlastnostmi vnitřních komponent obvodu, zatímco extrinsický šum způsobují vlivy vnější, jako je například rušení z rozvodné napájecí sítě, radiové frekvence a podobně. Při šumové analýze rozlišujeme šum širokopásmový (bílý šum) a šum nízkofrekvenční ($1/f$, růžový). Širokopásmový šum má na rozdíl od nízkofrekvenčního šumu konstantní hodnotu výkonovou spektrální hustotu. Příklad časového průběhu nízkofrekvenčního šumu je vidět na obrázku č. 1.10. Jeho hodnota roste se snižující se frekvencí, kde má dominantní vliv vůči širokopásmovému šumu. Bod zvaný „ $1/f$ corner“ zesilovače udává hodnotu frekvence, na které hodnota nízkofrekvenčního šumu odpovídá hodnotě šumu širokopásmového [15]. Oba zmíněné druhy šumu mají normální rozdělení, co do pravděpodobnosti výskytu napěťových úrovní v měřeném průběhu.



Obrázek 1.10 Příklad průběhu nízkofrekvenčního šumu, převzato z [16]

Přístrojové zesilovače mají specifikován parametr tzv. Input Reffered Noise v jednotkách $nV/\sqrt{Hz}$. Tento parametr zahrnuje veškeré zdroje šumu zobrazené na obrázku č. 1.11, vyjma zdroje šumu způsobeného proudy I_{N+} a I_{N-} , který bývá specifikován samostatně [17]. Těmito zdroji jsou:

- V_{NI} , který je v sérii se vstupem zesilovače
- V_{NO} , v sérii s výstupem zesilovače, na vstup je převeden pomocí zesílení



Obrázek 1.11 Šumový model přístrojového zesilovače

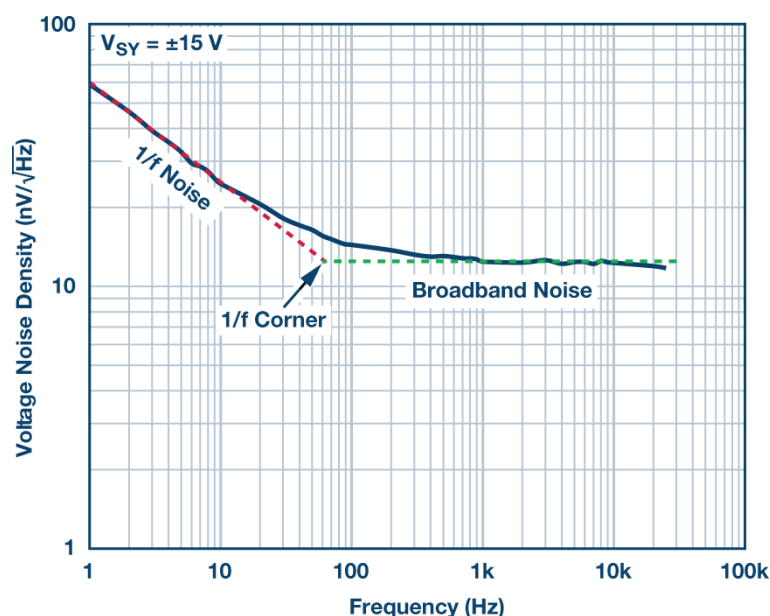
Šum způsobený proudy do vstupů zesilovače jsou obvykle stejné [17], ale jejich sloučení musí být provedeno jako odmocnina součtu jejich druhých mocnin.

Vztah pro celkový šum vztažený ke vstupu zesilovače, včetně šumu způsobeného proudy I_{N+} a I_{N-} je definován jako

$$NOISE_{(RTI)} = \sqrt{BW} \cdot \sqrt{\frac{V_{NO}^2}{G^2} + V_{NI}^2 + \frac{I_N^2 \cdot R_S^2}{2}} \quad (1.16)$$

kde BW je šířka pásma zesilovače v Hz, V_{NO} šum výstupu zesilovače ve V, V_{NI} šum vstupu zesilovače ve V, I_N proud do vstupu zesilovače v A a R_S je výstupní odpor zdroje signálu v Ω .

Na obrázku č. 1.12 je zobrazen příklad závislost spektrální hustoty šumu na frekvenci. Levá část křivky odpovídá nízkofrekvenčnímu šumu, pravá zase šumu širokopásmovému.



Obrázek 1.12 Závislost spektrální hustoty šumu na frekvenci, převzato z [18]

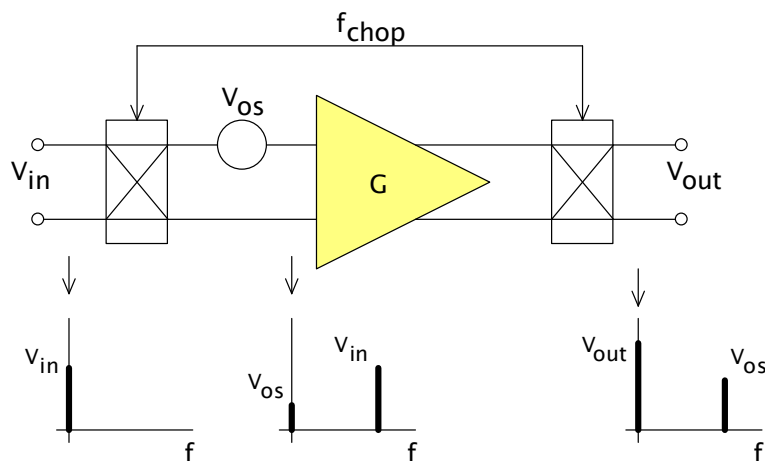
Přístrojové zesilovače mívají offset definován jako stejnosměrné napětí mezi jeho vstupy. To je na výstup transformováno pomocí zisku vztahem

$$U_O = A_U \cdot U_{\text{offset,vstup}} \quad (1.17)$$

kde $U_{\text{offset,vstup}}$ je offsetové napětí na vstupu ve V.

Parametry jako je offset, jeho drift a nízkofrekvenční šum ($1/f$) mohou být v operačních zesilovačích potlačeny. Takovéto operační zesilovače nesou název zero-drift a mohou využívat jednu ze dvou technik, zvané chopping nebo auto-zeroing [19]. Každá technika je vhodná pro jiné aplikace výsledného obvodu. Metoda choppingu je vhodná spíše pro stejnosměrné nebo nízkofrekvenční aplikace a to z důvodu využívání modulace a demodulace signálu, která produkuje vyšší šum na chopping frekvenci a jejích harmonických [20]. Metoda auto-zeroing se oproti tomu využívá spíše pro širokopásmové aplikace.

Chopping je primárně určen pro potlačení offsetu, ovšem vzhledem ke skutečnosti, že šum $1/f$ je velmi blízko stejnosměrné složce, je potlačen také [21]. Na obrázku č. 1.13 je zobrazen vliv choppingu na offsetové napětí ve frekvenční oblasti. Vstupní signál je nejprve frekvenčně posunut na lichou harmonickou chop frekvence, je zesílen a následně přenesen zpět na svou původní frekvenci, během čehož je na lichou harmonickou posunuto napětí offsetové. Frekvenční posun je způsoben synchronními komutátory na vstupu a výstupu zesilovače, pracující na stejné frekvenci f_{chop} . Offsetové napětí ve vyšší frekvenční oblasti je následně odfiltrováno integračním článkem. [22]



Obrázek 1.13 Vliv choppingu na offset zesilovače – frekvenční oblast

1.4 AD převod

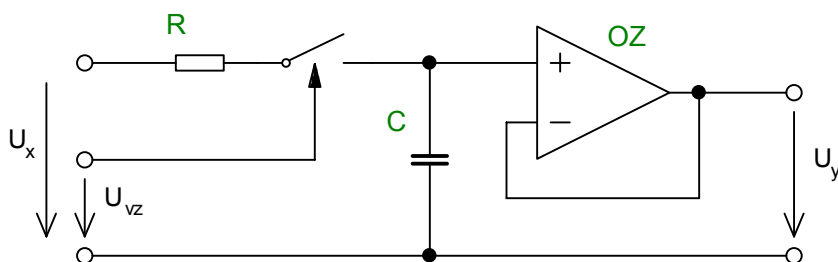
Digitalizací analogového signálu a následnou prací s jeho digitální podobou lze v porovnání s analogovým zpracováním dosáhnout mnoha výhod. Z tohoto důvodu je snaha převést analogový signál na digitální již na začátku řetězce, který pak může být dále číslicově zpracováván. Mezi výhody digitálního zpracování patří mj. snadná variabilita celého systému, jelikož způsob zpracování závisí pouze na řídicím firmwaru,

další nespornou výhodou je deterministické chování, které není závislé na jiných vlivech (časová a teplotní stabilita, výrobní tolerance apod.) jako u analogových obvodů.

Převod analogového signálu na digitální je pro názornou představu v zásadě rozdělen na tři kroky. Prvním krokem je vzorkování vstupního signálu, tedy odečtení jeho hodnoty v přesně definovaných časových okamžicích. Následuje proces kvantování, kdy je velikost odebrané hodnoty vzorku zaokrouhlena na jednu z nejbližších kvantovacích úrovní. Posledním krokem je převedení kvantované úrovně na vhodné digitální vyjádření určitým kódem.

Analogový signál musí mít vzhledem k parametrům AD převodu určité vlastnosti, při jejichž zajištění reflektuje digitalizovaný signál ten původní s minimální chybou.

Vzorkování vstupního signálu je prováděno za účelem získání vzorku signálu s hodnotou, při níž byl vzorek odebrán a jeho uchování po dobu potřebnou k jeho zpracování dalšími obvody. Tuto funkci zajišťuje obvod zvaný Sample and hold, jehož principiální schéma je zobrazeno na obrázku č. 1.11.



Obrázek 1.14 Jednoduchý obvod Sample and hold

Analogový vstupní signál odpovídá, dle obrázku č. 1.11, napětí U_x , které je přiváděno přes spínač na kondenzátor C a vstup napěťového sledovače OZ. Napětí U_{vz} slouží k ovládání spínače a nejčastěji má obdélníkový tvar se stejně dlouhou dobou úrovně, potřebné pro sepnutí spínače, aby se kondenzátor C stihl nabít na hodnotu vstupního napětí U_x . Tento obvod udržuje hodnotu posledního vzorku do doby, dokud není požadován vzorek nový. Frekvence vzorkovacího napětí odpovídá vzorkovací frekvenci AD převodníku.

Dále existuje obvod zvaný Track and hold, který na rozdíl od předchozího obvodu Sample and hold v době, kdy není požadován nový vzorek, sleduje vstupní napětí. Průběh vzorkování s použitím tohoto obvodu je zobrazen na obrázku č. 1.13, níže.

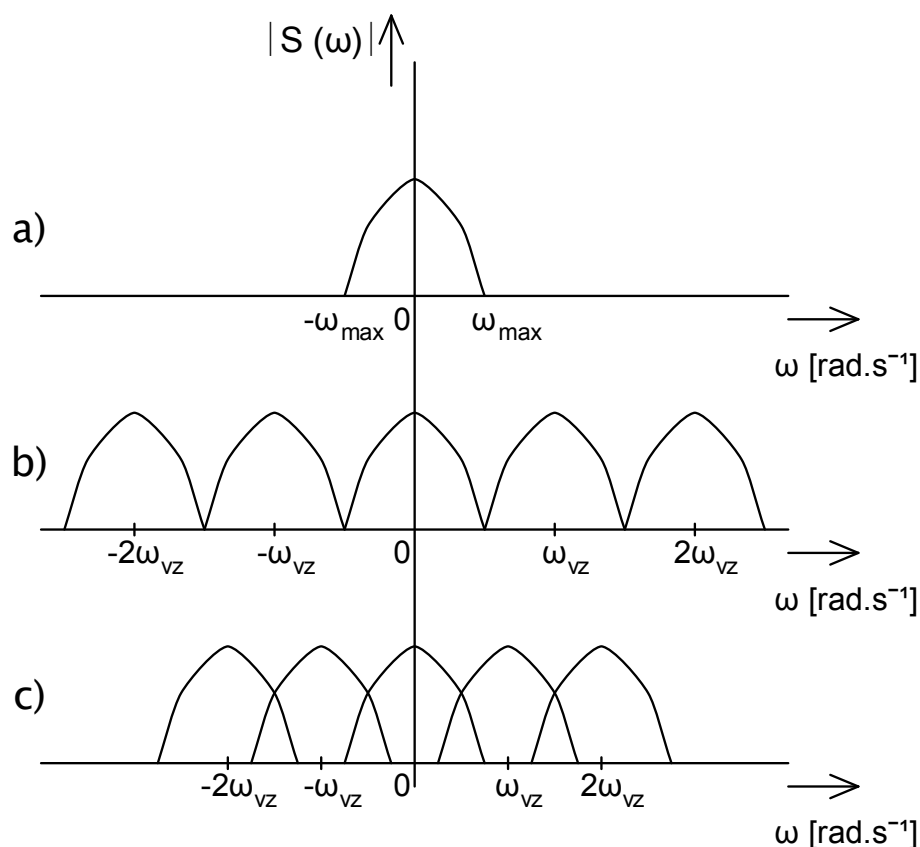
Při vzorkování signálu dochází k periodizaci jeho spektra, které se zrcadlí kolem k -násobků vzorkovací frekvence, což lze vidět na obrázku č. 1.12 b) a c). Pro bezchybnou digitalizaci vstupního analogového signálu (bez uvažování kvantizačního šumu, který je popsán níže) je zapotřebí dodržet speciální podmínku ve frekvenční oblasti, zvanou Shannonův teorém. Podle této podmínky je zapotřebí, aby hodnota vzorkovací frekvence byla alespoň dvojnásobná vůči maximální hodnotě frekvence obsažené ve vzorkovaném signálu, matematicky je tato podmínka vyjádřena tímto vztahem

$$f_{vz} = 2 \cdot f_{max}, \quad (1.18)$$

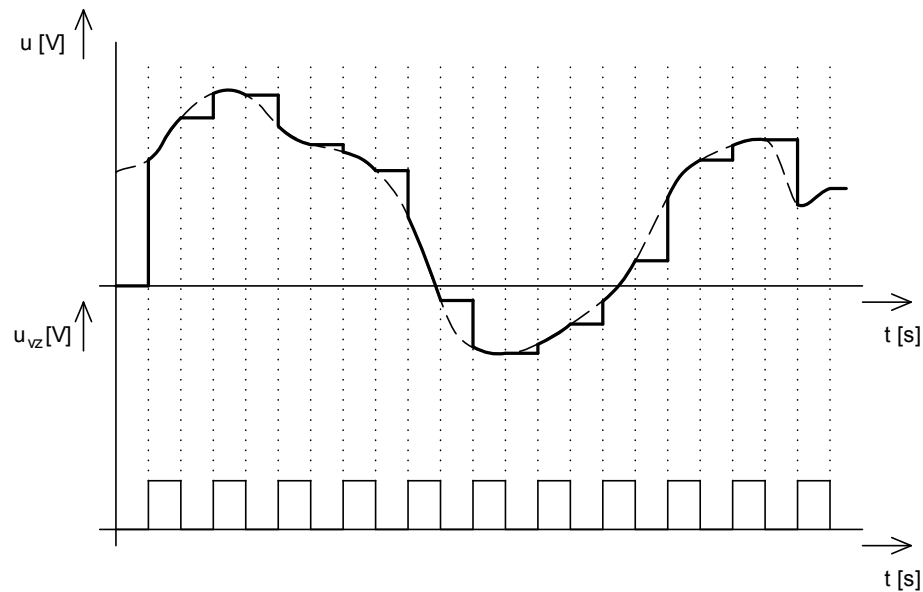
kde f_{max} je hodnota maximální frekvence obsažené v signálu v Hz.

Grafické znázornění dopadů této podmínky na spektrum je pro oba případy zobrazeno na obrázku č. 1.12. Pro případ na obrázku b) je vzorkovací frekvence přesně rovna dvojnásobku maximální frekvence ve vstupním signálu. V tomto případě lze pomocí filtru typu dolní propust odfiltrovat periodické složky spektra, vzniklé při vzorkování signálu, takže nedojde k jeho zkreslení. V případě c) není dodržena vzorkovací podmínka, čímž došlo k překrytí spekter a tedy k nevratnému zkreslení signálu.

Překrytí spekter se nazývá aliasing. K zabránění jeho vzniku se před vstup AD převodníku vkládá takzvaný anti-aliasingový filtr typu dolní propust, který omezí frekvenční složky vzorkovaného signálu dle vzorkovací podmínky i za cenu částečné deformace signálu, jež je přijatelnější než samotný aliasing.



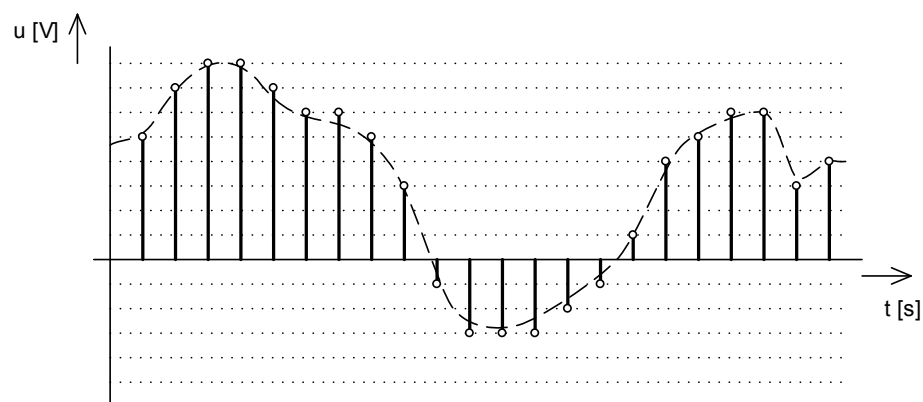
Obrázek 1.15 Spektrum a) vstupního signálu, b) při přesném dodržení vzorkovacího teorému, c) při nedodržení vzorkovacího teorému



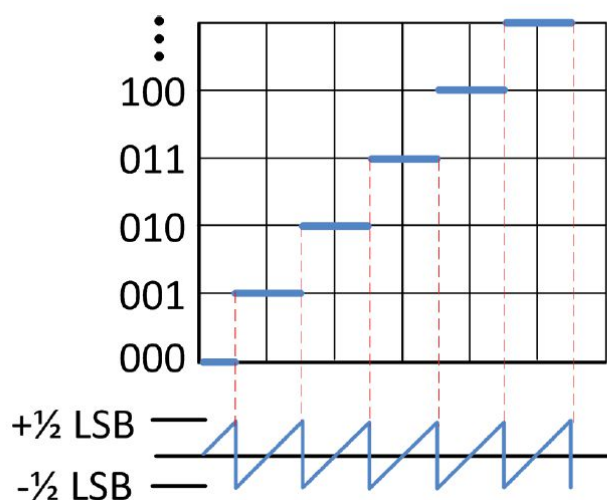
Obrázek 1.16 Časový průběh vstupního (přerušovaná čára), výstupního (plná silná čára) a vzorkovacího signálu obvodu Track and Hold

Po navzorkování signálu následuje krok kvantování. Hodnoty vzorků vstupního signálu jsou zaokrouhleny na nejbližší kvantovací úroveň, kterou je AD převodník schopen vyjádřit jako digitální hodnotu v určitém kódu, tento krok je graficky znázorněn na obrázku č. 1.14. Tímto zaokrouhlováním vzniká v signálu chyba, kterou nelze jakkoliv eliminovat a nazývá se kvantizační šum. Jedná se o hodnotu, která je dána rozdílem vstupního signálu a jeho obrazu po kvantování. Příklad časového průběhu tohoto šumu je znázorněn na obrázku č. 1.15. Maximální hodnota kvantizačního šumu nabývá maximálně $\pm \frac{1}{2} \text{ LSB}$ a jeho efektivní hodnotu lze vypočítat dle vztahu [23]

$$\sigma = \frac{1 \text{ LSB}}{\sqrt{12}}. \quad (1.19)$$



Obrázek 1.17 Kvantované vzorky analogového signálu



Obrázek 1.18 Příklad průběhu kvantizačního šumu, převzato z [24]

Jak již bylo zmíněno, AD převodník musí být schopen vyjádřit kvantovací úroveň v digitální podobě. Z tohoto důvodu existuje pro každý AD převodník omezený počet těchto úrovní, jež je vyjadřován pomocí rozlišení AD převodníku. Počet kvantovacích úrovní, včetně nulové úrovně, je dán vztahem

$$l = 2^n, \quad (1.20)$$

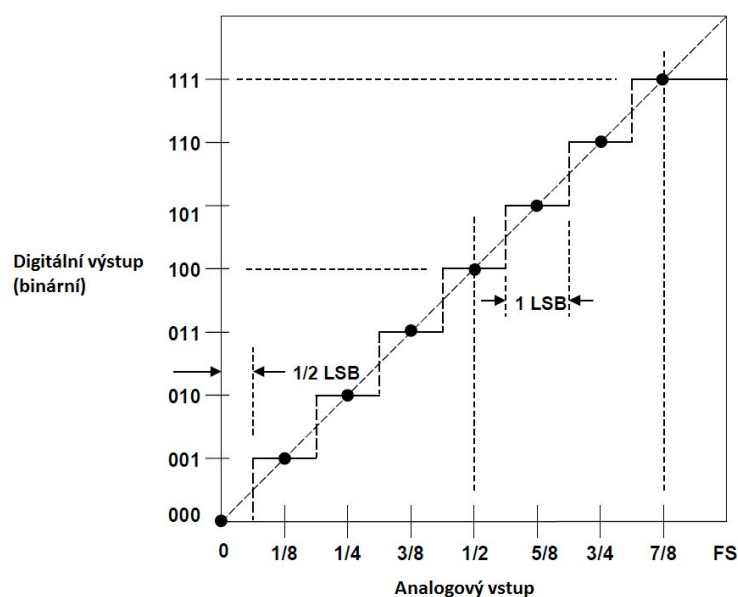
kde n je rozlišení AD převodníku v bitech.

Ideální převodní charakteristika všech AD převodníků je schodovitá funkce vyjadřující závislost výstupního digitálního slova na vstupním analogovém napětí a je zobrazena na obrázku č. 1.16. Reálně je tato charakteristika deformována různými druhy chyb, které jsou popsány v kapitole 1.4.6.

Hodnota vstupního napětí, po kterou zůstává výstupní slovo beze změny, je právě 1 LSB. Tato hodnota je dána rozlišením AD převodníku a velikostí referenčního napětí a lze ji vypočítat vztahem

$$LSB = \frac{FSR}{2^n}, \quad (1.21)$$

kde FSR je napětí při plném rozsahu ve V.

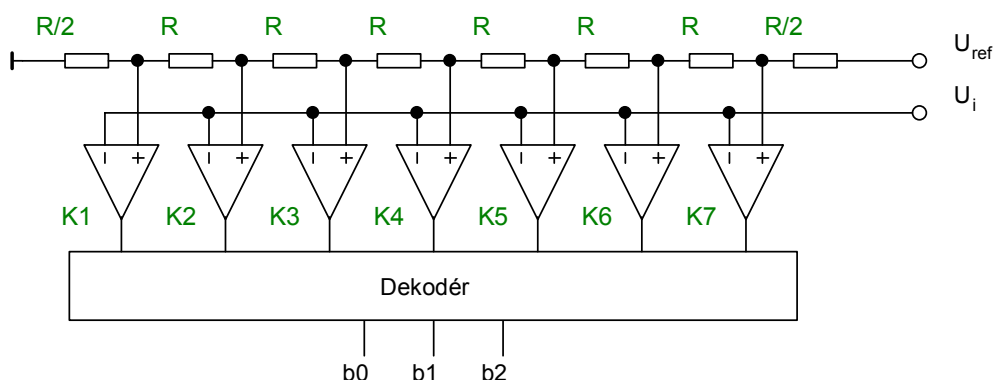


Obrázek 1.19 Ideální převodní charakteristika 3bitového AD převodníku, převzato z [25]

Ve většině případů je třeba vybrat vhodný AD převodník na základě parametrů vstupního signálu, jelikož úprava těchto parametrů je omezená a značně závislá na aplikaci a charakteru signálu.

1.4.1 Paralelní převodník

Z teoretického hlediska jsou nejrychlejšími AD převodníky právě paralelní převodníky, také nazývané komparační. Jejich princip funkce spočívá v simultánním porovnání vstupního napětí s váhovaným referenčním napětím. To je váhováno pomocí rezistorové sítě s hodnotami odporů R a dvěma krajními $R/2$. Úbytky napětí na rezistorech s hodnotou R odpovídají velikosti jedné kvantovací úrovně, resp. váze nejméně významného bitu LSB. Úbytky napětí na rezistorech $R/2$ pak odpovídají $LSB/2$. Principiální zapojení paralelního převodníku je zobrazeno na obrázku č. 1.17, níže.



Obrázek 1.20 Principiální zapojení paralelního převodníku

Komparátory, jejichž počet je závislý na rozlišení převodníku a odpovídá vztahu č.

1.22, porovnají měřené napětí s váhovaným referenčním napětím a nastaví svou odpovídající výstupní úroveň, která je zpracována blokem dekodéru.

$$m = 2^n - 1. \quad (1.22)$$

Dekodér zajišťuje udržení hodnot z výstupu komparátorů, převod na digitální kód a odeslání dat na výstup pomocí paměti typu latch, po ustálení výstupu z převodníku na digitální kód.

Rychlost tohoto převodníku je závislá na době zpracování v bloku dekodéru a na době zpoždění komparátorů.

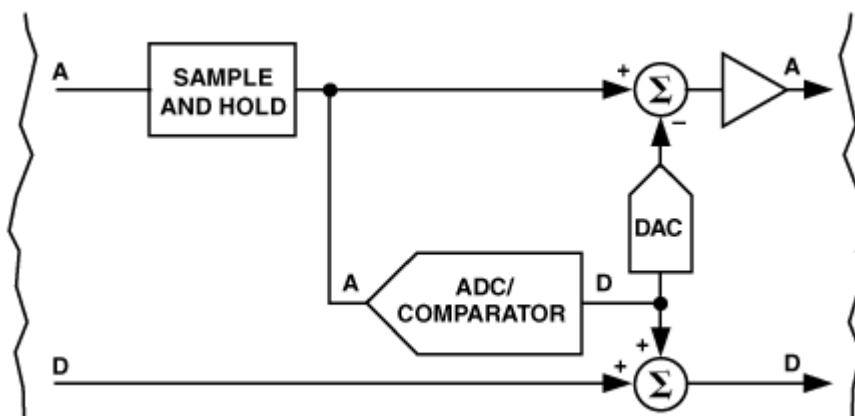
Značnou nevýhodou těchto převodníků je exponenciální růst počtu potřebných komparátorů v závislosti na rozlišení převodníku.

V dnešní době už většina velkých výrobců polovodičových součástek tyto převodníky nabízí velmi omezeně.

1.4.2 Pipelined převodník

Pipelined převodník odstraňuje mnohé nevýhody flash převodníku, i když jej sám ve své struktuře využívá. Na obrázku č. 1.18 je zobrazeno vnitřní principiální zapojení jednoho bloku tohoto převodníku, na které navazuje další identická část. Rozlišení je pak dáno součinem rozlišení vnitřního flash převodníku (mezi písmeny A a D) a počtem jednotlivých bloků [26]. Oproti flash převodníku je počet komparátorů roven součinu počtu komparátorů vnitřního flash převodníku a počtu jednotlivých bloků, přičemž vnitřní flash převodníky mají nízké rozlišení, například 3 bity.

Princip funkce spočívá v převedení vstupního vzorku vnitřním flash převodníkem, což u prvního bloku vyjadřuje nejvýše významné bity, jeho DA převod a vypočtení rozdílu mezi ním a vstupním vzorkem. Tento rozdíl je zesílen a dále pokračuje k dalšímu bloku ke stejnému zpracování jako v této části. Oproti flash převodníku má větší dobu převodu.



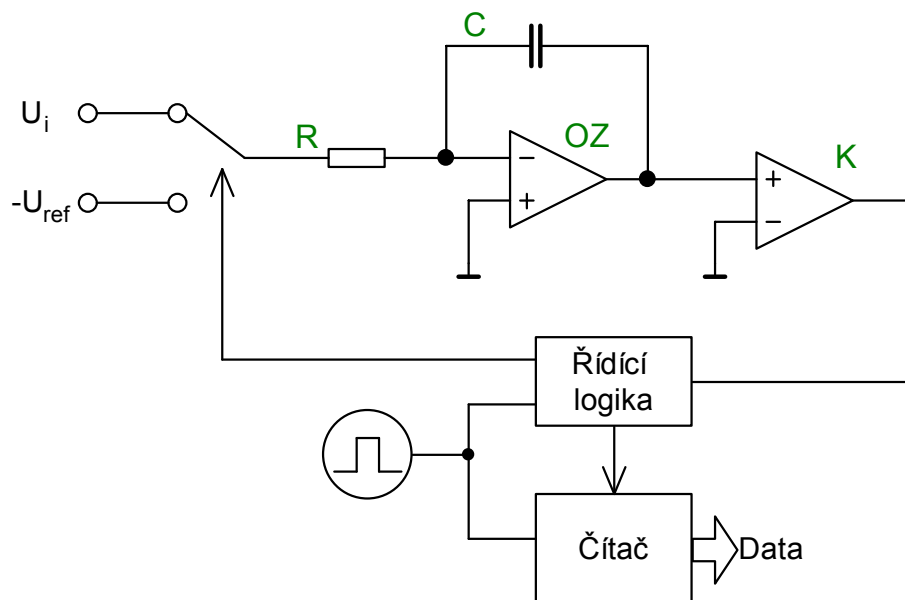
Obrázek 1.21 Jeden blok pipelined převodníku, převzato z [27]

1.4.3 Převodník s dvoutaktní integrací

Činnost integračního převodníku s dvoutaktní integrací je založena na dvou integračních fázích, v první fázi je na vstup integrátoru připojen měřený signál U_i . Ten je integrován a čítač inkrementuje svou hodnotu. V druhé fázi, která je zahájena naplněním čítače a jeho následným vynulováním, dojde k přepnutí přepínače tak, aby bylo na vstup integrátoru připojené referenční napětí s obrácenou polaritou vůči U_i . Tím dochází ke snižování napětí na výstupu integrátoru. Jakmile dosáhne nulové hodnoty, inkrementace čítače se zastaví. Hodnota měřeného napětí je pak úměrná počtu impulzů v druhém taktu.

Principiální zapojení tohoto převodníku je zobrazeno na obrázku č. 1.19.

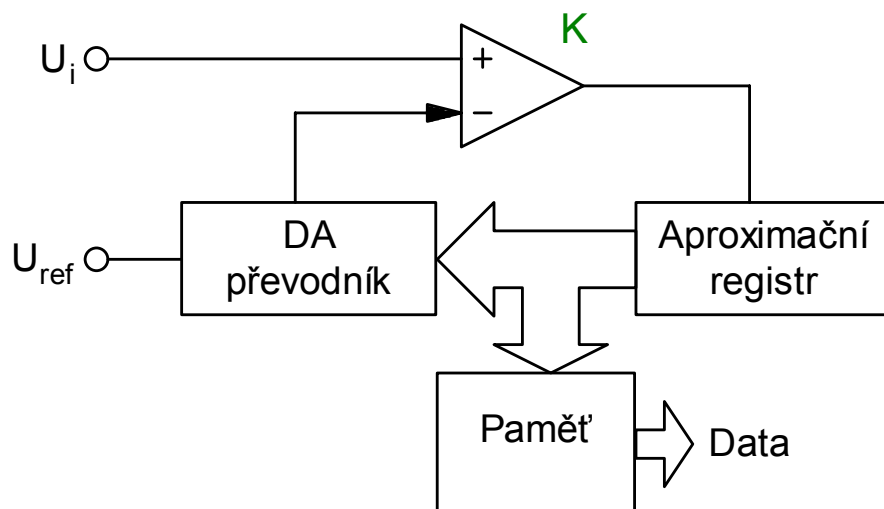
Tyto převodníky se vyznačují velkou odolností vůči superponované střídavé rušivé složce na měřeném signálu, pokud je doba integrace zvolena jako k -násobek periody rušivého signálu. Další výhodou je také odolnost vůči změnám hodnot součástek, tvořící integrátor. Nevýhodou je však nízká rychlost převodu [28]. Nejčastější využití nalézá v měřicích přístrojích, jako jsou multimetry a podobně.



Obrázek 1.22 Principiální zapojení převodníku s dvoutaktní integrací

1.4.4 Převodník s postupnou aproximací

Dalším typem AD převodníků je převodník s postupnou aproximací, anglicky zvaný SAR neboli Successive approximation. Principiální schéma je zobrazeno na obrázku č. 1.20, níže. Princip jeho funkce spočívá v postupném „přibližování se“ k hodnotě vstupního napětí hodnotou v aproximačním registru nastavováním jednotlivých váhových bitů. Nejdříve je nastaven MSB na hodnotu logické jedničky (což odpovídá polovině referenčního napětí), DA převodníkem je toto datové slovo převedeno na analogové napětí, jež komparátor porovná s napětím vstupním. Je-li vstupní napětí větší, než nastavené, zůstává hodnota MSB v logické jedničce. Tímto způsobem se nastavují další bity až k LSB, poté převod končí.



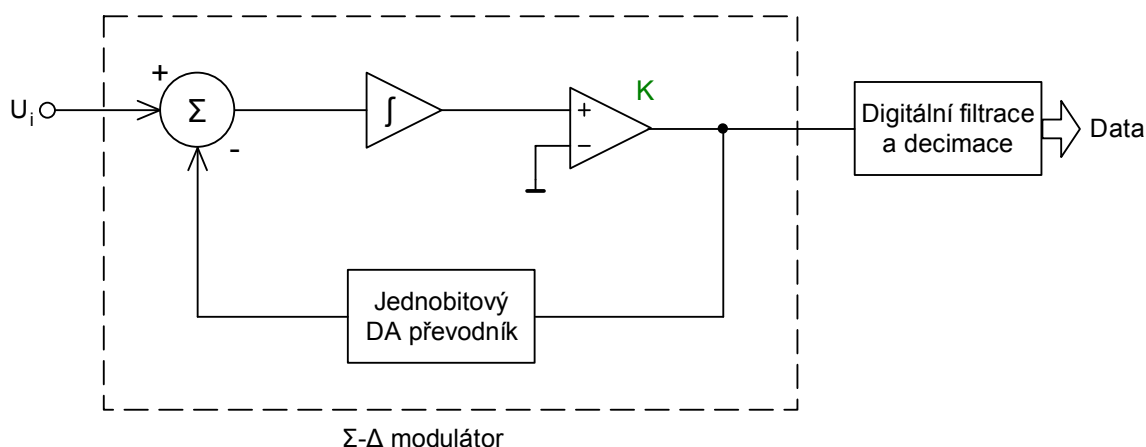
Obrázek 1.23 Principiální zapojení převodníku s postupnou aproximací

Tyto převodníky mají výhodu zejména v jejich nízké spotřebě a dobré přesnosti měření [29].

1.4.5 Převodník se sigma-delta modulací

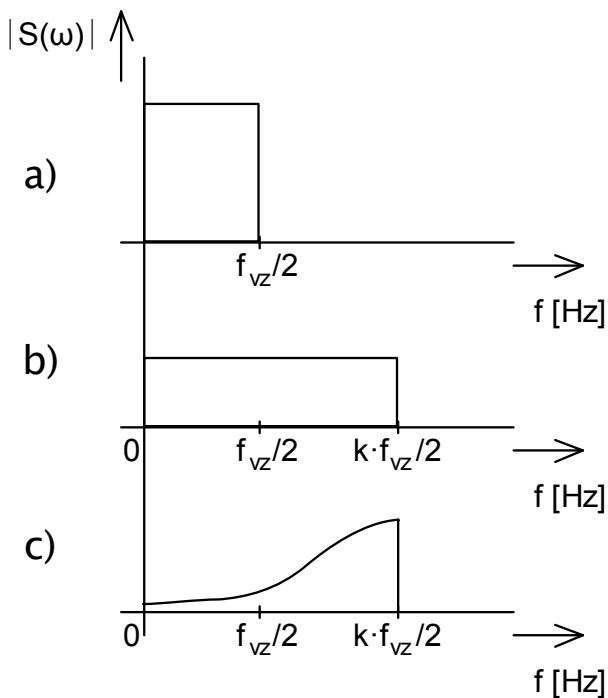
Převodníky dosahující velmi vysoké linearity převodu při velkém rozlišení jsou právě převodníky se sigma-delta (Σ - Δ) modulací, jejichž principiální schéma je na obrázku č. 1.21.

Dvěma základními bloky jsou Σ - Δ modulátor a blok digitální filtrace a decimace. V bloku Σ - Δ modulátoru dojde k odečtení napětí z DA převodníku, který na svém výstupu poskytuje kladné nebo záporné referenční napětí, od vstupního signálu. Tento signál je pak dále filtrován integračním členem, jehož výstup je pomocí komparátoru převeden na digitální jednobitovou hodnotu. Výstupní digitální sériový proud dat ze Σ - Δ převodníku je přímo úměrný velikosti vstupního signálu [30].



Obrázek 1.24 Principiální zapojení Σ - Δ převodníku

Převodník využívá dvou metod, zajišťující snížení vlivu kvantizačního šumu na jeho přesnost. První metodou je převzorkování, kdy je vstupní signál vzorkován k -násobkem vzorkovací frekvence, což způsobí roztažení spektra šumu do frekvenčního pásma 0 až $k \cdot f_{VZ}$, kde „ k “ je činitel nevzorkování [30]. Druhou metodou je takzvané tvarování šumu, které způsobí jeho posun do frekvenční oblasti kolem $k \cdot f_{VZ}/2$ a jeho výsledek je graficky znázorněn na obrázku č. 1.22 c).



Obrázek 1.25 Spektrum kvatizačního šumu a) bez převzorkování, b) s převzorkováním, c) s využitím tvarování šumu

Blok digitální filtrace a decimace následně provede odfiltrování spektra vyššího než $f_{VZ}/2$, čímž dojde k odstranění velké části šumu a zvýšení efektivního počtu bitů. Decimací filtrované digitální posloupnosti je dosaženo výběru každého M -tého vzorku beze ztráty informace a dále snížení výstupní datové rychlosti.

1.4.6 Vybrané parametry AD převodníků

INL a DNL

Integrální (INL) a diferenciální (DNL) nelinearita vyjadřují chyby týkající se převodní charakteristiky. Integrální nelinearita udává odchylku skutečné převodní charakteristiky od ideální. Diferenciální nelinearita vyjadřuje odchylku šířky skutečné kvantovací úrovně oproti ideální a udává se v LSB.

OFFSET ERROR

Posun převodní charakteristiky po horizontální ose udává parametr Offset error. Často udáván například v jednotkách LSB nebo V.

GAIN ERROR

Jedná se o chybu vyjadřující odlišný převodní charakteristiky. Často bývá udávána

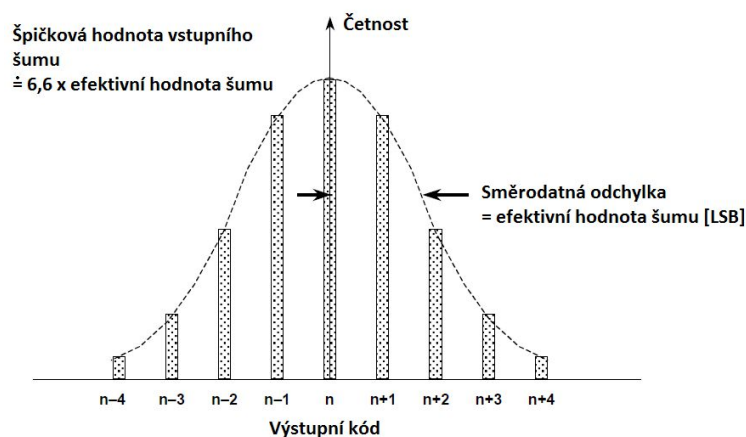
v jednotce ppm/FSR, %FSR apod.

SETTLING TIME

Časový parametr udávající dobu, za kterou jsou na výstupu připravena data od začátku konverze vzorku. Například v případě převodníku SAR se prakticky jedná o dobu, kdy byla dokončena konvergence [31].

DC NOISE

Širokopásmové obvody uvnitř AD převodníku produkují určitou hodnotu efektivního šumu, jedná se o rezistorový šum a šum kT/C . Rozložení má Gaussovo rozložení [25] kolem vstupní jmenovité stejnosměrné hodnoty napětí, tak jak lze vidět na obrázku č. 1.26. Pro velký počet takovýchto vzorků odpovídá standardní odchylka právě efektivní hodnotě šumu.



Obrázek 1.26 Histogram šumu AD převodníku pro uzemněný vstup, převzato z [25]

ENOB – Effective number of bits

ENOB je parametr vyjadřující rozlišení ideálního AD převodníku, jehož efektivní hodnota kvantizačního šumu odpovídá efektivní hodnotě šumu a zkreslení měřeného AD převodníku. Tento parametr je měřen pro vstupní sinusový signál s přesně specifikovanou frekvencí a amplitudou po kompenzaci chyby zisku a offsetu měřeného AD převodníku [32].

V závislosti na parametru SINAD lze ENOB vypočítat dle vztahu [33]

$$ENOB = \frac{SINAD - 1,76}{6,02}, \quad (1.23)$$

Kde $SINAD$ je odstup signálu od šumu a harmonických složek, vyjma DC složky, v dB.

1.5 Mikrokontroléry s ARM architekturou

ARM je souhrnné označení pro 32bitové procesory, jejichž architektura je vyvíjena společností ARM Holdings. V současnosti však jsou již dostupné i 64bitové architektury. Název ARM původně vychází ze zkratky Advanced RISC Machine. Společnost ARM poskytuje pouze vývoj a následný prodej licencí, samotná výroba a uvádění na trh pak obstarávají výrobci typu NXP (Qualcomm), ST Microelectronics, Texas Instruments a jiní. V současné době se jedná o běžně nasazovaná jádra procesorů v mnoha zařízeních, kde jsou schopny poskytnout poměrně velký výpočetní výkon, při udržení relativně malé spotřeby.

1.5.1 Jádra ARM Cortex

Aktuálně je největším zástupcem z rodin ARM procesorů rodina Cortex. Tato rodina je dále dělena na tři konkrétní profily, z důvodu snazšího odlišení konkrétních procesorů z této rodiny. Jedná se o profily Cortex-M, Cortex-R a Cortex-A.

Rodiny jsou kolektivním označením pro konkrétní procesory (chronologicky pojmenované). Každý procesor je založen na konkrétní architektuře, která nemusí být stejná pro jednu konkrétní rodinu procesorů a její označení je ArmvXXX, kde XXX je označení konkrétní architektury. Tuto situaci názorněji vystihuje tabulka č. 1.1, kde jsou uvedeny příklady rodin, architektur a konkrétních procesorů.

Tabulka 1.1 Příklad ARM rodin, architektur a procesorů

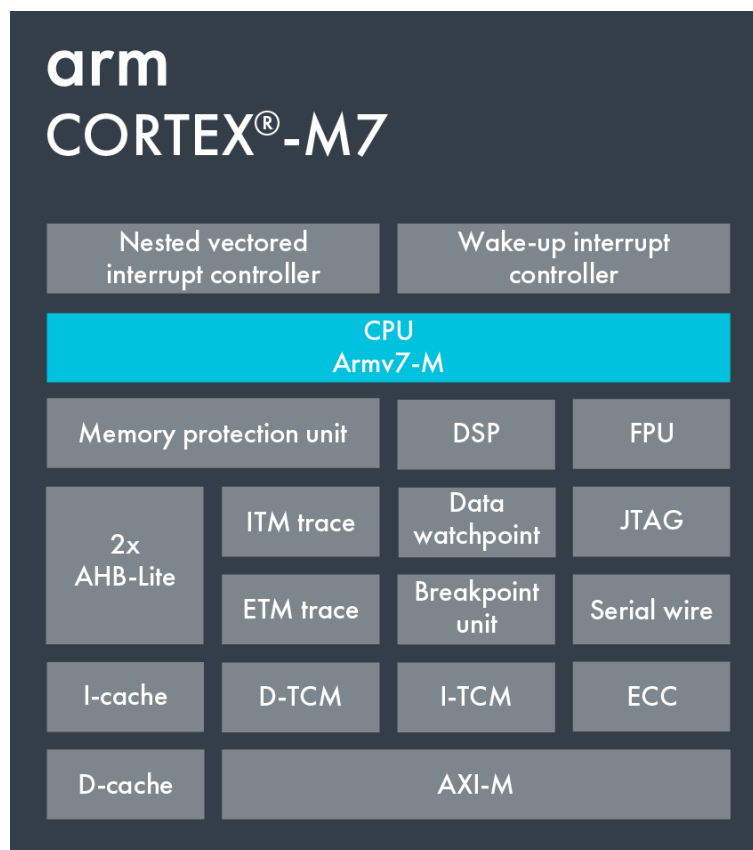
Rodina	Architektura	Příklad jádra procesoru
Arm2	Arm2a	Arm250
Arm7	Armv3	Arm700, Arm710a
	Armv4T	Arm7TDMI, Arm720T
Cortex-A	Armv7-A	Cortex-A5, Cortex-A9
Cortex-M	Armv6-M	Cortex-M0, Cortex-M1
	Armv7-M	Cortex-M3
	Armv7-ME	Cortex-M4
Cortex-R	Armv7-R	Cortex-R4

Rodina Cortex-A primárně slouží pro použití s operačními systémy a uživatelské aplikace, jako jsou například mobilní zařízení, uživatelská rozhraní v automotive a podobně. Rodina Cortex-R je optimalizována pro velký výkon aplikací pracujících v reálném čase. Rodina Cortex-M je primárně určena pro použití v embedded aplikacích a mikrokontrolérech, ve kterých je nejvíce zastoupena. Dále také existuje rodina s názvem SecureCore určená pro bezpečnostní aplikace.

Na obrázku č. 1.24 lze vidět vnitřní bloky jádra CORTEX-M7. Oproti dřívějším 8 bitovým procesorům typu ATmega, apod. jsou již procesory ARM vybaveny hardwarovými bloky, například:

- pro operace v plovoucí řadové čáře (FPU)
- bloky pro DSP (Digital Signal Processing) operace
- instrukční a datovou cache (I-CACHE, D-CACHE) pro přístup k často

- používaným instrukcím a datům
- speciální paměti (D-TCM, I-TCM)
 - ochrany paměti (MPU) k řízení práv pro přístup do paměti a podobně
 - AXI sběrnice pro propojení vnitřních bloků na čipu



Obrázek 1.27 Vnitřní bloky jádra CORTEX-M7, převzato z [34]

1.5.2 Vybrané vnitřní periferie

Z hlediska optimalizace výpočetního výkonu, rychlosti nebo usnadnění implementace jsou procesory vybaveny vybranými bloky, které samy o sobě, pro samotný chod jádra mikrokontroléru nejsou podstatné. Tyto periferie jsou však implementovány na čip samotným výrobcem mikrokontroléru. Konkrétně se může jednat například o bloky:

DMA řadič

DMA neboli Direct Memory Access je řadič zprostředkující přenos dat mezi pamětí a periferií, periferií a periferií nebo pamětí a pamětí bez účasti jádra mikrokontroléru, díky čemuž může vykonávat dále svůj program a nemusí řešit obsluhu pamětí, případně periferií. DMA může být nakonfigurován mnoha různými způsoby, díky čemuž je velmi flexibilní a jeho správné využití značně zefektivní práci s pamětí a usnadní práci programátora.

Ethernet MAC

Tato jednotka zajišťuje funkci stejnojmenné vrstvy Ethernetu, jejíž funkce je přibližena v kapitole č. 1.6, níže. Tento blok přímo komunikuje s obvodem fyzické vrstvy

Ethernetu PHY, přes patřičné rozhraní, nejčastěji MII, RMII či GMII.

FMC (FSMC)

Flexible memory controller zajišťuje možnost připojení vybraných druhů externích pamětí přímo k pinům mikrontroléru.

USB OTG

Tento HW blok umožňuje připojit USB zařízení, například flash disk, počítačová myš a podobně a komunikovat s nimi jako hostitelské zařízení. Také umožňuje opačný mód, kdy se může hlásit například jako vyměnitelné médium.

PLL

PLL neboli fázový závěs je jednotka zajišťující generování hodinových signálů pro konkrétní periferie, jádro systému a vnitřní sběrnice. Obsahuje děličky a násobičky pro odvození požadovaného hodinového signálu ze signálu vstupního, což může být například externí krystal nebo vnitřní oscilátor.

1.6 Ethernet/IEEE 802.3

Pojem Ethernet původně označoval projekt firmy XEROX z roku 1973, jehož cílem bylo vytvořit lokální síť k propojení jejich firemních počítačů. Roku 1979, vzájemnou spoluprací firem Xerox, DEC a Intel, se projekt rozšířil a o rok později byla vydána specifikace Ethernetu verze 1.0 s názvem Blue Book. Jako její vylepšení vznikla později verze 2 neboli Ethernet II. Dále vznikla norma IEEE 802.3, která definuje formát rámců, algoritmus přístupu a fyzické médium. Ta se na rozdíl od Ethernetu II (poslední norma v roce 2002) nadále vylepšuje.

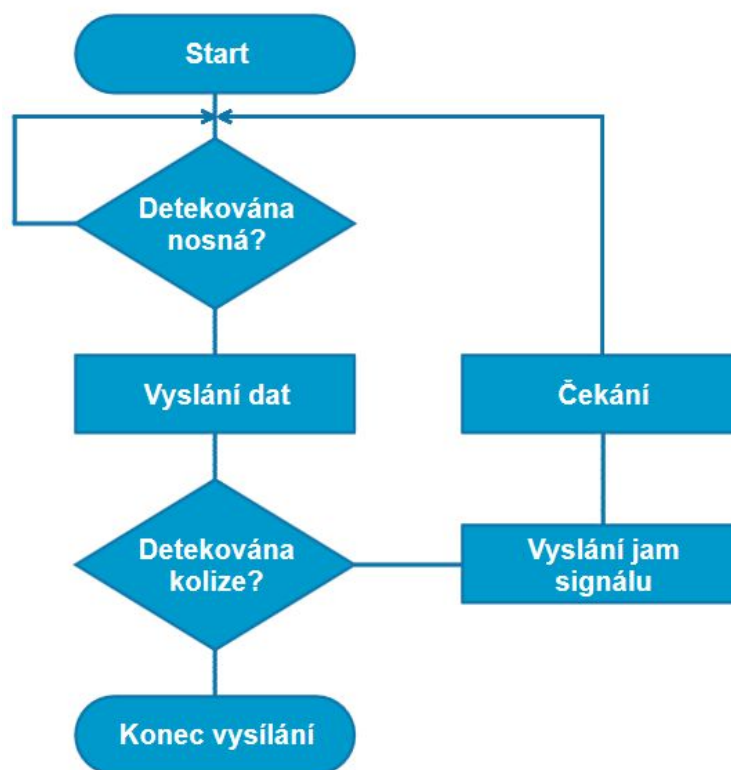
Rozdíl mezi Ethernetem II a IEEE 802.3 spočívá v rozdílném formátu rámce, což je popsáno v podkapitole 1.6.2, níže.

1.6.1 CSMA/CD

Jedná se o přístupovou metodu ke sdílenému přenosovému médiu s detekcí kolize, využívanou v sítích typu Ethernet. Na obrázku č. 1.25 je znázorněn postup při vysílání dat metodou CDMA/CD.

Stanice, která se chystá vysílat, sleduje stav na přenosovém médiu. Pokud je detekováno již nějaké vysílání, stanice počká na uvolnění média a uplynutí tzv. kolizního slotu (ochranný časový interval) [35]. Pokud je médium volné, stanice vyčká na uplynutí kolizního slotu a zahájí vysílání, při kterém neustále sleduje stav na médiu. Tímto způsobem snadno detekuje kolizi, při níž okamžitě ukončí své vysílání a vyšle speciální signál, oznamující kolizi, nazývaný „jam“. Poté je stanovena náhodná doba čekání, aby bylo zabráněno neustálému opakování kolize. Při každé další zjištěné kolizi je odeslání dat naplánováno na kolizní slot, jehož pořadí je určeno náhodně z exponenciálního intervalu 0 až 2^r , kde r je odvozeno od počtu neúspěšných vysílání. Maximální počet pokusů o vysílání je stanoven na 16, po jehož překročení je informován aplikační program [35].

V režimu plného duplexu již není metody CSMA/CD využíváno.



Obrázek 1.28 Postup při CDMA/CD

1.6.2 Struktura rámce

Ethernet pracuje na dvou vrstvách síťového modelu. Konkrétně se jedná o vrstvu fyzickou a linkovou. V linkové vrstvě je implementován pouze v její nižší části zvané MAC (Media Access Control), která řídí přístup k fyzickému přenosovému médium.

Na obrázku č. 1.26 jsou zobrazeny rámce pro a) Ethernet II a b) IEEE 802.3.

a) Ethernet II



b) IEEE 802.3



Obrázek 1.29 Rámec Ethernet II a IEEE 802.3

Preamble slouží k synchronizaci všech stanic na přijímaný rámec. Skládá se z 62 bitů, kde se střídají logické jedničky a nuly a poslední dva bity jsou log. Jedničky. Někdy je jako preamble označováno pouze prvních 7 bytů a poslední byte ve tvaru 10101011 je nazýván jako tzv. omezovač počátku rámce (SFD).

Následující dva byty obsahují MAC adresu odesílatele a příjemce, o délce 48 bitů. Adresa příjemce může být individuální (unicast), skupinová (multicast) nebo všeobecná (broadcast).

U Ethernetu II obsahuje čtvrté pole informaci o typu protokolu používaného pro přenos dat mezi vyššími vrstvami, nazývaný také jako Ethertype. V tabulce č. 1.2 jsou uvedeny některé jeho hodnoty odpovídající konkrétním protokolům, v hexadecimálním tvaru (jak je běžně uváděno) [36]. U IEEE 802.3 toto pole obsahuje informaci o délce datového pole, pro niž jsou kvůli vzájemné kompatibilitě rezervovány hodnoty 0x0000 až 0x05DC.

Tabulka 1.2 Kódy síťových protokolů (Ethertype)

Ethertype	Protokol
0x0600	XEROX NS IDP
0x0800	IPv4
0x0806	ARP
0x86DD	IPv6
0x880B	Point-to-Point Protocol
0x88A4	EtherCAT

Předposlední pole u Ethernetu II obsahuje samotná data vyšších protokolů. V případě IEEE 802.3 se do tohoto pole vkládá rámec LLC nebo SNAP, což jsou podvrstvy, zajišťující například přenášení v síti více protokolů současně [37].

Poslední pole je tvořeno 32 bitovým CRC kódem, který je počítán přes všechna pole vyjma preamble.

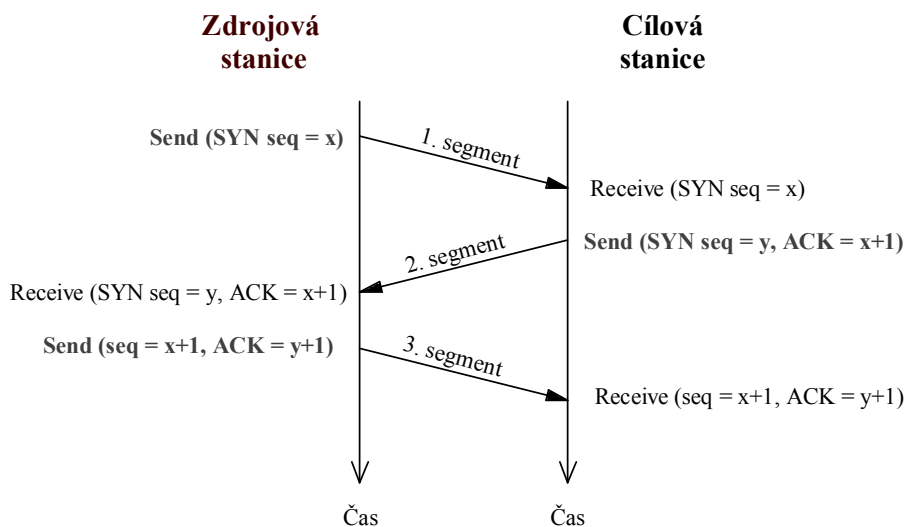
1.6.3 TCP

Transmission Control Protocol (TCP) zajišťuje přenos dat mezi koncovými aplikacemi pomocí virtuálního okruhu. Tento přenos je spolehlivý, což znamená, že je garantováno doručení všech dat a to také ve správném pořadí. TCP obsahuje vnitřní mechanismy, zajišťující detekci správného doručení dat a také, při jejich nesprávném doručení nebo nedoručení, jejich opětovné odesílání. Dále umožňuje vícenásobný přenos dat, pro více aplikací běžících na jednom počítači pomocí portů.

V TCP se odehrávají tři fáze komunikace v pořadí navázání spojení, přenos dat a ukončení spojení.

K navázání spojení se využívá mechanismu tzv. free way handshaking, jehož průběh je graficky znázorněn na obrázku č. 1.27. Prvním krokem je vyslání synchronizačního segmentu cílové stanici, který obsahuje náhodně vygenerované startovací pořadové číslo x v poli SEQ a potvrzovací číslo ACK, které je nyní nulové. V druhém kroku cílová stanice odpoví stanici zdrojové odesláním segmentu, jež obsahuje potvrzovací číslo ACK s hodnotou x+1 a nově náhodně vygenerované číslo „y“ v poli SEQ. V třetím a posledním kroku zdrojová stanice odpoví odesláním

potvrzovacího segmentu s číslem sekvence SEQ o hodnotě $x+1$ a potvrzovacím číslem ACK o hodnotě $y+1$.



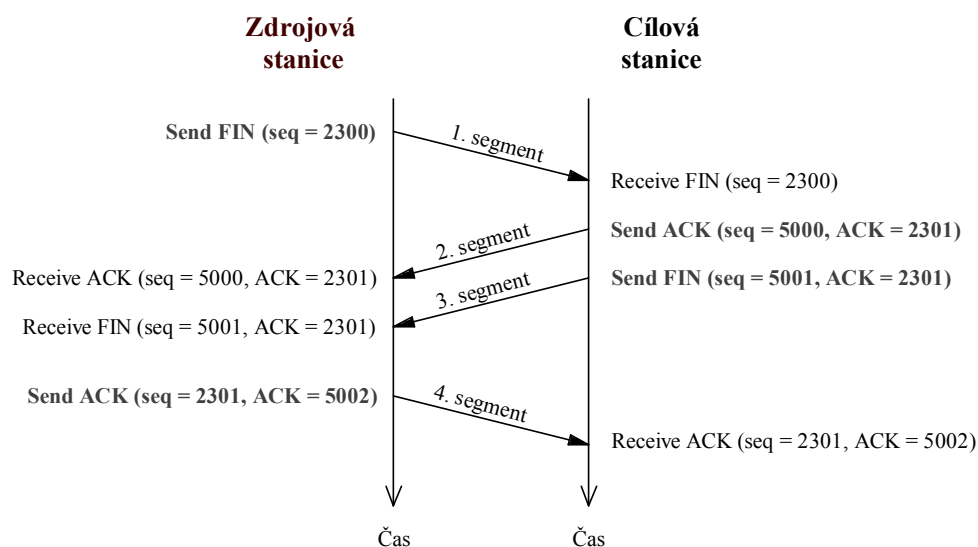
Obrázek 1.30 Navázání spojení TCP

Přenos dat bezprostředně navazuje na fázi navázání spojení. Data jsou zabalena do segmentu, který v hlavičce také obsahuje údaj o velikosti tzv. okna. Velikost tohoto okna udává, kolik segmentů může zdrojová stanice odeslat stanici cílové, aniž by vyžadovala průběžné potvrzování doručení jednotlivých segmentů. Doručení je potvrzeno až po přijetí všech segmentů z daného okna a tak může dojít k dalšímu odesílání segmentů v závislosti na velikosti okna. Tento princip se nazývá tzv. klouzavé okno.

Velikost okna není konstantní, ale může se měnit, například vlivem zahlcení sítě, kdy se při ztrátách paketů velikost okna zmenší a poté se znovu postupně zvyšuje do původního stavu (pokud nedojde k opětovné ztrátě dat).

Potvrzování přijatých dat je prováděno s ohledem na pořadová čísla segmentů. Potvrzovány jsou segmenty, které svým pořadovým číslem předcházejí číslo potvrzení [38]. Tímto je zajištěno případné opětovné odeslání segmentů od čísla odpovídajícího poslednímu číslu potvrzení. Pokud by došlo ke ztrátě potvrzovacího segmentu, dojde po uplynutí časomíry k opětovnému odeslání dat, která nebyla cílovou stanicí potvrzena.

Celkové ukončení spojení musí provedeno oběma komunikujícími stanicemi a k jeho provedení jsou zapotřebí pouze 4 segmenty, jak lze vidět na obrázku č. 1.28. Stanice (zdrojová), která požaduje ukončení, spojení vyšle segment s nastaveným příznakem FIN. Cílová stanice odpoví potvrzujícím segmentem ACK a pokud již také nehodlá dále vysílat, vyšle také segment s nastaveným příznakem FIN. Zdrojová stanice jej potvrdí ACK segmentem a spojení je oboustranně ukončeno.



Obrázek 1.31 Ukončení spojení TCP

Cílová stanice ovšem přenos nemusí ukončit okamžitě po přijetí požadavku na ukončení spojení od stanice zdrojové, tento stav se pak nazývá polozavřené spojení [35], při kterém může zdrojové stanici dále odesílat data, poté spojení ukončí.

1.6.4 UDP

Oproti protokolu TCP, realizuje protokol UDP nespojovanou službu, bez virtuálního okruhu. Data jsou pak vysílána, aniž by docházelo ke kontrole jejich doručení, případně zajištění doručení ve správném pořadí tak, jako u TCP.

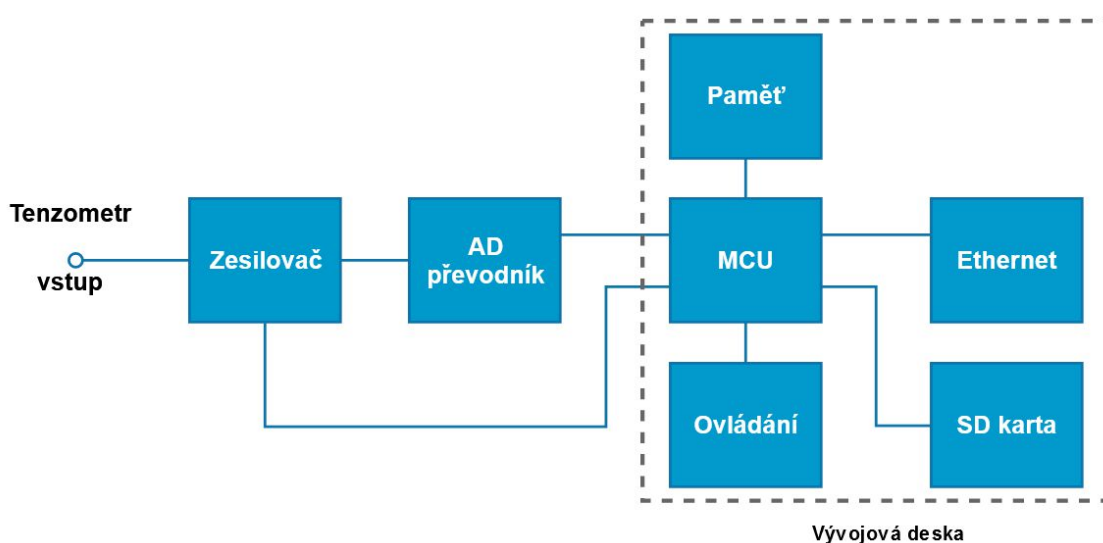
UDP datagram je tvořen záhlavím o velikosti 8 bytů a polem pro data, jehož velikost může být libovolná, avšak taková, aby byla vyjádřitelná 16bitovým číslem. Ovšem z praktických důvodů se doporučuje volit tuto délku maximálně 512 B, jelikož by při větší délce mohli protokoly nižších vrstev tento datagram rozdělit [35].

Záhlaví obsahuje adresu zdrojového portu, adresu cílového portu, hodnotu udávající délku dat a hodnotu kontrolního součtu, která je však nepovinná. Všechna tato pole v záhlaví mají velikost 16 bitů.

2 MĚŘÍCÍ ŘETĚZEC

V následující kapitole jsou rozebrány jednotlivé bloky navrhovaného měřicího řetězce. V aktuálním stádiu vývoje byla pozornost zaměřena na návrh analogové části řetězce, který je detailněji probrán v této kapitole. Digitální část je řešena pomocí komerčně dostupné vývojové desky STM32F746G-DISCO od firmy ST Microelectronics, která prozatímne dostačuje při zhodnocení možností analogové části. Blokové schéma navrženého řetězce je na obrázku č. 2.1.

Použité analogové obvody jsou zapojeny ratiometricky, viz teoretický úvod, kapitola č. 1.2.2.



Obrázek 2.1 Blokové schéma měřicího řetězce

2.1 AD převodník

2.1.1 Výběr

Jako klíčovou součástku navrhovaného měřicího řetězce lze označit AD převodník. Ten byl vybrán na základě požadovaných vlastností, což je vzorkovací rychlost alespoň 100 kSa/s s rozlišením minimálně 16 bitů. Z hlediska aplikace a způsobu měření je další klíčový parametr aditivní šum AD převodníku.

Při výběru byla zaměřena pozornost na výrobce Analog Devices a Texas Instruments. Po dohodě s vedoucím práce byl výběr zúžen na převodníky s rozlišením 24 bitů. Z přehledu byly vyřazeny převodníky, u nichž výrobce v katalogovém listu neuvádí hodnotu aditivního šumu.

V tabulce č. 2.1 je uveden přehled AD převodníků s vybranými parametry.

Tabulka 2.1 Zkrácený přehled AD převodníků s rozlišením 24 bitů

Název	Vzorkovací rychlost [kSa/a]	Šum [μ V]	Offset [mV]		CMRR [dB]	
			typ.	max.	min.	typ.
ADS1271IPWR	105	9	0,15	1	–	–
ADS1258IRTCT	125	12	0,02	–	90	100
ADS131A02	128	40	0,5	–	–	100
ADS131A04	128	40	0,5	–	–	100
ADS1274IPAPT	144	8,5	0,25	2	90	108
ADS1278IPAPT	144	8,5	0,25	2	90	108
AD7175-2BRUZ	250	8,7	$\pm 0,04$	–	120	–
AD7175-8BCPZ	250	8,7	$\pm 0,06$	–	–	95
AD7176-2BRUZ	250	9,7	$\pm 0,04$	–	–	83
AD7768BSTZ	256	11,6	$\pm 0,05$	$\pm 0,11$	–	95
AD7768-4BSTZ	256	11,58	$\pm 0,05$	$\pm 0,11$	–	95
ADS127L01IPBSR	512	11,6	$\pm 0,1$	–	–	95
ADS1672IPAG	625	10,1	–	2	–	92
ADS1675IPAG	4000	44,02	–	5	–	71

Všechny tyto převodníky disponují diferenciálním vstupem. Většina má aditivní šum pod 12 μ V.

S ohledem na nízký aditivní šum a nejnižší offset při vysokém CMRR byl vybrán převodník AD7175-2 od výrobce Analog Devices. Ten navíc disponuje dostatečně velkou vzorkovací rychlostí.

2.1.2 Popis AD7175-2

Zvolený obvod AD7175-2 je 24bitový převodník, firmy Analog Devices, postavený na architektuře sigma-delta. Maximální výstupní datová rychlost je 250 kSa/s a je nastavitelná od 5 Sa/s. Podporuje čtyřkanálový mód v případě single-ended vstupu, resp. dvoukanálový mód pro diferenciální vstup. Přepínání kanálů je provedeno pomocí multiplexeru, který umožňuje jejich automatické přepínání. V tomto režimu, při využití všech 4 single-ended vstupů, je maximální výstupní datová rychlost 50 kSa/s. Každý kanál má své vlastní nastavení.

Tento AD převodník umožňuje využití celkem tří kalibračních módů, sloužících pro eliminaci vnitřní chyby offsetu a zisku. Spuštěním kalibrace při nižší nastavené výstupní datové rychlosti se dosáhne lepších výsledků kalibrace pro všechny výstupní datové rychlosti [39].

Obvod AD7175-2 obsahuje následující registry:

STATUS

Je 8bitový registr obsahující informace o stavu AD převodníku a rozhraní SPI. Jedná se například o informace o chybách, připravenosti dat po konverzi s informací, ze kterého kanálu převedený vzorek pochází. Jeho obsah je určen pouze ke čtení.

ADC MODE

Umožňuje nastavit zdroj hodinového signálu, zpoždění mezi počátky jednotlivých měření v rozsahu 0 až 1 ms, využití interní napěťové reference a nastavení módu AD převodníku. Módy AD převodníku se rozumí kontinuální AD převod, jednorázový AD převod, standby a power-down mód, z důvodu snížení spotřeby při nečinnosti, a tři režimy kalibrace, které jsou popsány níže.

IFMODE

Tento registr slouží k nastavení sériového rozhraní SPI, jako například kontrola datové integrity registrů, aktivace výpočtu CRC při čtení nebo zápisu do registrů nebo proudové posílení datových pinů při rychlé komunikaci s nízkými logickými úrovněmi a větší kapacitou datových spojů.

REGISTER CHECK

Obsahuje 24bitový výsledek kontroly uživatelských registrů, provedené pomocí operace XOR. Slouží pouze pro čtení.

DATA

Registr sloužící k uložení výsledných dat po dokončení převodu, případně kalibrace. Slouží pouze pro čtení.

GPIOCON

Registr umožňující nastavení a řízení dvou vstupně výstupních pinů AD převodníku. Tyto piny nejsou v aktuálním zapojení využity.

ID

16bitový registr s hodnotou identifikující obvod AD7175-2, konkrétně 0x0CDX. Pouze pro čtení.

CHx

Pro nastavení vstupů jednotlivých kanálů skrze multiplexer, povolení kanálu a přiřazení patřičné konfigurace ke kanálu.

SETUPCONx

Obsahuje nastavení analogových bufferů pro vstupy a napěťovou referenci, volbu výstupního kódu (unipolární, bipolární) a nastavení reference. Nastavení v tomto registru lze pak přiřadit jednotlivým kanálům pomocí výše popsaného registru CHx.

FILTCONx

Umožňuje nastavit výstupní datovou rychlost a parametry použitého filtru.

OFFSETx

V tomto registru je uložena hodnota, která je použita pro kompenzaci offsetu.

GAINx

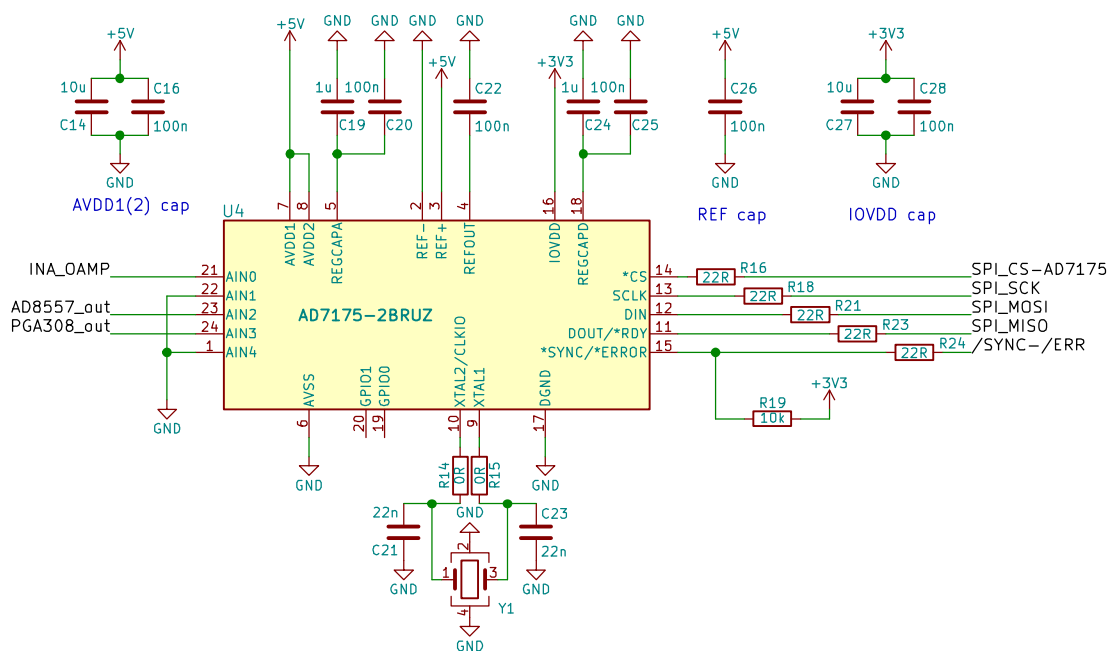
Obsahuje hodnotu, která je použita při kompenzaci chyby zisku.

2.1.3 Zapojení

Zapojení s obvodem AD7175-2, které je použito v navržené analogové části, je na obrázku č. 2.2. Kromě samotného AD převodníku je poměrně významným prvkem krystal Y1 s frekvencí 16 MHz. Pomocí nulových rezistorů R14, R15 lze krystal odpojit nebo připojit, čehož může být využito při testování. Referenční a napájecí piny jsou patřičně zablokovány kondenzátory na základě datasheetu použitého obvodu. Na základě konzultace byly napájecí vstupy AVDD1 a AVDD2 spojeny a zablokovány společnou dvojicí kondenzátorů. Rezistory na datových linkách SPI a pinu /ERR zde jsou z důvodu ochrany. Využité vstupy AD převodníku jsou tři:

- INA_OAMP – výstup z diskretního přístrojového zesilovače
- AD8557_OUT – výstup z přístrojového zesilovače AD8557
- PGA308_OUT – výstup z přístrojového zesilovače PGA308

Analogová část AD převodníku je napájena napětím 5 V a digitální část napětím 3,3 V z důvodu kompatibility s napěťovými úrovněmi digitálních pinů na použité vývojové desce. Rezistor R19 slouží jako pull-up rezistor pro správnou funkci pinu /ERR, který je typu open drain.



Obrázek 2.2 Zapojení s AD převodníkem AD7175-2

2.2 Zesilovač

Blok s názvem zesilovač je tvořen třemi přístrojovými zesilovači. První je složen z diskretních součástek a operačních zesilovačů a slouží jako reference při porovnávání zbylých dvou zesilovačů. Jedná se o klasické zapojení přístrojového zesilovače se třemi OZ.

Další dva zesilovače jsou digitálně řízené integrované přístrojové zesilovače s nastavitelným ziskem, jejichž výrobci jsou Analog Devices a Texas Instruments. Cílem je vybrat, na základě testovacího měření, jeden z těchto zesilovačů.

Pro finální výběr byly upřednostněny obvody, u kterých byla udána většina potřebných parametrů nutné k posouzení. Tabulka č. 2.2 obsahuje pouze vybrané parametry. V rámci elektronické přílohy je pak uveden celkový přehled obsahující více parametrů. Ve výsledku byly vybrány pro posouzení obvody dva – AD8557 od výrobce Analog Devices a PGA308 od výrobce Texas Instruments. Ostatní obvody buď parametry uvedeny neměly, nebo se jedná o obvody svými vlastnostmi velmi podobné. Zesilovač PGA308 je navíc aplikačně určen přímo pro můstková měření s tenzometry.

Tabulka 2.2 Zkrácený přehled digitálně řízených přístrojových zesilovačů

Název	Šum [nV/√Hz]	Šířka pásma [kHz]	Offset [mV]		CMRR [dB]	
			typ.	max.	min.	typ.
VCA2615	0,80	50000	-	-	-	-
AD605	1,80	40000	-	-	-20 (CMR _{AC})	-
AD8370	1,90	750000	-	-	-	77
AD8369	2,00	600000	-	-	-	-
PGA5807A	2,10	75000	-	-	-	-
VCA2617	4,10	50000	±50	-	-	-
VCA2616	4,20	80	-	-	-	50
AD8330	5,00	150000	1	-	-	-60 (CMR _{AC})
AD8338	15,00	18000	-	10	-	-
AD8231	32,00	2500	0,004	0,015	110	-
AD8556	32,00	2000	0,002	0,01	80	92
AD8557	32,00	2000	0,002	0,012	75	85
PGA308	50,00	400	±0,005	±0,04	-	-

Na výstupu zesilovače je připojen RC filtr typu dolní propust (integrační členek), jehož mezní kmitočet je dán vztahem č. 2.1. Hodnota mezního kmitočtu byla stanovena konzultantem na základě jeho zkušeností s tezometrickými měřeními.

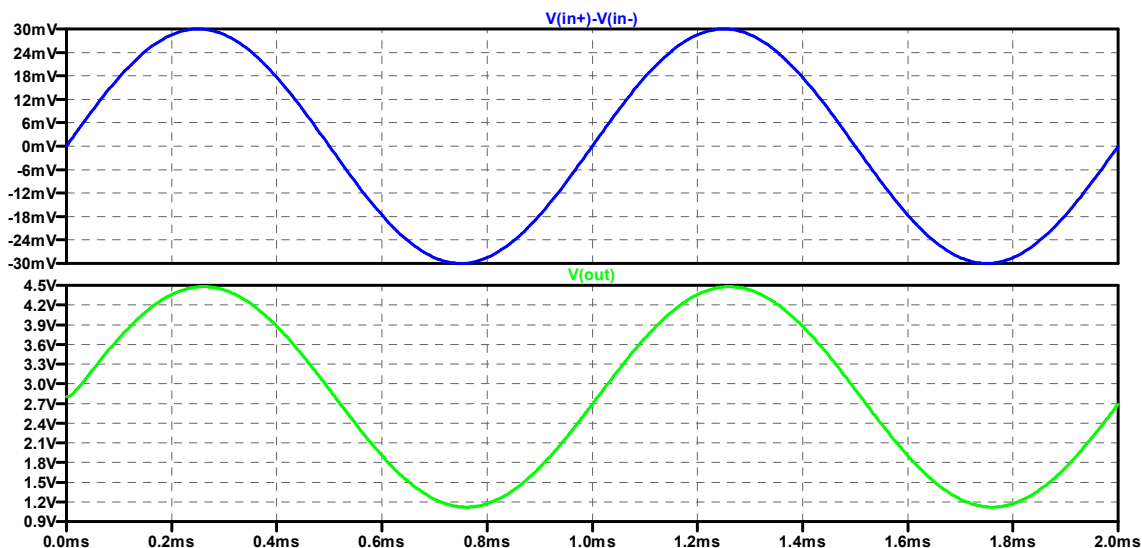
$$f_m = \frac{1}{2 \cdot \pi \cdot R \cdot C} \quad (2.1)$$

kde R je velikost odporu rezistoru v Ω a C velikost kapacity kondenzátoru ve F.

2.2.1 Diskrétní přístrojový zesilovač

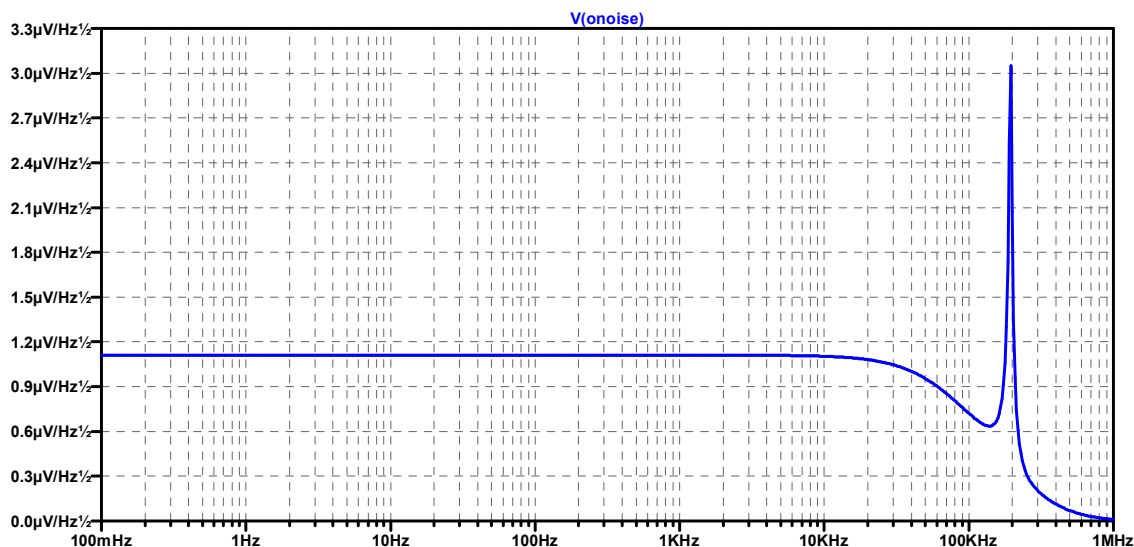
V případě tohoto zesilovače se jedná o klasické zapojení přístrojového zesilovače, na obrázku č. 2.3, včetně obvyklých hodnot součástek. Všechny použité operační zesilovače ADA4528-2 jsou uzpůsobené k napájení nesymetrickým napětím. Rozšíření

tohoto zapojení vychází z využívaných zapojení v rámci zadávající firmy a konkrétně se jedná o zapojení na obrázku č. 2.4, které zajišťuje stejnosměrné předpětí pro možné vyvážení zesilovače a dále o dva rezistory R33 a R34, což se osvědčilo v mnoha zapojeních zadavatelské firmy. Pro toto zapojení byly využity přesné rezistory s tolerancí 0,05 % a teplotním koeficientem 10 ppm/°C. a to především kvůli omezení jejich vlivu na celkový šum tohoto zesilovače. Tyto rezistory byly zvoleny od stejného výrobce, ze stejné produktové řady, aby byla zajištěna téměř totožná změna jejich parametrů vlivem změny okolních vlivů (především teploty).



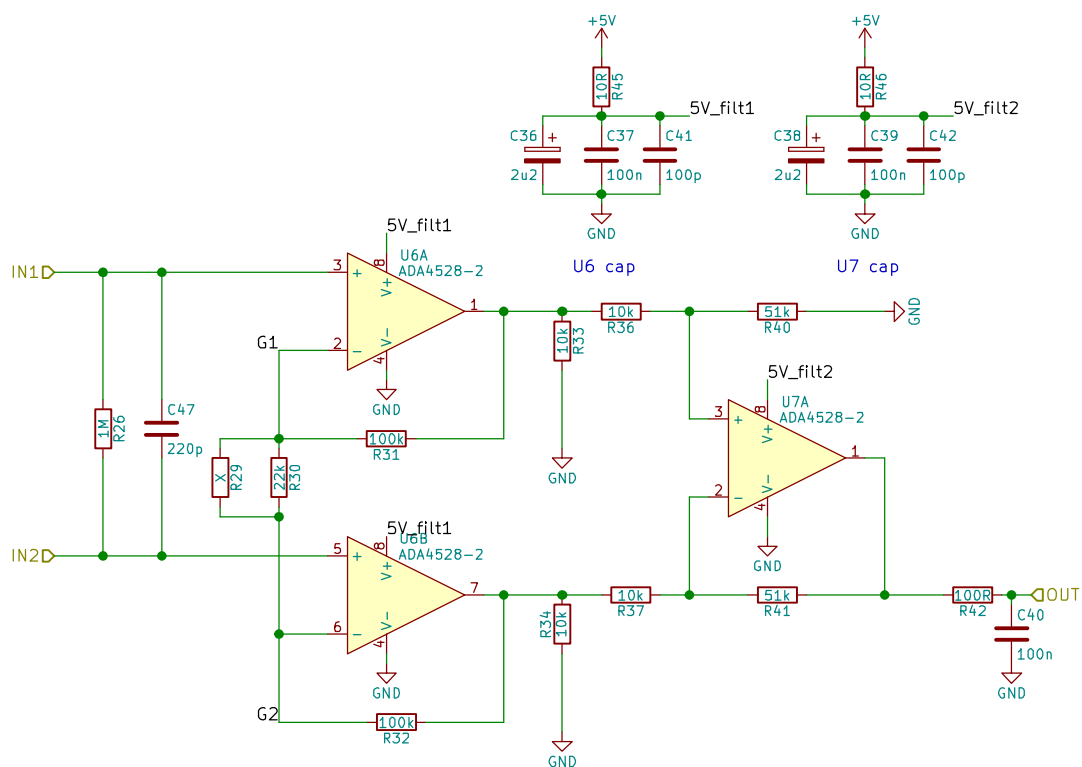
Obrázek 2.3 Časový průběh vstupního a výstupního napětí diskretního přístrojového zesilovače - simulace

Použité operační zesilovače ADA4528-2 se vyznačují velmi nízkým offsetovým napětím, vysokým potlačením souhlasného napětí a především eliminovaných nízkofrekvenčním šumem ($1/f$), který je pomocí metody takzvaného choppingu eliminován, viz kapitola 1.3. Spektrální hustota šumu je pak, na rozdíl od jiných operačních zesilovačů, na nízkých frekvencích téměř konstantní [40]. Proto jsou velmi vhodné pro použití v aplikacích stejnosměrných a nízkofrekvenčních signálů. Tento operační zesilovač využívá metodu potlačení nízkofrekvenčního šumu a offsetového napětí již ve stejnosměrném pásmu, kdy dochází ke zpětné demodulaci těchto rušivých vlivů a jejich následné korekci přímo v prvním (vstupním) zesilovači. Vstupní signál s frekvencí blízkou nebo totožnou s frekvencí f_{chop} (o hodnotě 200 kHz), je propuštěn přes paralelní trasu s dalším zesilovačem tak, aby nedošlo k potlačení tohoto signálu vlivem funkce zpětnovazebního obvodu [20]. Na obrázku č. 2.4 je vidět simulovaná závislost šumové spektrální hustoty na frekvenci pro použité zapojení vztažená k výstupu.

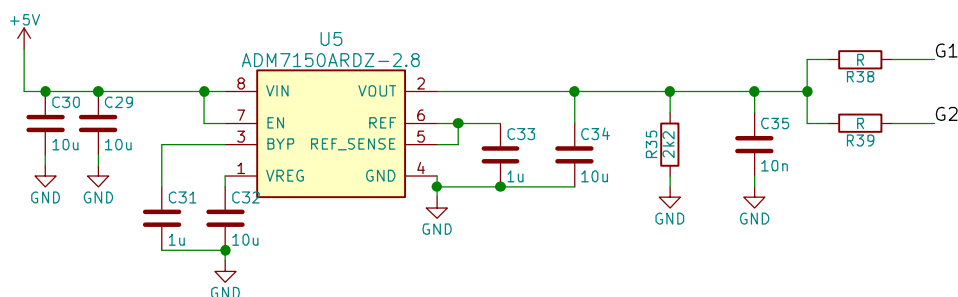


Obrázek 2.4 Závislost šumové spektrální hustoty na frekvenci, ADA4528-2, simulace

Na frekvenci 200 kHz je vidět očekávaná špička, která je způsobena právě chopping frekvencí [20]. Šumová spektrální hustota je i v oblasti, nízkofrekvenčního šumu konstantní a stejná jako ve frekvenční oblasti šumu širokopásmového.



Obrázek 2.5 Zapojení diskrétního přístrojového zesilovače



Obrázek 2.6 Zapojení napěťového stabilizátoru pro vyvážení přístrojového zesilovače

Z hlediska potřeby výstupního common-mode napětí pro následné měření DC šumu, bylo využito nízkošumového napěťového stabilizátoru U5, jehož výstupní napětí bylo připojeno na druhý pól rezistoru R40, původně připojeného na GND.

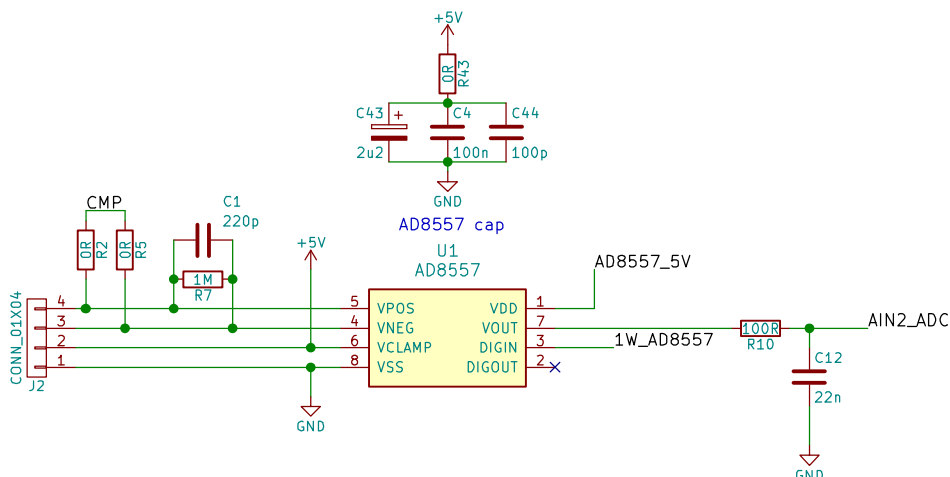
2.2.2 AD8557

Na obrázku č. 2.5 je zapojení s použitým obvodem programovatelného zesilovače AD8557. Oproti základnímu zapojení, kde je třeba připojit pouze blokovací kondenzátory o vhodně zvolených velikostech kapacity (viz zapojení), je zapojení rozšířeno o:

- Dvojici nulových rezistorů na diferenciálním vstupu pro připojení stejného napěťového potenciálu, čehož lze využít při testovacím měření a zjištění nežádoucích vlastností
- Paralelní kombinaci rezistoru a kondenzátoru připojených mezi vstupy zesilovače
- Nulový rezistor pro případné odpojení obvodu od napájení
- Výstupní RC filtr s mezní frekvencí 72,3 kHz, sloužící pro omezení šířky pásma

Obvod umožňuje digitální nastavení zisku a vyrovnání případného offsetového napětí. Komunikace probíhá přes sběrnici 1Wire (One wire). Zesílení je nastavováno pro dvě části zesilovače, jak je popsáno v kapitole č. 1.3. Pro vstupní část je zesílení nastavováno od hodnoty 2,8 do 5,2 po kroku přibližně 0,19. Pro výstupní část je zesílení možné nastavit v rozsahu od 10 do 250 v osmi krocích. Celkové zesílení se tedy pohybuje v rozsahu od 28 do 1300.

Registry jsou naprogramovány vysláním 38bitového sériového datového slova. Při testování bude využíváno takzvaného simulačního módu. V tomto módu je možné dočasně změnit vybrané parametry, které jsou platné, dokud nejsou opětovně programově změněny, nedojde k odpojení napájení nebo dokud není provedena trvalá a nevratná konfigurace (master fuse).

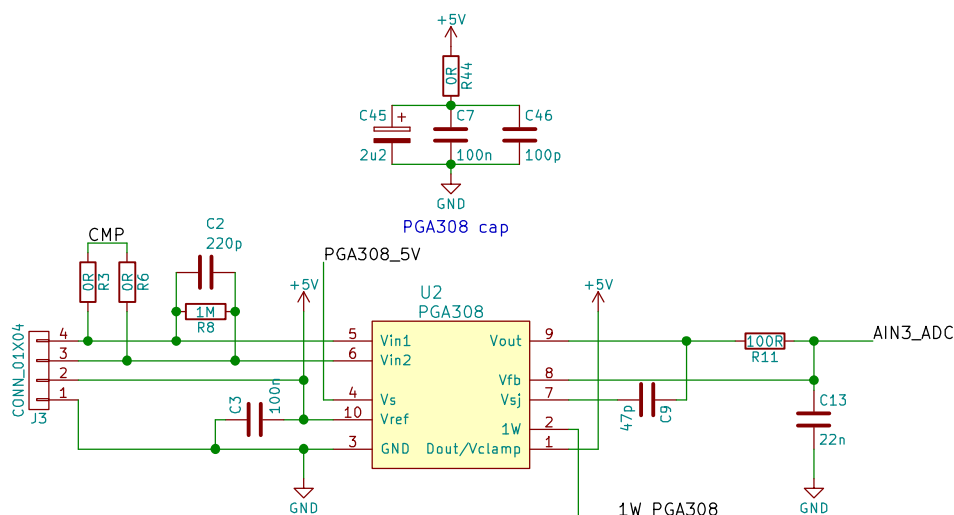


Obrázek 2.7 Zapojení digitálně řízeného přístrojového zesilovače AD8557

2.2.3 PGA308

Zapojení programovatelného zesilovače PGA308, na obrázku č. 2.6, je prakticky obdobné jako u AD8557 výše. Tento zesilovač je navržen pro přímé použití s můstkovými senzory, čemuž odpovídají rozsáhlé možnosti nastavení. PGA308 umožňuje kompenzovat offset připojeného senzoru s jemným a hrubým krokem. Offset na vstupu zesilovače je možné kompenzovat napětím v rozsahu ± 100 mV. Zbytkový offset je zkorigován vnitřním 16bitovým DA převodníkem. Referenční napětí je přivedeno přes samostatný vývod. Nastavení zesílení probíhá ve třech blocích. Zesílení vstupní části je možné nastavit v rozsahu od 4 do 1600 v 16 krocích. Zesílení výstupní části v rozsahu 2 až 6 v 7 krocích. Oproti AD8557 je zde i třetí blok, umístěný mezi vstupní a výstupní částí a umožňuje nastavit zesílení v rozsahu od 0,333 do 1 pomocí 16bitového DA převodníkem. Celkové zesílení je tedy možné nastavit v rozsahu od 2,67 do 9600.

Programování obvodu probíhá přes sběrnici 1Wire, které je v tomto případě kompatibilní se sběrnici UART. PGA308 obsahuje dva paměťové bloky: paměť RAM a OTP (One Time Programmable) registry. OTP registry slouží k trvalému uložení hodnot pro vnitřní registry. Je také možné programovat přímo registry v paměti RAM, čehož je využito v tomto případě pro testování, stejně jako u AD8557. Pro tento stav je potřeba aktivovat takzvaný Software Lock Mode.



Obrázek 2.8 Zapojení digitálně řízeného přístrojového zesilovače PGA308

2.3 Napájecí obvod

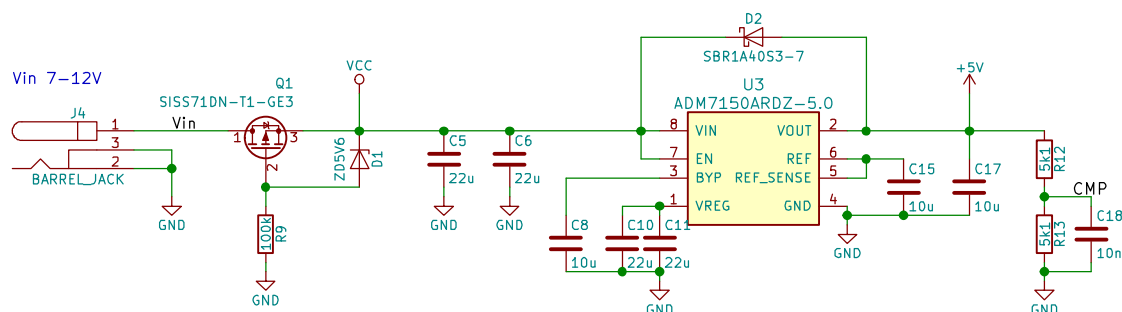
Napájení celé analogové části je řešeno zapojením na obrázku č. 2.7. Vstupní napětí z konektoru DC Jack je vedeno do jednoduchého obvodu ochrany proti přepólování, tvořeného tranzistorem Q1, zenerovou diodou D1 a rezistorem R9. Napětí z uzlu za touto ochranou je vedeno na napájecí pin Vin digitální vývojové desky. Pro účely napájení analogové části je zde ještě využit lineární stabilizátor U3. Ten poskytuje na svém výstupu fixní napětí o velikosti 5 V. Jedná se o napěťový nízkošumový LDO stabilizátor, který je zapojen dle doporučeného zapojení. Oproti doporučenému zapojení jsou hodnoty kapacit kondenzátorů zvýšeny z důvodu dosažení nižšího zvlnění a zlepšení šumových vlastností. Pro zvýšený odvod tepla z pouzdra je na spodní straně pájecí ploška – powerpad.

Maximální úbytek na stabilizátoru U3 bude v nejhorším případě 7 V. Maximální možný kontinuální proudový odběr, dle údajů v datasheetu, pro všech šest integrovaných obvodů, tímto stabilizátorem napájených, by neměl překročit v součtu hodnotu 40 mA. Při tomto proudovém odběru je maximální ztrátový výkon na stabilizátoru U3 280 mW. Vzhledem k této hodnotě a dále vzhledem k chladicí schopnosti plošného spoje, který je čtyřvrstvý, není zapotřebí uvažovat o dalších možnostech chlazení. Chladicí plocha tohoto plošného spoje pro stabilizátor U3 s jistotou dosahuje plochy minimálně 500 mm², pro jejíž velikost je poté dle datasheetu velikost teplotního odporu θ_{JA} mezi samotným polovodičovým čipem a okolním vzduchem 69,8 °C/W [41]. Z této hodnoty ztrátového výkonu a uvažované teploty okolního vzduchu lze vypočítat přibližnou hodnotu teploty polovodičového čipu dle vztahu

$$T_J = T_A \cdot (P_D \cdot \theta_{JA}), \quad (2.2)$$

kde T_A je teplota okolního vzduchu ve °C, P_D je ztrátový výkon na stabilizátoru ve W.

Tato teplota pak dosahuje hodnoty 44,5 °C, což je přibližně 3krát méně, než maximální povolená pracovní teplota 150 °C, při jejímž překročení o 5 °C zareaguje teplotní ochrana a obvod se vypne.



Obrázek 2.9 Zapojení napájecí části

2.4 Analogová část

Pro navržené celkové schematické zapojení analogové části, které je zobrazeno v příloze A.1, byla navrhnutá deska plošných spojů. Návrh proběhl v k tomu určeném a volně dostupném nástroji KiCad.

Velikost DPS je 95 x 72 mm. Jedná se o čtyřvrstvou desku, kde dvě vnitřní vrstvy jsou napájecí a dvě vnější jsou signálové. Deska rozšířena z jedné strany z důvodu získání většího prostoru pro rozmístění všech komponent, jelikož se jedná o prototyp. Z hlediska napájení jsou rozvedeny dvě napěťové úrovně: 3,3 V (digitální část AD převodníku) a 5 V. Z hlediska EMC a charakteru zapojení nebyly provedeny žádné speciální úpravy, vyjma snahy o routování spojů (a umísťování součástek) na stranu odvrácenou od digitální vývojové desky, z důvodu maximálního odstínění možného rušení od rychlých hodinových signálů na digitální desce.

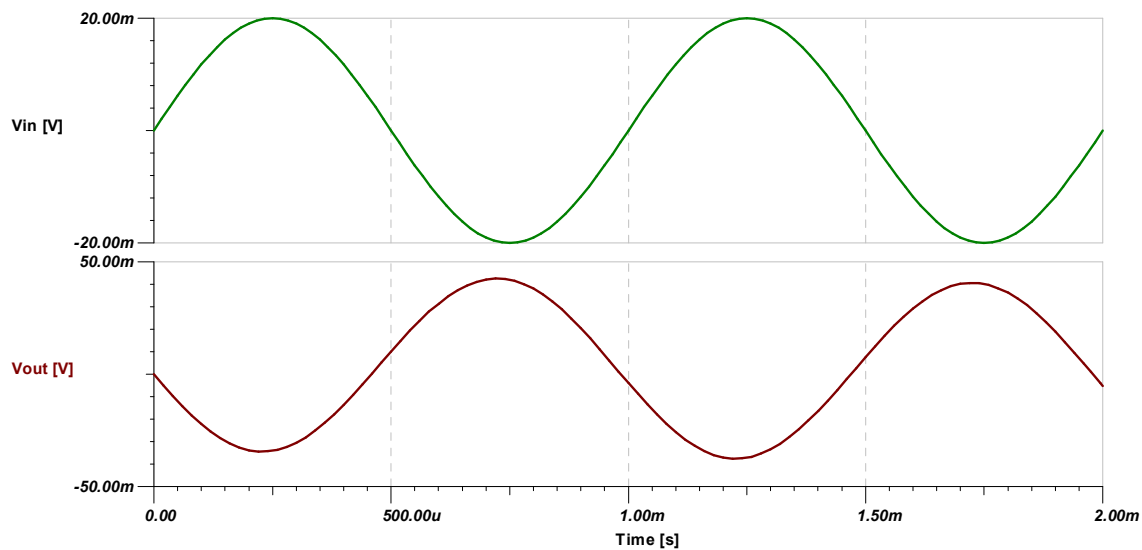
Analogová a digitální zem je oddělena a její spojení je provedeno v oblasti napájecího stabilizátoru a vstupního napájecího konektoru. Jedná se o běžnou techniku v rámci kreslení plošných spojů z hlediska zamezení pronikání rušení z digitální do citlivé analogové části.



Obrázek 2.10 DPS analogové části – top, bottom

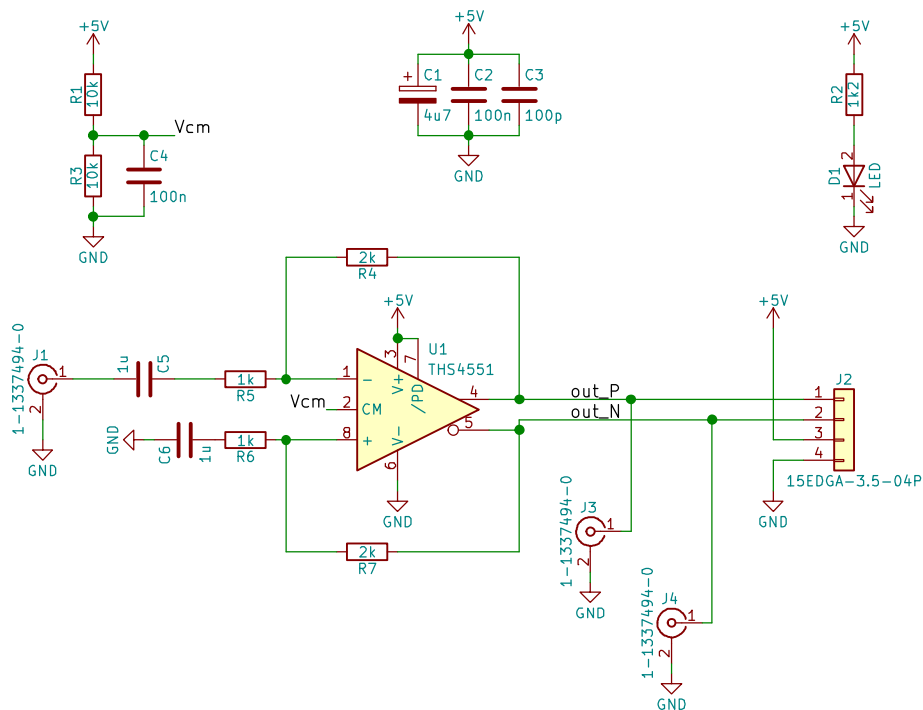
2.4.1 Diferenciální zesilovač

Pro testování dynamických vlastností základního měřicího řetězce bylo zapotřebí na jeho vstup přivést harmonický diferenciální signál. K tomu účelu byl vybrán diferenciální zesilovač (FDA, fully differential amplifier) THS4551 od firmy Texas Instruments, v zapojení, jež umožňuje vytvořit diferenciální signál ze vstupního single-ended signálu. Zapojení vychází ze zapojení uvedené v datasheetu k použitému obvodu. Kondenzátory C5 a C6 tvoří vstupní střídavou vazbu pro odstranění jakéhokoli offsetu zdroje vstupního signálu. Doplněno je o LED diodu signalizující připojení napájení a o napěťový dělič s výstupem připojeným na pin CM zesilovače, kterým je nastaveno výstupní common-mode napětí a dále BNC konektory připojeny na výstup zesilovače, k dalšímu zpracování výstupního signálu (resp. vstupního pro měřicí řetězec), ty ovšem nejsou osazeny z důvodu problémů s dodáním. Tyto konektory slouží pouze pro zobrazení výstupního signálu z toho zesilovače na osciloskopu. Simulace tohoto obvodu byla provedena v simulačním programu TINA-TI od výrobce obvodu. Výsledný časový průběh této simulace je zobrazen na obrázku č. 2.11. Hodnota zesílení je nastavena na 2, vzhledem k faktu, že při nižších hodnotách zesílení převyšuje přenosová frekvenční charakteristika zesilovače, v oblastech řádově desítek MHz, hodnotu nastaveného zesílení [42]. Tato deska může být připojena přímo do jednoho ze tří vstupních konektorů na desce analogové části, odkud je také přivedeno napájecí napětí 5 V pro zesilovač.



Obrázek 2.11 Časový průběh vstupního a výstupního napětí diferenciálního zesilovače - simulace

Stejně jako u obvodu diskretního přístrojového zesilovače bylo využito precizních rezistorů s tolerancí 0,01 % a teplotním koeficientem 5 ppm/°C.



Obrázek 2.12 Zapojení diferenciálního zesilovače

2.5 Digitální část

2.5.1 Vývojová deska STM32F746G-DISCO

STM32F746G-DISCO (viz obrázek č. 2.9) je vývojová deska od firmy ST Microelectronics osazená mikrokontrolérem STM32F746G s jádrem Cortex-M7. Cena desky je přibližně 1 500 Kč. V aplikaci nejsou využity všechny možnosti, které deska nabízí. Jako většina dnešních obdobných vývojových desek nabízí možnost připojení volitelných desek s Arduino kompatibilní pinovou lištou.



Obrázek 2.13 Vývojová deska STM32F746G-DISCO, převzato z [43]

Kromě primárního nástroje Systém Workbench for STM32, jakožto primárního nástroje pro vývoj, má deska podporu i v online nástroji Mbed.org.

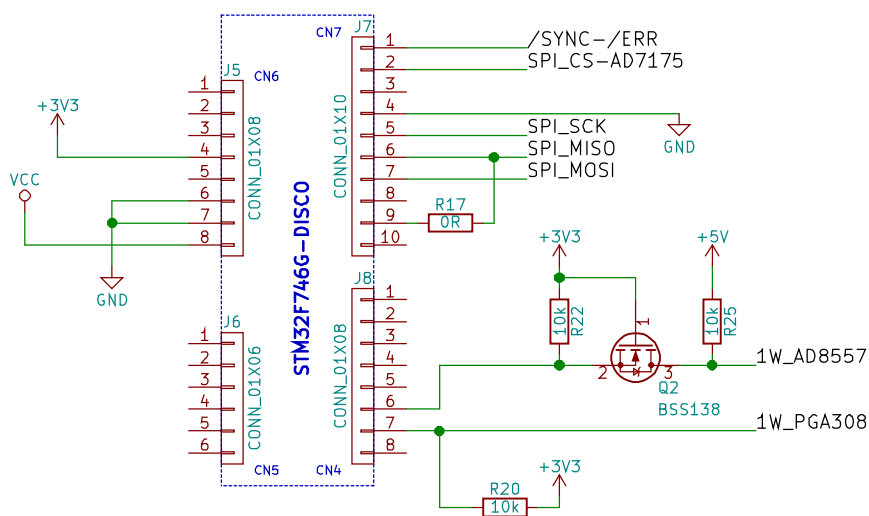
Deska je napájena napětím 5 V, volitelně z USB sloužící pro programování, dvou USB OTG, z pinové lišty Arduino kompatibilní, případně externím konektorem. Sama je schopna pro externí aplikace poskytnout napájecí napětí 5 V nebo 3,3 V s proudem závislým na použitém napájecím zdroji (limitujícím faktorem je stabilizátor napětí na 3,3 V případně 5 V v závislosti na vstupním napětí).

Z hlediska využití v aplikaci se nabízí tyto periferie:

- Obvod fyzické vrstvy Ethernetu a konektorem RJ45
- Virtuální COM port v rámci USB ST-LINK/V2-1
- 128 Mbit SDRAM (využitelná šířka adresní sběrnice 16 bitů)
- Konektor pro microSD kartu
- LCD displej s dotykovou vrstvou

Na obrázku č. 2.10 níže, je schematické znázornění pinové lišty na výše popsané použité vývojové desce. Výstup 3,3 V z pinové lišty slouží pro napájení digitální části AD převodníku. Na pin 9 může být pomocí nulového rezistoru paralelně přiveden signál MISO ze sběrnice SPI. Piny 2, 5, 6 a 7 lišty J7 jsou využity pro komunikaci s AD převodníkem po sběrnici SPI. Pin 1 slouží jako informace o případné chybě v rámci AD převodníku. Zapojení tranzistoru Q2 s R22 a R25 slouží jako obousměrný převodník logických úrovní pro komunikační linku s programovatelným zesilovačem AD8557. Pin 7 je připojen k datovému vstupu programovatelného zesilovače PGA308, ten je typu

open drain, proto je k němu také připojen pull-up rezistor R20.



Obrázek 2.14 Zapojení pinové lišty Arduino z pohledu desky analogové části

2.5.2 STM32F746NG

STM32F746NG je 32bitový mikrokontrolér rodiny STM32F7 od firmy STMicroelectronics. Je založený na jádru ARM Cortex M7 s redukovanou instrukční sadou (RISC) s maximální frekvencí jádra až 216 MHz. Popis obecných bloků jádra a vybraných bloků využívaných mikrokontroléry založených na jádru ARM je uveden v kapitole č. 1.5. Velikost vnitřních pamětí je následující: FLASH – 1MB, SRAM – 320 kB. Obsahuje řadu vnitřních IO periférií, které jsou využity při komunikaci. Jedná se například o blok SPI, FMC, Ethernet MAC a jiné.

V rámci použité vývojové desky je připojení pinů dle následující tabulky č. 2.3.

Tabulka 2.3 Propojení MCU s PGA a ADC

Pin MCU	IO – Pin
PB_8	AD7175-2 – ~SYNC/~ERR
PB_9	AD7175-2 – /CS
PI_1	AD7175-2 – SCK
PB_14, PA_15	AD7175-2 – DOUT/~RDY
PB_15	AD7175-2 – DIN
PG_6	AD8557 – DIGIN
PC_6	PGA308 – 1W

2.5.3 SDRAM

Vzhledem k parametrům AD převodu a požadavku na délku záznamu, je třeba zajistit vhodnou velikost paměti pro uložení odebraných vzorků. Krom její volné kapacity musí být tato paměť také dostatečně rychlá, aby stíhala data ukládat. Při rychlosti AD převodníku 250 kSa/s a rozlišení 24 bitů, odpovídá celkový datový tok rychlosti 6 Mbit/s. Požadavek na minimální délku trvání záznamu je 1 sekunda. Celkový objem dat, nahromaděný za tento čas, je tedy 6 Mbit. Paměť typu Flash na použitém procesoru má kapacitu 1 MByte, což teoreticky z hlediska kapacity dostačuje, nicméně prakticky je paměť Flash obsazena jinými provozními daty. SRAM paměť na procesoru je z hlediska své kapacity (320 kB) absolutně nedostačující.

Pro ukládání vzorků byla zvolena paměť typu SDRAM, osazená na použité vývojové desce. Použitý obvod je MT48LC4M32B2B5-6A s šířkou sběrnice 32 bitů a rychlostí 166 MHz. Kapacita této paměti je 128 Mbitů, adresovatelný prostor dosahuje kapacity pouze 64 Mbitů (nejsou připojeny všechny adresní piny). Tato paměť vyhovuje jak svou rychlostí, tak i kapacitou, přičemž by bylo možné do ní teoreticky uložit až 16 sekund záznamu. V případě snížené kapacity pouze však maximálně 8 sekund záznamu při plné výstupní datové rychlosti AD převodníku.

2.5.4 Ethernet

Jako datové komunikační rozhraní, zajišťující přenos dat, získaných měřeními, do PC byl zvolen Ethernet s rychlostí 100 Mbit/s a síťovým protokolem UDP. Tento výběr byl proveden na základě již využívaných komunikačních rozhraní v zadavatelské firmě OZM Research. Použitá digitální vývojová deska toto rozhraní taktéž podporuje, což značně usnadnilo vývoj firmwaru, který tak bude snáz přenositelný na finální zařízení nebo jeho případnou další prototypovou verzi.

2.6 Firmware

V prvotní fázi tvoření řídicího firmwaru bylo na doporučení zadavatele využito online vývojové prostředí Mbed.org, které umožnilo vznik základního konceptu a dále seznámení se s využitými komponenty vývojové desky. Toto prostředí využívá programovacího jazyku C++, nicméně bylo převážně využíváno jazyku C. Při rozšiřování projektu se toto prostředí ukázalo jako méně vhodné pro komplexnější design, kde je kombinováno více periférií a knihoven.

V rámci této fáze vznikla velká část grafického uživatelského rozhraní, funkce pro řízení programovatelných přístrojových zesilovačů a AD převodníku a funkce pro obsluhu paměťové SD karty. Ethernetová komunikace v tomto prostředí nebyla zprovozněna, jelikož v době tvoření tohoto firmwaru nebyly v Mbed.org k dispozici knihovny sloužící k obsluze ethernetového rozhraní pro řadu mikrokontrolérů STM32F7.

V druhé části došlo k přenosu stávajícího firmwaru do vývojového prostředí SystemWorkbench for STM32 od firmy STM a k jeho dalšímu rozšiřování. Při práci v tomto prostředí bylo využíváno pouze jazyku C. K vygenerování počátečního kódu s nastavením systémových hodin a vybraných periférií byl využit program

STM32CubeMX, taktéž od STM. Vzhledem k dalším úpravám kódu není udržována zpětná kompatibilita s již zmíněným STM32CubeMX, což však nebylo zapotřebí. Díky přechodu do jiného prostředí s využitím HAL knihoven (LL i CMSIS v některých částech kódu) je možné, na rozdíl od Mbed.org, jednoduše přistupovat k jakýmkoliv periferiím MCU.

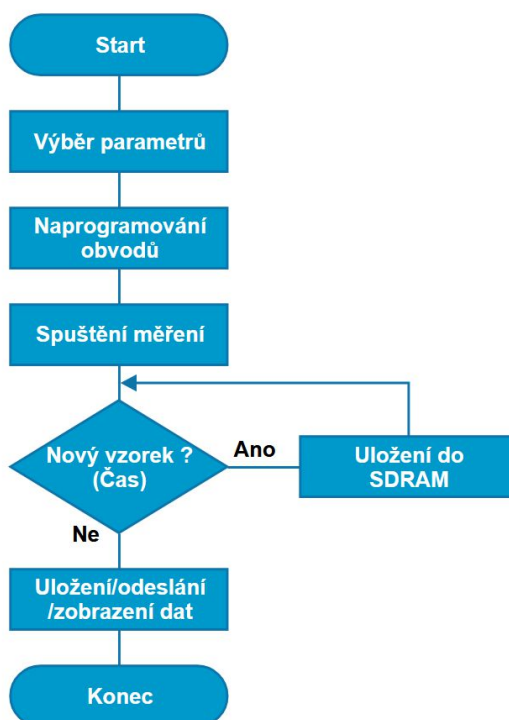
2.6.1 Základní struktura programu

Hlavní funkce main() je rozdělena do následujících částí

- Inicializace periferií
- Naplnění struktur konfiguračními daty pro jednotlivé obvody
- Počáteční konfigurace a kalibrace AD převodníku
- Nekonečná smyčka

Pro každý programovatelný obvod (AD převodník a dva PGA) a samotné měření je vytvořena struktura, obsahující datové pole s parametry, které lze v rámci GUI nastavit a číselná proměnná, odpovídající zvolené hodnotě v poli pro jednotlivé parametry. Po inicializaci všech periferií dojde k naplnění struktur uživateli definovanými daty.

Na obrázku č. 2.15 je vývojový diagram vystihující hlavní myšlenku činnosti programu.



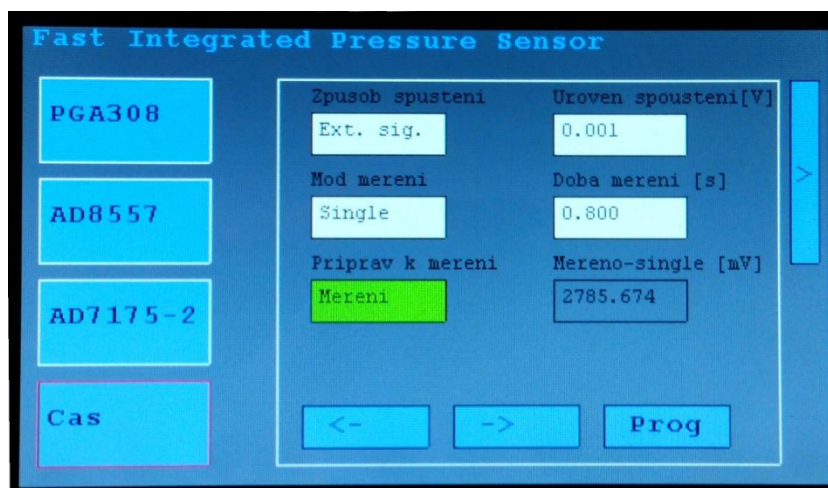
Obrázek 2.15 Vývojový diagram základní myšlenky hlavního programu

Na začátku programu jsou definovány parametry pro nastavení zesilovačů, AD převodníku a také samotného měření. V této fázi jsou parametry zadány přímo v programu nebo uživatelem pomocí dotykového LCD displeje. Ve finále budou

parametry nastaveny napevno v programu v závislosti na použitém senzoru a charakteru měřené veličiny. Na základě vstupních parametrů je nakonfigurován patřičný obvod – AD převodník přes SPI, PGA přes 1Wire. Měření se spustí na základě externího spouštěcího impulsu nebo úrovně měřené veličiny. Získané vzorky jsou postupně ukládány do paměti typu SDRAM (minimálně v této fázi bez využití DMA řadiče). Po ukončení měření, dle volby obsluhy, jsou data z SDRAM přesunuta na paměťovou kartu SD (přes integrovaný SDMMC kontrolér), ze které je lze přesunout přímo do počítače. Dále mohou být data odeslány přes ethernetové rozhraní, pomocí protokolu UDP anebo zobrazeny v podobě jednoduchého grafu na LCD displeji.

2.6.2 GUI

Grafické uživatelské rozhraní, zobrazované na dotykovém LCD displeji vývojové desky s rozlišením 480x272, je vytvořeno za pomoci BSP knihovny od STM pro použitý displej. Toto rozhraní je tvořeno jednotlivými záložkami bočního menu (pro PGA, AD převodník a specifikace měření), pomocí kterých lze zobrazit a navolit jednotlivé parametry. Tyto parametry jsou zobrazovány v okně napravo od záložek menu. Na obrázku č. 2.16 je zobrazena ukázka vytvořeného GUI se zobrazenými parametry měření.



Obrázek 2.16 GUI – záložka s parametry měření

K vykreslování textu a veškerých prvků použitých v GUI jsou využity již zmíněné funkce BSP knihovny jako například **BSP_LCD_DrawRect**, sloužící k vykreslení obdélníku, jejímiž parametry jsou počáteční souřadnice, šířka a výška v pixelech. Počáteční souřadný bod na displeji se nachází v levém horním rohu. Příklad funkce pro vykreslení tlačítka může vypadat například následovně

```
void Tlacitko(int x_poz, int y_poz, int sirka, int vyska,
unsigned int barva, unsigned int barva_hrany)
{
    // Nastaveni barvy vyplne
    BSP_LCD_SetTextColor(barva);
    // Vykresleni plneho obdelniku
```

```

    BSP_LCD_FillRect(x_poz, y_poz, sirka, vyska);
    // Nastavení barvy okraje
    BSP_LCD_SetTextColor(barva_hrany);
    // Vykreslení prázdného obdelníku (okraje)
    BSP_LCD_DrawRect(x_poz, y_poz, sirka, vyska);
}

```

Detekce doteku se provádí pomocí funkcí BSP knihovny komunikující s řadičem dotykové vrstvy LCD displeje pomocí rozhraní I²C, konkrétně pomocí funkce **BSP_TS_GetState**, která zajistí z řadiče vyčtení informací o stavu a případných pozicích doteků, kterých může v jednom čase až 5. Souřadnice odpovídají souřadnicím LCD displeje pro vykreslování.

Pro snadnou identifikaci aktuálně zvoleného parametru nebo položky menu bylo vytvořeno jednoduché makro, zajišťující změnu barvy okraje tlačítek v případě jejich stisku. Pomocí jednoduchého ternárního výrazu je zjištěno, zdali bylo tlačítko menu stisknuto a dojde k jeho zvýraznění změnou barvy okraje.

```

#define ZVYRAZNENIMENU(menuTlacitko) ((tlacitko == menuTlacitko)
? LCD_COLOR_RED : LCD_COLOR_WHITE)

```

Popis a ovládání

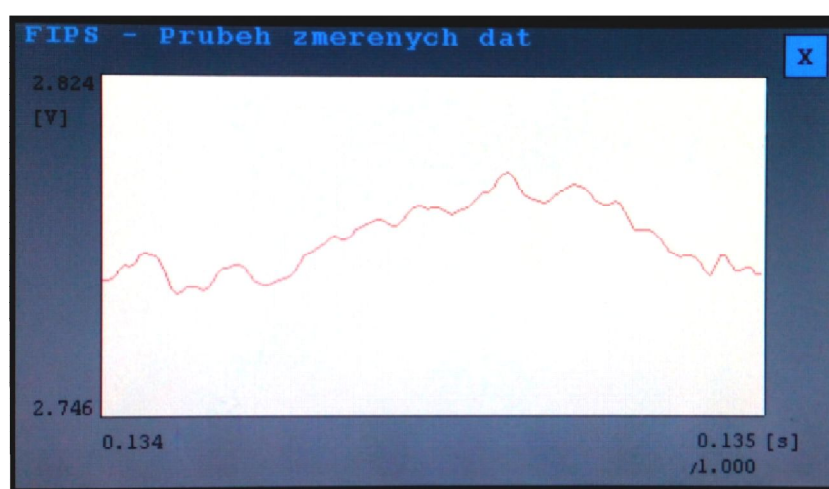
Při spuštění zařízení je nejprve potřeba zvolit, zdali obsluha chce využít přenosu dat přes Ethernet (pomocí protokolu UDP) jehož implementace je popsána v kapitole 2.6.7. Po tomto počátečním výběru jsou již zpřístupněny veškeré záložky menu. V záložkách „PGA308“ a „AD8557“ jsou obsaženy jednotlivé vybrané parametry pro konkrétní PGA, jejichž konfigurace je popsána v kapitole 2.6.3. Výběr konkrétního parametru se provede pomocí stisku patřičného okna s hodnotou, což je následně potvrzeno jeho zvýrazněním (červeným rámem). Hodnotu takto zvoleného parametru lze měnit pomocí tlačítek „<“ a „>“, níže. Po dokončení nastavení hodnot jednotlivých parametrů je potřeba obvod nakonfigurovat stiskem tlačítka „Prog“. To je nutné i v případě, že jsou počáteční parametry vyhovující a tudíž nejsou nijak měněny.

Záložka „AD7175-2“ obsahuje nastavení vstupních kanálů AD převodníku, ke kterým jsou připojeny přístrojové zesilovače. Kanály lze aktivovat pro měření, využít vstupní buffer a zvolit výstupní datovou rychlost aktivního kanálu. V této části vývoje je možné aktivovat pouze jediný kanál, jelikož jsou vstupy AD převodníku multiplexovány. Při případné aktivaci více kanálů, by došlo ke snížení maximální výstupní datové rychlosti na 50 kSa/s vlivem maximální rychlosti přepínání interního multiplexeru AD převodníku.

V záložce „Cas“ se nastavují parametry samotného měření a další způsob přenosu dat. Měření, resp. ukládání vzorků do paměti je možné spouštět dvěma způsoby, a to externím spouštěcím signálem, který je nyní simulován uživatelským tlačítkem na vývojové desce anebo samotnou úrovní měřeného signálu, která když nastavenou spouštěcí úroveň (nebo je jí rovna), dojde k spuštění ukládání vzorků. Dobu měření je možné nastavit v rozsahu od 1 ms po 7 s (z důvodu omezení počtu vzorků při maximální výstupní datové rychlosti). AD převodník lze nastavit do režimu kontinuálního měření a single měření, tedy převodu jediného vzorku, čehož se využije například při zjišťování aktuální hodnoty napětí na vstupu, například pro nastavení

vhodné spouštěcí úrovně při spouštění měření úrovní signálu. Hodnota změřená v single módu je zobrazena v okně „Mereno-single [mV]” v udaných jednotkách. Po ukončení kontinuálního měření je AD převodník nastaven do standby režimu. Po nastavení všech parametrů je potřeba stisknout zelené tlačítko „Měření“, kterým se z režimu nastavování parametrů přejde do režimu připravenosti systému k měření (v případě kontinuálního převodu) a dále se jen čeká na spouštěcí signál. V případě single převodu dojde se stiskem tohoto tlačítka k převodu a zobrazení hodnoty tohoto napětí.

V této záložce je napravo od okna zobrazující parametry tlačítko „>“, resp. „<“, kterým se lze přepnout do části zobrazující nastavení pro práci se změřenými daty. Konkrétně se jedná o zobrazení ethernetového protokolu (v aktuální fázi – UDP), možnost nastavení uložení změřených dat na SD kartu a orientační zobrazení změřených dat na grafickém displeji v podobě jednoduchého grafu.



Obrázek 2.17 Průběh změřených dat na LCD displeji

V případě, že je počet naměřených vzorků větší (společně s rozestupem pro zobrazení jednotlivých bodů) než šířka grafu, lze křivku jednoduše posouvat dotekem do oblasti vykreslování a tahem potřebným směrem. V případě, že je počet vzorků tak malý, že by ani při nastavené zobrazovací vzdálenosti mezi vzorky nebyla křivka přehledná, dojde k novému výpočtu vzdálenosti mezi body tak, aby byla křivka zobrazena přes větší část šířky grafu. Dále je křivka zobrazena takovým způsobem, aby byla optimálně využita výška zobrazovací plochy. Je tedy zobrazena od své minimální hodnoty po hodnotu maximální. Pro tento případ je v levém horním a dolním rohu grafu zobrazena minimální a maximální hodnota napětí, kterých křivka dosahuje. V dolním pravém a levém rohu jsou zobrazeny časové hodnoty, odpovídající začátku a konci zobrazované křivky, společně s celkovou délkou trvání v pravém dolním rohu.

Využití knihoven jako například STemWin a jejího nástroje GUIbuilder nebylo využito z důvodu možné velké náročnosti na paměť.

2.6.3 One Wire

Pro konfiguraci obvodu PGA308, resp. AD8557, komunikující přes rozhraní 1W, byly vytvořeny vlastní samostatné knihovny. Tyto knihovny obsahují stejnou funkci,

realizující vysílání přes 1W formou tzv. „bit banging“, kdy není využito hardwarové periferie, ale jde pouze o nastavování konkrétní logické úrovně na pinu MCU s určitým časováním a podobně. Obvod PGA308 podporuje také komunikaci přes UART rozhraní, nicméně tato možnost nebyla využita z důvodu počátečních komplikací se správnou konfigurací obvodu a také z důvodu funkčnosti konfigurace obvodu AD8557, která byla tedy pro PGA308 také využita.

Pro každý obvod je vytvořena struktura obsahující hodnoty nastavitelných parametrů a k nim přiřazené hodnoty jednotlivých vnitřních registrů a také číslo, označující, který konkrétní parametr je zvolen pro konfiguraci. Hodnoty registrů jsou při konfiguraci separovány na jednotlivé bity a uloženy do pole, které je předáno funkci sloužící pro jeho vyslání do patřičného obvodu.

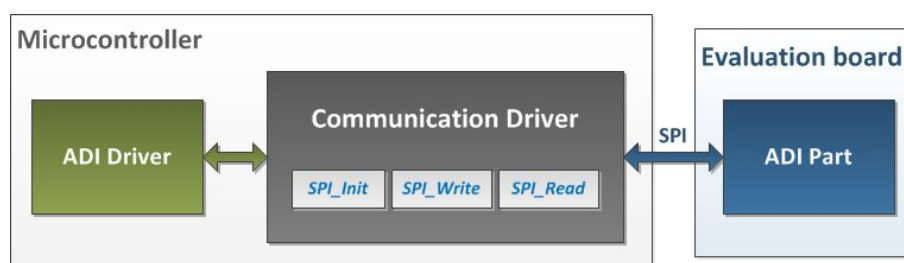
K zajištění správného časování (v řádu mikrosekund) je využito funkce volně běžícího časovače a blokující funkce pro vytváření časového zpoždění, která testuje, zdali uběhla potřebná doba od prvního zavolání této funkce.

Z důvodu potřeby přímé kontroly RAM registrů v obvodu PGA308 je zapotřebí aktivovat takzvaný Software Lock Mode, jedná se o mód, kdy jsou parametry obvodu řízeny zápisem do patřičných registrů v paměti RAM a je možné je tedy měnit i za chodu zařízení. V opačném případě dochází při spuštění obvodu ke kontrole obsahu registrů CHSR a CHSK pomocí kontrolního součtu a v případě neshody je výstup PGA deaktivován [44]. Toto byl jeden z problémů, které bylo nutno řešit při vývoji firmwaru.

2.6.4 SPI

Komunikace s AD převodníkem je zajištěna dvěma způsoby. První způsob kombinuje použití HAL knihovny pro SPI a knihovny poskytované přímo výrobcem AD převodníku, která je psána v jazyku C a zajišťuje funkce jako je čtení a zápis do registrů, reset obvodu, čekání na dokončení konverze dat a jejich následné vyčtení, výpočet CRC kódu pro tyto data a samotnou inicializaci obvodu v rámci kódu [45].

Tyto knihovny jsou tvořeny pro chod na MCU bez použití operačního systému. Generický komunikační driver, jako spojovací článek mezi knihovnou pro AD převodník a SPI, je dodáván výrobcem také, ovšem pouze jako kostra kódu, do které je třeba doplnit kód tak, aby byl správně navázán na funkce knihovny SPI. K tomu jsou využity funkce z SPI HAL knihovny, konkrétně se jedná o funkce pro čtení a zápis po SPI. Samotná funkce pro inicializaci SPI je volána na začátku funkce main().



Obrázek 2.18 Znárodnění implementace knihovny pro AD7175-2, převzato z [45]

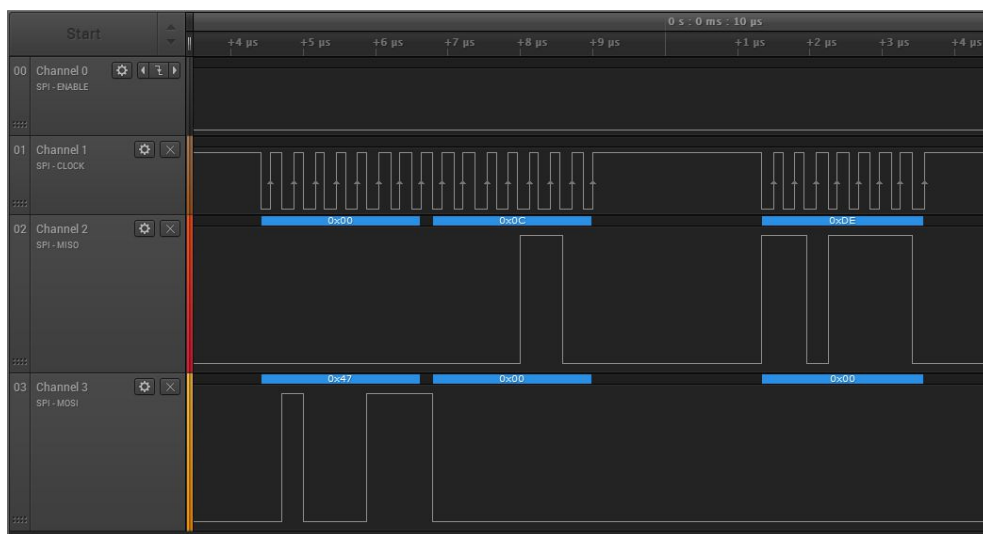
Druhý způsob komunikace s AD převodníkem zajišťuje zápis a čtení dat formou

přímého přístupu k registrům SPI periferie v MCU. Tento způsob byl zvolen z důvodu potřeby rychlého zapsání dat do registrů AD převodníku pro spuštění módu kontinuálního čtení a kontinuální konverze a také kvůli rychlému čtení převedeného vzorku při vysokých výstupních datových rychlostech AD převodníku. Následující část kódu ukazuje vyslání a přijetí 8 bitů s využitím zmíněného přímého zápisu do registrů SPI. Tato část kódu se nachází v obslužné rutině pro přerušení celkem třikrát pro vyčtení všech 24 bitů dat po konverzi AD převodníku.

```
// Cekej na uvolnění místa ve vysílacím bufferu
while (!READ_BIT(SPI2->SR, SPI_SR_TXE));
// Vysli nulova data - pro generování CLK
WRITE_REG(*(uint8_t *)&(SPI2->DR), 0x00);
// Cekej na přijetí dat
while (!READ_BIT(SPI2->SR, SPI_SR_RXNE));
// Vycti přijata data z bufferu
Data[0] |= ((int)(SPI2->DR & 0xFF)) << 8;
```

K SPI periférii je připojen pouze jediný obvod a to AD převodník. Signál CS (Chip Select) je realizován softwarově, pinem definovaným jako výstupní, jelikož hardwarová realizace CS nebyla možná z důvodu kolize tohoto pinu s ostatními perifériemi využitými na vývojové desce. Počet bitů přenášených v rámci jednoho přenosu je nastaven na 8, vzhledem k velikosti datového registru AD převodníku – 24 bitů. Maximální povolená frekvence hodinového signálu SPI pro použitý AD převodník je 20 MHz. SPI2 periferie v použitém procesoru je napojena na sběrnici APB1 s frekvencí 54 MHz, z ní odvozená maximální možná korektní hodnota frekvence je 13,5 MHz. Ta se získává pomocí děličky s hodnotou dělení v mocninách dvou od 1 do 16. Na obrázku č. 2.19 je zachycen průběh komunikace s AD převodníkem, konkrétně čtení hodnoty ID registru AD převodníku. Frekvence hodinového signálu je zde záměrně snížena z důvodu správné rozlišitelnosti pro použitý logický analyzátor. Nejprve dojde k zapsání do komunikačního registru AD převodníku, čímž se mu udá informace o požadavku na čtení/zápis a dále také adresa konkrétního registru, nad kterým je potřeba tuto operaci vykonat. Další dva datové rámce (po 8 bitech) obsahují data, v tomto případě hodnotu ID registru. Hodnota v tomto registru je dle datasheetu pro obvod AD7175-2 napevno nastavena na 0x0CDX, což odpovídá skutečnosti.

Komunikace na obrázku č. 2.19 je zajištěna funkcemi SPI HAL knihovny, je zde vidět, že v rámci těchto funkcí dochází ke kontrole délky dat pro vyslání/přijetí a jejich případnému zabalení do jednoho rámce. Delší časová prodleva mezi 16bitovým rámcem a 8bitovým rámcem je způsobena přenastavením úrovně „fiforthreshold“, která způsobuje nastavení bitu oznamujícího přijetí dat, dle požadované délky rámce a dalšími nastaveními, což je v případě nejvyšší výstupní datové rychlosti AD převodníku nepřijatelné.



Obrázek 2.19 SPI komunikace při čtení obsahu ID registru AD převodníku AD7175-2

V první fázi vývoje firmwaru (v prostředí Mbed.org) byla komunikace s AD převodníkem realizována pouze pomocí již zmíněné knihovny od Analog Devices. Čtení dat po konverzi bylo prováděno metodou zvanou polling, tedy neustálým dotazováním, zdali byla konverze dokončena a data jsou připravena ke čtení. V rámci ověření funkčnosti celku a nastavování AD převodníku byla tato možnost dostačující, nicméně z hlediska čtení dat při rychlostech vyšších než 50 kSa/s nikoliv. Z tohoto důvodu byla zvolena možnost, zmíněná výše, s přímým přístupem k registrům SPI pomocí CMSIS (Cortex Microcontroller Software Interface Standard), sloužící jako abstrakční vrstva pro přímou práci s jednotlivými periferiemi mikrokontroléru [46].

Při kontinuálním měření je AD převodník nastaven do režimu kontinuální konverze a bezprostředně poté do režimu kontinuálního čtení, viz kapitola 2.1. Vzhledem k využití režimu kontinuálního čtení je MISO signál připojen přes nulový rezistor na pin PA15 mikrokontroléru, který je nastaven na přerušení na sestupnou hranu. V rámci obslužné rutiny tohoto přerušení probíhá vyčítání dat z AD převodníku, zápis vyčtených dat do paměti SDRAM a inkrementace proměnné uchováující informaci o počtu již vyčtených vzorků.

Poněkud nevhodné bylo zvolení pinu pro přerušení pomocí signálu MISO z hlediska využití uživatelského tlačítka na vývojové desce jako simulaci spouštěcího signálu pro měření, které je připojeno na pin PI11 se stejným vektorem přerušení jako má pin PA15. Obslužná rutina tohoto přerušení obsahuje navíc podmínku IF, kterou je testováno o jaký zdroj přerušení se jedná, což prodlužuje dobu mezi signalizací AD převodníku o dokončení konverze dat a jejich samotným vyčítáním.

V další fázi vývoje firmwaru bude využito DMA řadiče při čtení dat z AD převodníku, což značně odlehčí jádru mikrokontroléru, které je nyní plně využíváno při čtení dat z AD převodníku a jejich ukládání do paměti.

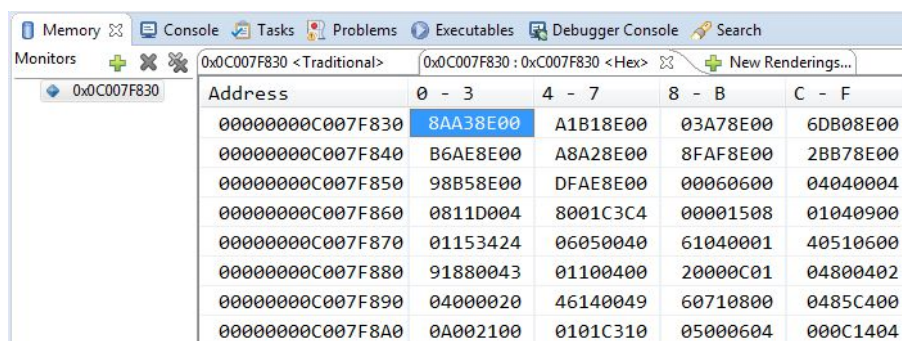
2.6.5 SDRAM

Přístup do paměti SDRAM je zajištěn pomocí knihovny BSP (Board Support Package), poskytované výrobcem MCU ke konkrétní vývojové desce. V rámci této knihovny je

využita funkce pro inicializaci paměti, čtení a zápis, ačkoliv v obslužné rutině přerušení je do paměti zapisováno přímo pomocí ukazatele na patřičnou adresu. Zápis může vypadat například následovně:

```
*(__IO uint32_t*)(SDRAM_DEVICE_ADDR + WRITE_READ_ADDR + 4 *
cisloVzorku) = Data[0];
```

Makro `__IO` zde slouží k označení prvku klíčovým slovem `volatile`, což má za následek zabránění kompilátoru v jeho optimalizaci. Tato paměť je současně využívána také pro práci s LCD displejem, není tedy možné využít její celou dostupnou kapacitu pro zápis dat z AD převodníku. I přes tuto skutečnost je možné do ní zapsat přibližně 1,5 milionu vzorků. Pomocí funkce Memory View v debuggeru vývojového prostředí SW4STM32 byla zjištěna obsazenost této paměti z hlediska LCD displeje a určena počáteční adresa pro zápis vzorků. Jelikož displej využívá blok v paměti o konstantní velikosti, tzv. frame buffer, je možné zbylou paměť bezpečně využívat. Náhled na 10 změřených vzorků uložených v paměti SDRAM je vidět na obrázku č. 2.20, hodnoty zde jsou reprezentovány formě little endian. Data jsou zapisována na adresu odpovídající paměti SDRAM se zvoleným offsetem 0x07F830.



Address	0 - 3	4 - 7	8 - B	C - F
00000000C007F830	8AA38E00	A1B18E00	03A78E00	6DB08E00
00000000C007F840	B6AE8E00	A8A28E00	8FAF8E00	2BB78E00
00000000C007F850	98B58E00	DFAE8E00	00060600	04040004
00000000C007F860	0811D004	8001C3C4	00001508	01040900
00000000C007F870	01153424	06050040	61040001	40510600
00000000C007F880	91880043	01100400	20000C01	04800402
00000000C007F890	04000020	46140049	60710800	0485C400
00000000C007F8A0	0A002100	0101C310	05000604	000C1404

Obrázek 2.20 Memory View – data v paměti SDRAM

2.6.6 SD karta

V první fázi vývoje firmwaru (v Mbed.org) byla data, uložená v paměti SDRAM, zapisována na SD kartu přímo, ve formě bloků jako „surová“ data, bez jakéhokoliv souborového systému. Vzhledem k potřebě tyto data snadno přenášet do počítače a zde je dále zpracovávat, byl využit middleware FatFs, implementující souborový systém FAT v embedded systémech [47]. Tento middleware je podporován nástrojem STM32CubeMX, pomocí nějž je možné vytvořit souborový systém na zvoleném paměťovém médiu.

Komunikace s SD kartou je zajišťována pomocí řadiče SDMMC, které je součástí mikrokontroléru. Použitá SD karta musí mít v sobě vytvořený souborový systém FAT, aby bylo možné s ní v rámci firmwaru pracovat. V případě volby uložení dat na tuto kartu je nejdříve provedena inicializace pomocí funkce knihovny `bsp_driver_sd`, která ve svých funkcích využívá pouze funkce HAL knihovny pro práci s SDMMC řadičem. Po této inicializaci se již využívají funkce souborového systému. Vybrané funkce mohou být například následující (uvedeny s popisem):

```
f_mount(&SDFatFs, "", 1);
```

Slouží k alokaci pracovní oblasti pro objekt souborového systému. Musí být vždy volána jako první.

```
f_stat("FIPS.csv", &fno);
```

Slouží k získání informace o dostupnosti souboru s daným názvem a příponou.

```
f_open(&myFile, "FIPS.csv", FA_CREATE_ALWAYS | FA_WRITE);
```

Slouží k otevření souboru v různých režimech, například otevření s právem čtení, s právem zápisu, vytvoření a otevření souboru v případě, že nebyl nalezen a další.

```
f_printf(&myFile, "PGA308\n");
```

Slouží k zápisu formátovaného řetězce do otevřeného souboru. Tato funkce nepodporuje zápis čísel typu float. Z tohoto důvodu bylo nutno separovat celou a desetinnou část čísla a zapsat je jednotlivě i s desetinným oddělovačem.

Pro záznam dat byl vybrán soubor typu CSV, tedy formát souboru, v němž jsou data odděleny čárkami, případně jinými oddělovači (středník, tabulátor aj.), což už ale neodpovídá doporučení RFC 4180 [48]. Na obrázku č. 2.21 jsou zobrazena data zapsaná do tohoto souboru. Pro snadnou identifikaci měření je nejdříve uvedeno o který ze tří zesilovačů se jedná, dále zdali byl využit vstupní buffer AD převodníku (pro účely testování), výstupní datová rychlost a hodnoty parametrů konkrétního zesilovače (u PGA – název totožný s názvem konkrétního parametru), které byly nastaveny obsluhou na LCD displeji. Následuje informace o počtu změřených vzorků a poté samotné vzorky vyjádřené v dekadické formě, společně s časovým údajem pro každý vzorek. Po zápisu posledního vzorku je zapsán text „Konec mereni“ pro snazší identifikaci, jelikož při existenci CSV souboru se stejným názvem je tento soubor otevřen a zápis probíhá na jeho konec.

	A	B	C	D
1				
2	Zesilovac	AD8557		
3	IN buffer	Data rate [Sa/s]		
4	Ne	1000		
5				
6	First Stage Gain	Second Stage Gain	Offset [V]	
7	5	100	2,745	
8				
9	Zpusob zpousteni	Uroven zpousteni [V]	Doba mereni [s]	
10	Ext. sig.	0,001	2	
11				
12	Pocet vzorku			
13	2000			
14				
15	Cas [s]	Hodnota vzorku		
16	0	9168973		
17	0,001	9167404		
18	0,002	9169506		
19	0,003	9168939		
20	0,004	9167779		
21	0,005	9167641		
22	0,006	9167722		
23	0,007	9166486		
24	0,008	9166138		
25	0,009	9170039		

Obrázek 2.21 Ukázka dat zapsaných v CSV souboru

2.6.7 UDP

Implementace Ethernetové komunikace, je zajištěna pomocí open source balíku lwIP, který implementuje patřičné síťové protokoly na mikrokontrolérech s 32bitovou architekturou [49]. Fyzická vrstva je realizována externím integrovaným obvodem LAN8742A-CZ na vývojové desce. V rámci prostředí STM32CubeMX výrobce STMicroelectronics nabízí lwIP stack jako middleware, obdobně jako v případě FatFs u SD karty. Při použití tohoto middlewaru se již dále pracuje pouze s API lwIP stacku a není tak nutné zasahovat do MAC vrstvy, která je implementována přímo v použitém procesoru.

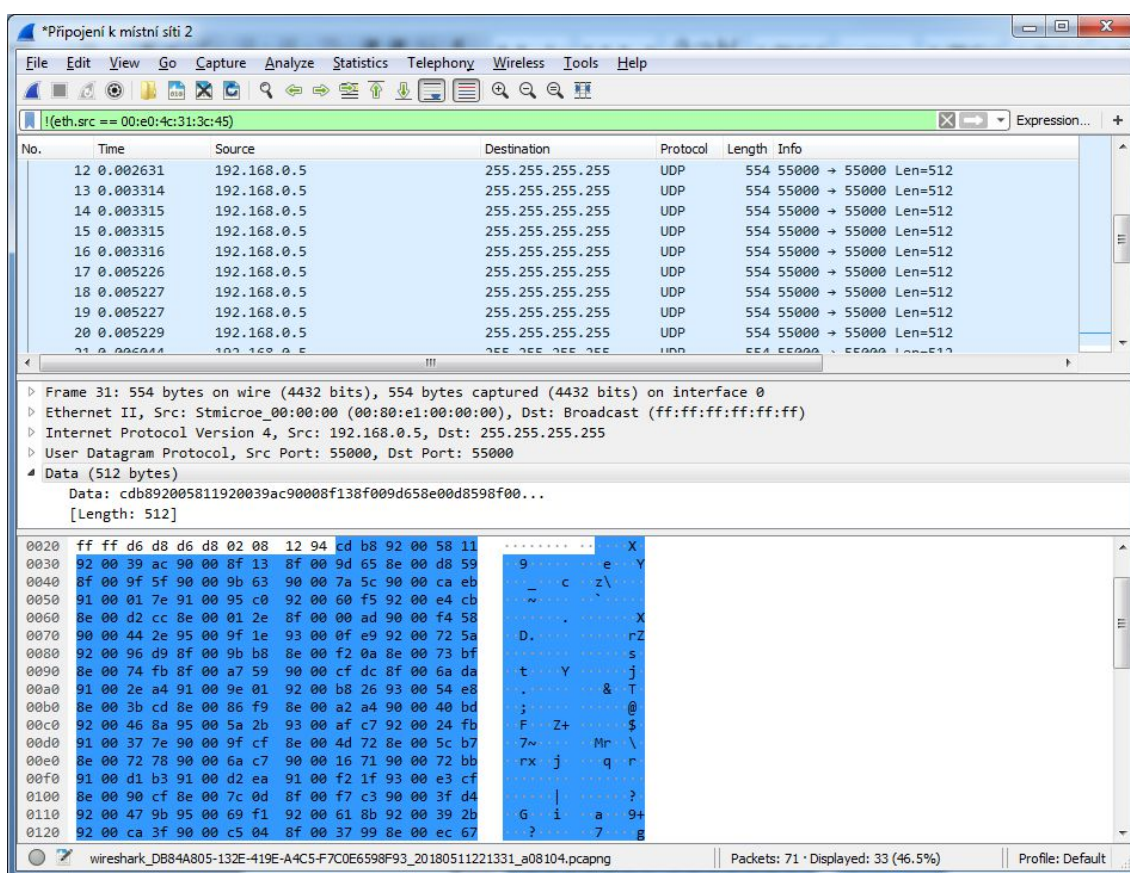
Samotný lwIP stack nabízí práci s mnoha různými protokoly, například UDP i TCP, DHCP, http, DNS a mnoho dalších [50]. Při práci s lwIP stackem je možno využít tři způsobů jeho implementace. Konkrétně se jedná o RAW API, Netconn API a Socket API. V případě prvním možnosti není potřeba využívat systém reálného času (RTOS), obsluha probíhá pomocí takzvaných callback funkcí, které jsou například volány při událostech přijetí paketu, připojení klienta k serveru a podobně, v závislosti na použitém protokolu. V případě využití zbylých dvou možností je zapotřebí využití systému reálného času a jsou určeny pro zařízení disponující větší kapacitou paměti [50]. Socket API je z uvedených možností na nejvyšší úrovni z hlediska hierarchie programu a je založeno na Netconn API [51].

Pro účely této práce je využit režim RAW API, jelikož nebyl na mikrokontroléru využit systém reálného času. Pro vytvoření struktury s potřebnými informacemi pro lwIP stack je použita funkce `udp_new()`, která vrátí ukazatel na tuto strukturu. Funkce (uvedeny bez argumentů) `udp_bind()` zajistí navázání vytvořené struktury na zvolenou lokální IP adresu a port. Následně je využívána funkce `udp_connect()` pro naplnění UDP struktury IP adresou klienta a portem, na kterém poslouchá. Poté je již využívána

funkce pro alokování paměti pro paket, jeho naplnění daty a odeslání pomocí funkce `udp_send()` s ukazatelem na UDP strukturu a ukazatelem na data v paměti pro odeslání.

Odesílání dat bylo testováno v programu Wireshark, který je určen pro monitorování síťového provozu. Na obrázku č. 2.22 lze vidět přijatý paket z IP adresy 192.168.0.8 se zdrojovou MAC adresou 00:80:e1:00:00:00. Jedná se o protokol UDP, velikost užitečné zátěže je 512B. Přijatá data odpovídají odeslaným naměřeným vzorkům. Odesílání probíhá na IP adresu pro broadcast 255.255.255.255, což umožňuje přijetí dat jakémukoliv počítači v síti nebo více počítačům najednou, které poslouchají na patřičném portu, v tomto případě na portu 55000.

Pro dynamickou alokaci paměti bylo využito externího paměťového alokátoru TLSF (Two-level Segregate Fit) šířeného pod licencemi GNU GPL a LGPL. Ten se vyznačuje stálou dobou odezvy pro alokaci a dealokaci paměti, rychlostí a nízkou fragmentací paměti – průměrně menší než 15 % [52].



Obrázek 2.22 Data odeslaná přes protokol UDP zachycená programem Wireshark

2.7 Měření šumových parametrů

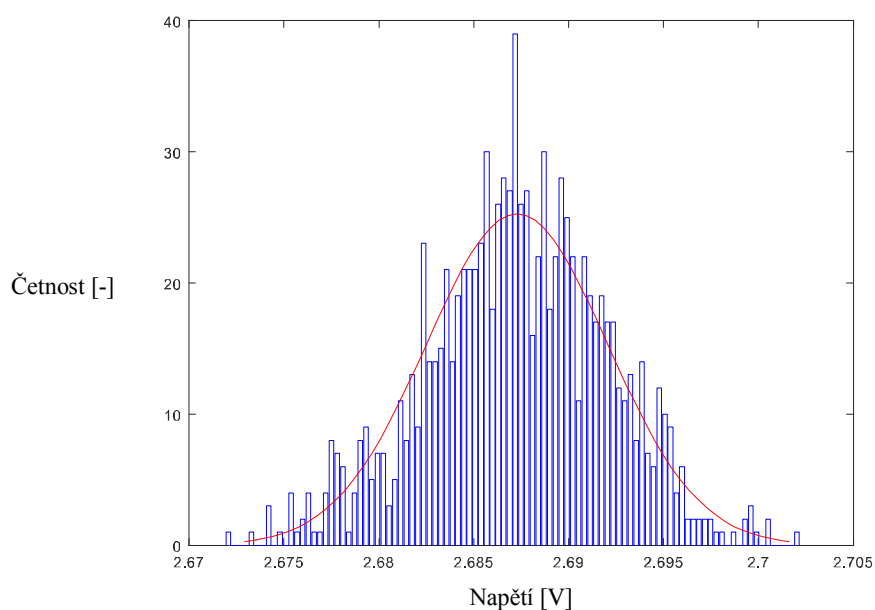
Vzhledem k požadavku ze zadávající firmy byla provedena šumová analýza řetězce každého ze tří přístrojových zesilovačů společně s AD převodníkem. Vzhledem k nesymetrickému napájení použitých přístrojových zesilovačů i AD převodníku bylo

nastaveno výstupní common-mode napětí přístrojových zesilovačů na hodnotu nejbližší polovině referenčního i napájecího napětí 2,5 V. Tento krok byl proveden z důvodu odstranění omezení rozkmitu šumového napětí, které je nyní superponováno na výstupním stejnosměrném common-mode napětí. V opačném případě by šumové napětí bylo zdola omezeno nulovým napětím.

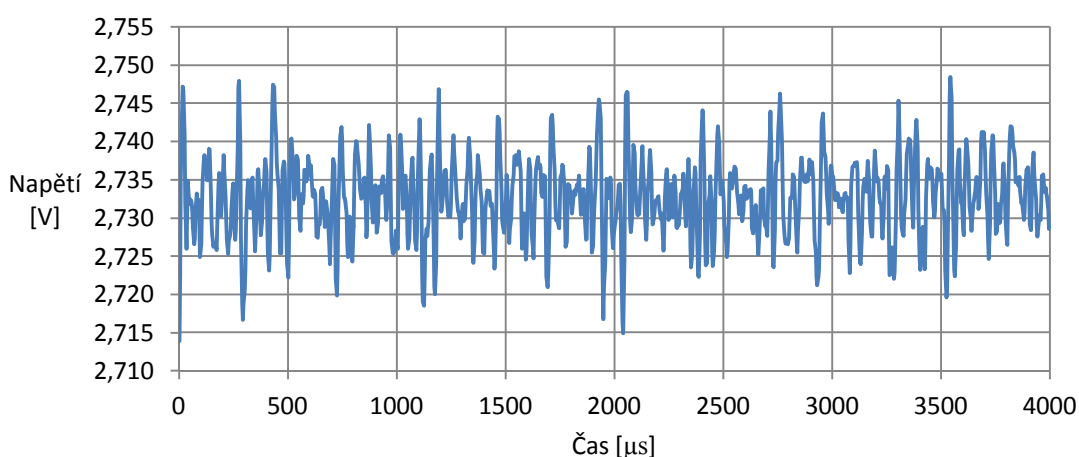
Na vstupy každého přístrojového zesilovače bylo postupně připojeno napětí 2,5 V, které simuluje vyvážený můstek s tenzometrem. Toto napětí bylo odvozeno z napájecího napětí 5 V pomocí jednoduchého napěťového děliče s přesnými rezistory s tolerancí 0,01 % a teplotním koeficientem 5 ppm/°C. Za tohoto stavu, kdy je na obou diferenciálních vstupech totožné napětí, je na výstupu měřitelné šumové napětí s případným offsetem. Dále je na výstupu také, již zmíněné, common-mode napětí. Napájení celku bylo při tomto měření zajištěno pomocí olověného akumulátoru o jmenovitém napětí 12 V z důvodu zabránění pronikání případného rušení z napájecího zdroje a jeho následného vlivu na měření. Dále bylo využito externího krystalu u AD převodníku z důvodu zajištění vyšší přesnosti a nízkého jitteru hodinového signálu, což má za následek větší přesnost převodu [39].

Měření bylo provedeno pro čtyři hodnoty zesílení každého přístrojového zesilovače, konkrétně zesílení 50, 100, 500 a 1000. Pro každou hodnotu zesílení bylo provedeno měření s následujícími výstupními datovými rychlostmi AD převodníku: 1, 10, 50, 125 a 250 kSa/s. Celkový počet vzorků pro každé měření je 1000, toto číslo bylo zvoleno na základě počtu vzorků při měření aditivního šumu samotného AD převodníku, viz [53]. V této fázi byla zaměřena pozornost na širokopásmový šum. Pro měření nízkofrekvenčního šumu bude zapotřebí zajistit dostatečnou velikost paměti pro 2,5 milionu vzorků, což odpovídá deseti vteřinám měření při maximální výstupní datové rychlosti AD převodníku. Deset vteřin záznamu je potřeba z hlediska optimálního rozlišení ve frekvenční oblasti, čemuž odpovídá hodnota 0,1 Hz [18].

Na obrázku č. 2.24 je zobrazen časový průběh výstupního napětí obvodu AD8557 při zesílení 500 a výstupní datové rychlosti 250 kSa/s. Na obrázku č. 2.23 je znázorněn histogram četnosti výskytu vzorků (přepočteno na napětí) pro tento průběh spolu s naznačenou křivkou normálního rozdělení, z čehož je možné vyvodit závěr, že měřené vzorky tomuto rozdělení odpovídají. Efektivní hodnota šumu pro tento průběh (bez započítání common-mode napětí) je 5,21 mV. Hodnota šumu špička-špička je vypočítána jako šestnásobek efektivní hodnoty šumu, což odpovídá statistickému termínu 6σ . Tento postup je velmi často používán a zajišťuje, že pouze 0,3 % případných dalších špičkových napěťových úrovní šumu převyšuje hodnotu vypočítanou [16].



Obrázek 2.23 Histogram naměřených vzorků (přepočteno na napětí) – AD8557, zesílení 500, 250 kSa/s



Obrázek 2.24 Výstupní napětí obvodu AD8557 při zesílení 500 a výstupní datové rychlosti 250 kSa/s

Výpočet efektivní hodnoty byl proveden jako výpočet směrodatné odchylky ze souboru naměřených vzorků s hodnotou přepočtenou na napětí [54]. Druhá možnost výpočtu spočívala ve vypočítání průměrné hodnoty a její následné odečtení od každého vzorku, aby byl eliminován vliv common-mode napětí na výpočet. Následně byla efektivní hodnota šumu dle vztahu

$$U_{rms} = \sqrt{\frac{1}{n} \sum_{i=1}^n x_i^2}, \quad (2.3)$$

kde n je celkový počet vzorků a x_i je hodnota každého jednotlivého vzorku ve V.

Takto vypočtená hodnota se od směrodatné odchylky prakticky neliší. V případě nulové střední hodnoty je efektivní hodnota šumu přímo rovna směrodatné odchylce [54].

Tabulka 2.4 Efektivní a špičková hodnota šumu při zesílení ~500

	OAMP-INA		AD8557		PGA308	
f_{vz} [Sa/s]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]
250000	4,855	0,809	31,260	5,210	29,539	4,923
125000	4,560	0,760	29,213	4,869	28,379	4,730
50000	3,594	0,599	23,064	3,844	22,813	3,802
10000	2,069	0,345	8,172	1,362	12,613	2,102
1000	0,579	0,097	2,158	0,360	3,865	0,644

Pro výpočet spektrální hustoty šumu je zapotřebí vzít v úvahu šumovou šířku pásma, která je odlišná od šířky pásma definované pro pokles o 3 dB. Její hodnota je dána vztahem

$$BW_n = K_n \cdot f_m, \quad (2.4)$$

kde K_n je korekční faktor a f_m je mezní frekvence pro pokles o 3 dB v Hz.

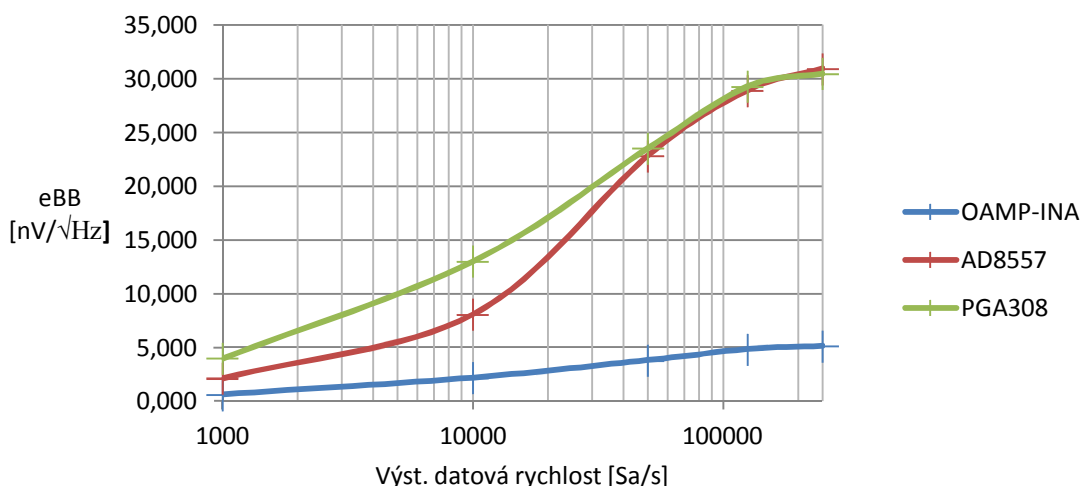
Tímto přepočtem je přenosová frekvenční charakteristika matematicky transformována na frekvenční charakteristiku takzvaného brick-wall filtru, tedy ideálního filtru, který plně propouští signál v propustném pásmu a kompletně zadržuje signál v pásmu zádržném. Brick-wall filtr má stejnou plochu pod křivkou jako reálný filtr typu dolní propust [54]. Korekční faktor má různou hodnotu pro filtry různých řádů, například pro filtr prvního řádu má hodnotu 1,57, pro filtr druhého řádu je jeho hodnota 1,22. Tento přepočet je zaveden z důvodu zjednodušení výpočtu šumu [16].

Samotný výpočet šumové spektrální hustoty pro širokopásmový šum je dán vztahem [54]

$$e_{BB} = \frac{E_{nBB}}{\sqrt{BW_n}}, \quad (2.5)$$

kde E_{nBB} je efektivní hodnota širokopásmového šumu ve V.

Pro vztažení této hodnoty šumové spektrální hustoty ke vstupu zesilovače je zapotřebí ji ještě vydělit jeho zesílením. Tento vztah lze využít pouze při práci s širokopásmovým šumem, jelikož má konstantní hodnotu šumové spektrální hustoty v celém pásmu, viz kapitola 1.3. Závislost spektrální šumové hustoty širokopásmového šumu na výstupní datové rychlosti AD převodníku je zobrazena na obrázku č. 2.25. Závěry z této šumové analýzy je potřeba brát s jistou rezervou, jelikož se jedná o poměrně stochastickou záležitost, a to mimo jiné i z důvodu metodiky měření a zjednodušení použitého výpočetního aparátu.

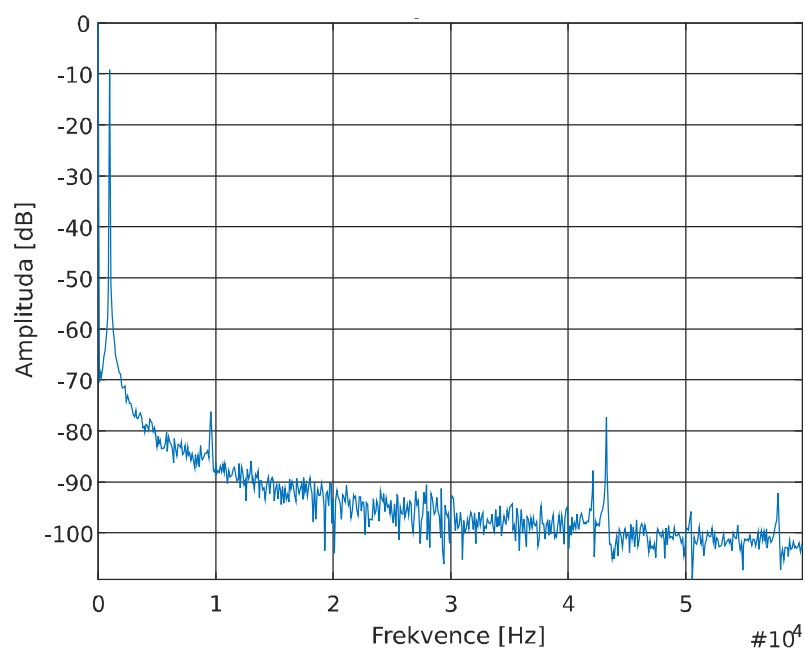


Obrázek 2.25 Závislost spektrální hustoty širokopásmového šumu na výstupní datové rychlosti AD převodníku při zesílení ~500

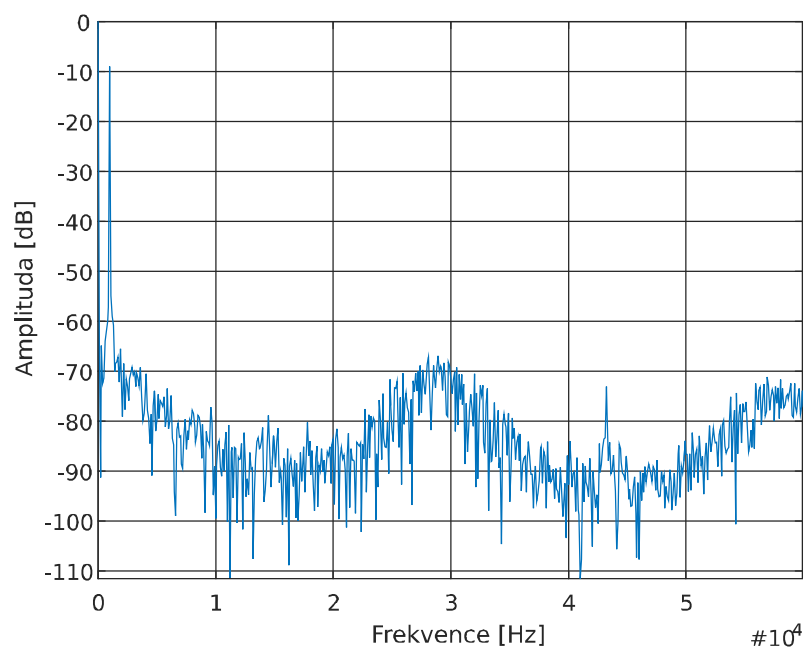
V další fázi bude snaha o změření hodnot potřebných pro výpočet nízkofrekvenčního šumu a výpočtu celkové hodnoty aditivního šumu každého přístrojového zesilovače, která se provádí jako vektorový součet. již nyní se lze domnívat, že nejnižšího šumu bude dosahovat přístrojový zesilovač tvořený operačními zesilovači, a to z důvodu eliminace jejich nízkofrekvenčního šumu.

V rámci vyhodnocování šumových parametrů bylo také provedeno změření harmonického signálu s rozkmitem co nejbližším plnému rozsahu AD převodníku. Vzhledem k poškození diskretního přístrojového zesilovače při testování, je jeho výstupní signál značně zkreslen, a tedy byl prozatím z měření vyloučen. Z naměřených vzorků harmonického signálu o frekvenci 1 kHz na výstupu obou přístrojových zesilovačů, při výstupní datové rychlosti 250 kSa/s a zesílení 50, bylo pomocí FFT vypočteno spektrum, které je zobrazeno na obrázku č. 2.26, respektive 2.27. Obě tyto spektra jsou normovány k hodnotě stejnosměrné složky. V obou spektrech je jasně viditelná spektrální čára na frekvenci 1 kHz a stejně tak spektrální čára na nulové frekvenci značící stejnosměrnou složku signálu. Při porovnání je zřetelně vidět, že signál na výstupu přístrojového zesilovače AD8557 obsahuje více harmonických složek s větší amplitudou. Toto měření potvrdilo lepší vlastnosti přístrojového zesilovače PGA308 z hlediska zkreslování signálu. I přes tento fakt bude těmto měřením s harmonickými signály věnována další pozornost, zvláště pak tedy z důvodu získání většího rozlišení při výpočtu FFT, čehož se dosáhne měřením delšího časového úseku,

konkrétně například 1 sekunda pro rozlišení 1 Hz.



Obrázek 2.26 Amplitudové spektrum pro PGA308 se zesílením ~ 50



Obrázek 2.27 Amplitudové spektrum pro AD8557 se zesílením ~ 50

3 ZÁVĚR

Cílem této diplomové práce měl být systém pro přesná dynamická měření můstkových senzorů. Potřeby tohoto zařízení vychází z požadavků zadavatele, firmy OZM Research. Výsledné zařízení, případně jeho revize, bude sloužit ke snímání signálu z tenzometrických snímačů, které budou umístěny například na explozivní komoře a vyhodnocovat tak jejich deformace při vnitřní explozi.

V úvodu práce je proveden detailní výběr použitých komponent. Na těchto komponentech je pak postaven výsledný prototyp analogové části, který je koncipován tak, aby mohl prakticky vyhodnotit vlastnosti několika různých zesilovačů. Pro digitální část je využita komerčně dostupná vývojová deska postavena na procesoru typu ARM. Kombinace vlastního návrhu a komerční desky byla zvolena z důvodu potřeb utajení, kdy by bylo nežádoucí realizovat finální produkt v rámci této práce.

Po návrhu schématu a desky plošných spojů je přistoupeno k vytvoření řídicího firmwaru. Ten byl v první části vyvíjen v prostředí Mbed.org. Aktuálně je firmware realizován v prostředí SW4STM32, jelikož se prostředí Mbed.org ukázal vhodný spíše pro realizaci prototypu. V rámci firmwaru je realizována práce s pamětí SDRAM, rozhraním SPI, Ethernetovým rozhraním či sběrnici I²S. Ovládání je realizováno přes dotykový displej, kde je pro obsluhu využito grafické uživatelské rozhraní.

Výsledné zařízení je funkční, schopné obsluhy s možností zápisem vzorků na SD kartu, případně jejich zobrazením na LCD displej ve formě časového průběhu. V aktuálním prototypu je možnost porovnat výsledky průběhů třech typů přístrojových zesilovačů. Signál je vzorkován rychlostí až 250 kSa/s s rozlišením 24 bitů. Na získaných datech je provedena, dle požadavků zadavatele, šumová analýza.

V případě přístrojového zesilovače tvořeného operačními zesilovači, došlo pravděpodobně při experimentální činnosti k jeho poškození a výsledný průběh při měření střídavého signálu je značně deformován. Nicméně k tomuto poškození došlo až po změření všech dat potřebných k určení aditivního šumu zesilovače.

Z hlediska implementace lwIP stacku se vyskytlo několik problémů spočívajících v komunikaci s obvodem fyzické vrstvy. Tento problém se podařilo vyřešit, avšak nezbyl dostatečný časový prostor pro realizaci ukládání přijatých dat v počítači. Ověření funkčnosti tak bylo realizováno pouze ze pomoci programu Wireshark.

Další vylepšení povedou na využití DMA řadiče pro SPI komunikaci a ukládání do SDRAM, využití periferie UART pro komunikaci s obvodem PGA308 v případě, že bude tento obvod ve finálním produktu použit. Využití DMA řadiče by značně odlehčilo jádru mikrokontroléru a eliminovalo by se využití datové cache, která způsobuje částečné potíže.

Na výsledném prototypu byla provedena detailní šumová analýza, jejíž výsledky jsou také součástí této práce. Na základě těchto výsledků bude moci zadavatel vybrat konkrétní obvod, a to také v závislosti na charakteru měřené veličiny.

Závěrem lze konstatovat, že zadání bylo splněno, nicméně nebylo možné provést testy v reálných podmínkách, kde bude zařízení využito. Je možné, že tyto praktické testy ukáží možné chyby, které bude nutno opravit. Nicméně při aktuálním testování nevykazuje zařízení žádné významné chyby.

LITERATURA

- [1] HOFMANN, Karl. *An Introduction into Measurements using Strain Gauges* [online]. 2014 [cit. 2017-11-10]. Dostupné z: <https://www.hbm.com/en/0112/reference-literature-on-measurements-using-strain-gauges/>
- [2] Practical strain gage measurements. *Omega* [online]. b.r. [cit. 2017-11-12]. Dostupné z: https://www.omega.com/techref/pdf/StrainGage_Measurement.pdf
- [3] FROHN, Manfred. *Elektronika: polovodičové součástky a základní zapojení*. 1. české vyd. Praha: BEN - technická literatura, 2006. ISBN 80-730-0123-3.
- [4] KESTER, Walt. *Practical Design Techniques for Sensor Signal Conditioning*. 1999. ISBN 0-916550-20-6.
- [5] VLK, M., L. HOUFEK, P. HLAVOŇ, P. KREJČÍ, V. KOTEK a J. KLEMENT. VUT V BRNĚ, FAKULTA STROJNÍHO INŽENÝRSTVÍ. *Experimentální mechanika: Skriptum*. Brno, 2003. Dostupné také z: http://ean2011.fme.vutbr.cz/img/fckeditor/file/opory/Experimentalni_mechanika.pdf
- [6] MOGHIMI, R. *Bridge-Type Sensor Measurements are Enhanced by Autozeroed Instrumentation Amplifiers with Digitally Programmable Gain and Output Offset* [online]. ANALOG DEVICES. b.r. [cit. 2017-10-02]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/bridge-type-sensor-measurements.html>
- [7] O'GRADY, Albert. *Transducer/Sensor Excitation and Measurement Techniques* [online]. b.r. [cit. 2017-11-25]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/transducer-sensor-excitation-and-measurement-techniques.html>
- [8] *Resistive Bridge Basics: Part One: AN3426* [online]. b.r. [cit. 2017-11-20]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/3426>
- [9] TEXAS INSTRUMENTS. *Bridge Measurement Systems: Section 5*. b.r. Dostupné také z: <http://www.ti.com/lit/ml/slyp163/slyp163.pdf>
- [10] SEMIG, Peter, Collin WELLS a Miro OLJACA. *Design tips for a resistive-bridge pressure sensor in industrial process-control systems* [online]. 2015 [cit. 2017-11-09]. Dostupné z: <http://www.ti.com/lit/an/slyt640/slyt640.pdf>
- [11] CALDWELL, John. Overlooking the obvious: the input impedance of a difference amplifier. In: *Precision Hub* [online]. b.r. [cit. 2017-10-17].
- [12] ANALOG DEVICES. *A Designer's Guide to Instrumentation Amplifiers: 3RD Edition* [online]. 2006 [cit. 2017-11-11]. Dostupné z:

<http://www.analog.com/en/education/education-library/dh-designers-guide-to-instrumentation-amps.html>

- [13] KARKI, James. TEXAS INSTRUMENTS. *Signal Conditioning Wheatstone Resistive Bridge Sensors: Mixed Signal Products*. 1999. Dostupné také z: <http://www.ti.com/lit/an/sloa034/sloa034.pdf>
- [14] TEXAS INSTRUMENTS. What you need to know about CMRR – Instrumentation amplifier topologies: Part 3. In: PICKETT, Matthew. TEXAS INSTRUMENTS. *Analog Wire*. 2013.
- [15] WALSH, Alan. Front-End Amplifier and RC Filter Design for a Precision SAR Analog-to-Digital Converter. ANALOG DEVICES. *AnalogDialogue* [online]. 2012 [cit. 2018-02-16]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/front-end-amp-and-rc-filter-design.html>
- [16] KAY, Art. TEXAS INSTRUMENTS. *Op-Amp Noise: Calculation and Measurement*. b.r.
- [17] ANALOG DEVICES. *In-Amp Noise: MT-065*. 2008. Dostupné také z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-065.pdf>
- [18] KIELY, Robert. Understanding and Eliminating 1/f Noise. *AnalogDialogue* [online]. 2017 [cit. 2018-03-12]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/understanding-and-eliminating-1-f-noise.html>
- [19] TRUMP, Bruce. TEXAS INSTRUMENTS. *MicroPower Zero-Drift Op Amp: Expands Options for Precision Applications*. b.r.
- [20] ANALOG DEVICES. *Lowest Noise Zero-Drift Amplifier Has 5.6 nV/√Hz Voltage Noise Density: AN-1114*. 2011. Dostupné také z: <http://www.analog.com/media/en/technical-documentation/application-notes/AN-1114.pdf>
- [21] TEXAS INSTRUMENTS. Auto-zero amplifiers ease the design of high-precision circuits. TEXAS INSTRUMENTS. *Analog Applications Journal* [online]. 2005 [cit. 2018-03-15]. Dostupné z: <http://www.ti.com/lit/an/slyt204/slyt204.pdf>
- [22] *Capacitively-coupled chopper amplifiers: revue littéraire mensuelle*. New York, NY: Springer Berlin Heidelberg, 2016. ISBN 978-331-9473-901.
- [23] LYONS, Richard a Randy YATES. *Reducing ADC Quantization Noise* [online]. b.r. [cit. 2017-11-01]. Dostupné z: <http://www.mwrf.com/components/reducing-adc-quantization-noise>
- [24] KAY, Art a Tim GREEN. TEXAS INSTRUMENTS. *Analog Engineer's: Pocket Reference* [online]. 2015 [cit. 2017-10-29]. Dostupné z: <https://www.ti.com/seclit/sl/slyw038b/slyw038b.pdf>
- [25] *Data conversion handbook*. Boston: Newnes, 2005. ISBN 07-506-7841-0.
- [26] *Understanding Pipelined ADCs: AN1023* [online]. b.r. [cit. 2017-12-12].

Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1023>

- [27] BLACK, Brian. ANALOG DEVICES. *Analog-to-Digital Converter Architectures and Choices for System Design* [online]. 1999 [cit. 2017-11-25]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/analog-to-digital-converter-architectures-and-choices.html>
- [28] *Understanding Integrating ADCs: AN1041* [online]. b.r. [cit. 2017-10-10]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1041>
- [29] MAXIM INTEGRATED. *Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs: AN1080* [online]. MAXIM INTEGRATED. b.r. [cit. 2017-12-01]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1080>
- [30] JOSEFSSON, Oli. ANALOG DEVICES. *Ask the Applications Engineer—15: Using Sigma-Delta Converters, Part 1* [online]. 1994 [cit. 2017-11-17]. Dostupné z: <http://www.analog.com/en/analog-dialogue/articles/using-sigma-delta-converters-1.html>
- [31] *The difference between latency and settling time for ADCs* [online]. b.r. [cit. 2017-10-11]. Dostupné z: <https://www.edn.com/electronics-blogs/bakers-best/4316282/The-difference-between-latency-and-settling-time-for-ADCs>
- [32] *IEEE standard for terminology and test methods for analog-to-digital converters*. New York: Institute of Electrical and Electronics Engineers, 2011. ISBN 978-073-8162-393.
- [33] NATIONAL INSTRUMENTS. *Understanding Frequency Performance Specifications* [online]. NATIONAL INSTRUMENTS. b.r. [cit. 2017-12-01]. Dostupné z: <http://www.ni.com/white-paper/3359/en/>
- [34] ARM LTD. *Cortex-M7: Overview* [online]. ARM LTD. b.r. [cit. 2017-10-11]. Dostupné z: <https://developer.arm.com/products/processors/cortex-m/cortex-m7>
- [35] KOLKA, Zdeněk. VUT BRNO. *Počítačové a komunikační sítě: Skriptum*. 2007.
- [36] IANA OUI. *IEEE 802 Numbers* [online]. IANA OUI. b.r. [cit. 2017-11-02]. Dostupné z: <https://www.iana.org/assignments/ieee-802-numbers/ieee-802-numbers.xhtml>
- [37] IEEE. *The Structure and Coding of Logical Link Control (LLC) Addresses: A Tutorial Guide* [online]. IEEE. b.r. [cit. 2017-11-06]. Dostupné z: <https://standards.ieee.org/develop/regauth/tut/llc.pdf>
- [38] PUŽMANOVÁ, Rita. *Moderní komunikační sítě od A do Z: [technologie pro datovou, hlasovou i multimediální komunikaci]*. 2., aktualiz. vyd. Brno: Computer Press, 2006. ISBN 80-251-1278-0.
- [39] ANALOG DEVICES. *24-Bit, 250 kSPS, Sigma-Delta ADC with 20 μ s Settling and True Rail-to-Rail Buffers: Rev. B*. 2017. Dostupné také z:

- <http://www.analog.com/media/en/technical-documentation/data-sheets/AD7175-2.pdf>
- [40] ANALOG DEVICES. *ADA4528-2: Precision, Ultralow Noise, RRIO, Zero-Drift Op Amp*. 2017. rev. E. Dostupné také z: http://www.analog.com/media/en/technical-documentation/data-sheets/ADA4528-1_4528-2.pdf
 - [41] ANALOG DEVICES. *ADM7150: 800 mA Ultralow Noise, High PSRR, RF Linear Regulator*. b.r. Dostupné také z: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADM7150.pdf>
 - [42] TEXAS INSTRUMENTS. *THS4551 Low-Noise, Precision, 150-MHz, Fully Differential Amplifier*. 2016. b.r. Dostupné také z: <http://www.ti.com/lit/ds/symlink/ths4551.pdf>
 - [43] ST MICROELECTRONICS. *Discovery kit with STM32F746NG MCU* [online]. ST MICROELECTRONICS. b.r. [cit. 2017-10-10]. Dostupné z: <http://www.st.com/en/evaluation-tools/32f746gdiscovery.html>
 - [44] TEXAS INSTRUMENTS. *PGA308 User's Guide*. 2012. Dostupné také z: <http://www.ti.com/lit/ug/sbou069b/sbou069b.pdf>
 - [45] ANALOG DEVICES. *AD717X No-OS Software Drivers* [online]. ANALOG DEVICES. b.r. [cit. 2017-11-08]. Dostupné z: <https://wiki.analog.com/resources/tools-software/uc-drivers/ad717x>
 - [46] *Cortex Microcontroller Software Interface Standard* [online]. b.r. [cit. 2018-04-21]. Dostupné z: <http://www.keil.com/pack/doc/CMSIS/General/html/index.html>
 - [47] *FatFs - Generic FAT Filesystem Module* [online]. b.r. [cit. 2018-03-12]. Dostupné z: http://elm-chan.org/fsw/ff/00index_e.html
 - [48] NETWORK WORKING GROUP. *Common Format and MIME Type for Comma-Separated Values (CSV) Files*. 2005. Dostupné také z: <https://tools.ietf.org/html/rfc4180>
 - [49] *LwIP - A Lightweight TCP/IP stack* [online]. b.r. [cit. 2018-04-02]. Dostupné z: <https://savannah.nongnu.org/projects/lwip/>
 - [50] STMICROELECTRONICS. *Ethernet / TCP-IP - Training Suite*. b.r. Dostupné také z: www.stmcu.org/document/download/output/id-213679
 - [51] *Application API layers: lwIP stack* [online]. b.r. [cit. 2018-02-15]. Dostupné z: http://lwip.wikia.com/wiki/Application_API_layers
 - [52] *TLSF: Memory allocator real time embedded systems* [online]. b.r. [cit. 2018-04-25]. Dostupné z: <http://www.gii.upv.es/tlsf/>
 - [53] ANALOG DEVICES. *AD7175-2: 24-Bit, 250 kSPS, Sigma-Delta ADC with 20 μ s Settling and True Rail-to-Rail Buffers*. 2016. rev. B. Dostupné také z: [http://www.analog.com/media/en/technical-documentation/data-sheets/AD7175-](http://www.analog.com/media/en/technical-documentation/data-sheets/AD7175-2.pdf)

2.pdf

- [54] TEXAS INSTRUMENTS. *Lecture Manual: TI Precision Labs - Op Amps*. b.r.
Dostupné také z: <http://www.ti.com/lit/ug/sbou173/sbou173.pdf>

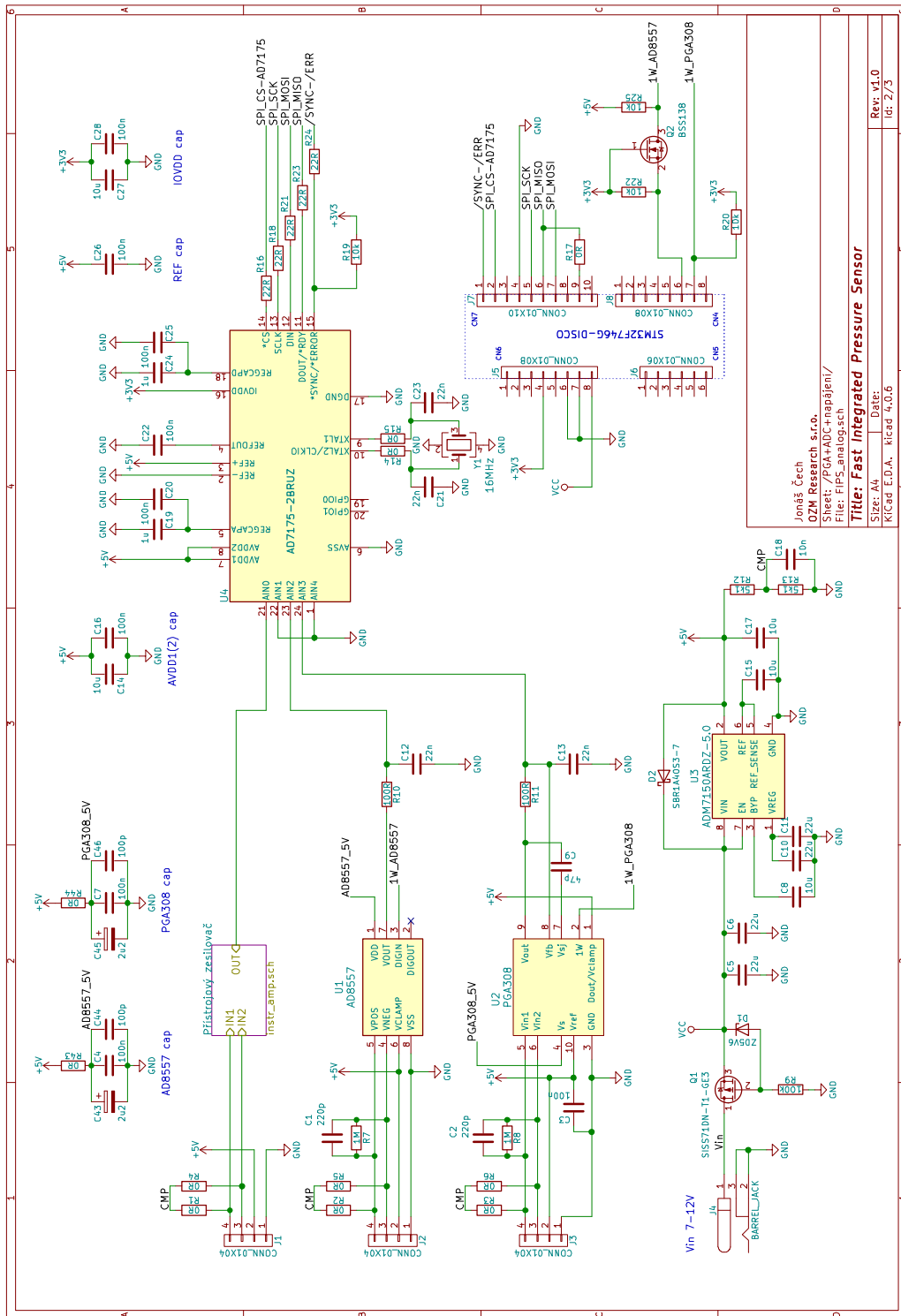
SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

ACK	Acknowledge, potvrzení
AD	Analogově digitální
API	Application Programming Interface, programové rozhraní aplikace
BSP	Board support package, balík knihoven vázaných ke konkrétní vývojové desce
BW	Šířka pásma
CMRR	Common-mode rejection ratio, činitel potlačení souřázového signal
COM	Communication Port, název sériového portu
CRC	Cyclic redundancy Check, Cyklický redundantní součet
CSV	Comma-separated values, souborový formát s hodnotami oddělenými čárkami
DA	Digitálně analogový
DC	Stejnoseměrná složka
DMA	Direct Memory Access, přímý přístup do paměti
DMA	Direct Memory Access, jednotka s přímým přístupem do paměti
DNL	Differential nonlinearity
DPS	Deska plošných spojů
DSP	Digital Signal Processor, digitální signálový procesor
EMC	Electromagnetic compatibility, elektromagnetická kompatibilita
ENOB	Effective number of bit
FAT	File Allocation Table, souborový systém
FDA	Fully differential amplifier
FFT	Fast Fourier transform, rychlá Fourierova transformace
FMC	Flexible memory controller, druh řadiče paměti
FPU	Floating Point unit, jednotka pro výpočty v plovoucí řadové čárce
GUI	Graphical User Interface, grafické uživatelské rozhraní
HAL	Hardware abstraction layer, vysokoúrovňové knihovny od STM
ID	Identifier, identifikátor
INA	Instrumentation amplifier, přístrojový zesilovač
INL	Integral nonlinearity, integrální nelinearita

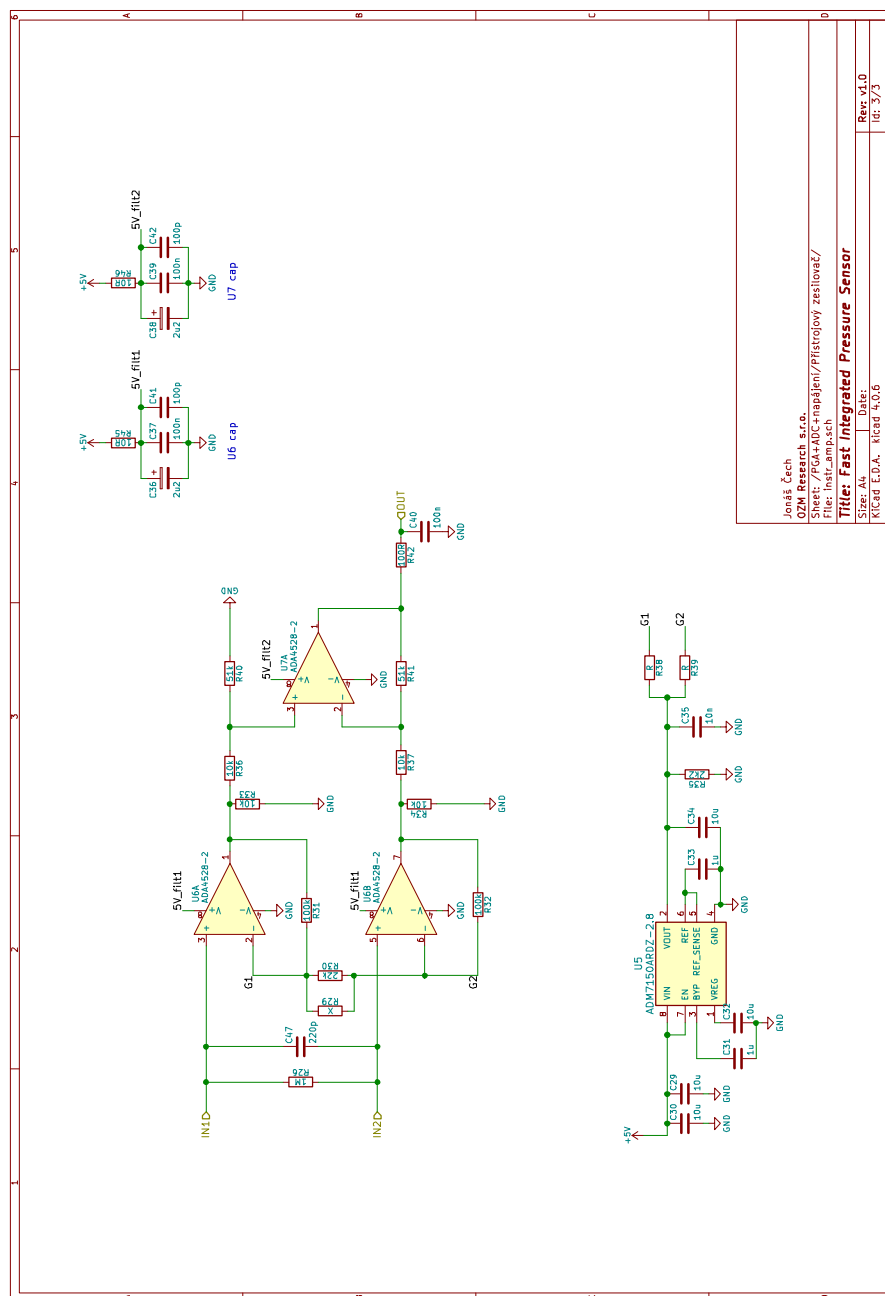
IP	Internet Protocol, internetový protokol
LCD	Liquid crystal display, displej z tekutých krystalů
LDO	Low drop-out, napěťový stabilizátor s nízkým úbytkem
LSB	Least significant bit, nejméně významný bit
MAC	Medium Access Control, řízení přístupu k médiu
MAC	Medium Access Control,
MCU	Microcontroller unit, mikrokontrolér
MSB	Most significant bit, nejvíce významný bit
OTP	One time programmable, jednorázově programovatelná paměť
OZ	Operační zesilovač
PGA	Programmable-gain amplifier, zesilovač s programovatelným ziskem
PGA	Programmable gain amplifiers, zesilovač s programovatelným ziskem
PLL	Phase locked loop, fázový závěs
PPM	Parts per million, jedna miliontina celku
RMS	Root Mean Square, efektivní hodnota
RTI	Referred-to-input, vztaženo ke vstupu
SD	Secure digital, druh paměťové karty
SDRAM	Synchronous Dynamic Random Access Memory, dynamická RAM se synchronním přístupem
SPI	Serial Peripheral Interface, sériová sběrnice
TCP	Transmission Control Protocol, druh síťového protokolu
UART	Universal asynchronous receiver-transmitter, univerzální asynchronní přijímač-vysílač
UDP	User Datagram Protocol, druh síťového protokolu
USB	Universal Serial Bus, univerzální sériová sběrnice

A NÁVRH ZAŘÍZENÍ

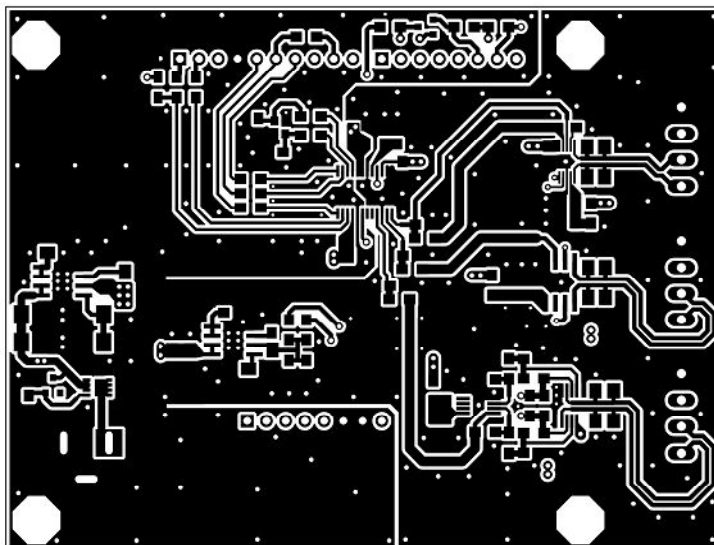
A.1 Celkové obvodové zapojení analogové části



A.2 Obvodové zapojení diskretního přístrojového zesilovače

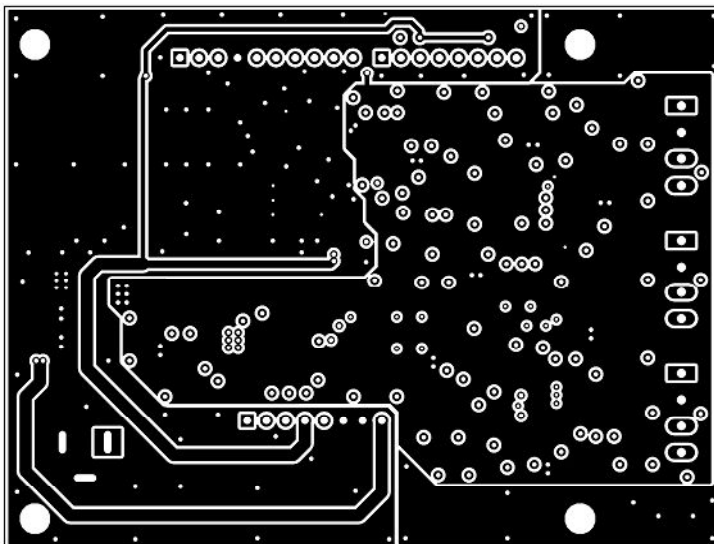


A.3 DPS analogové části – top (strana součástek)



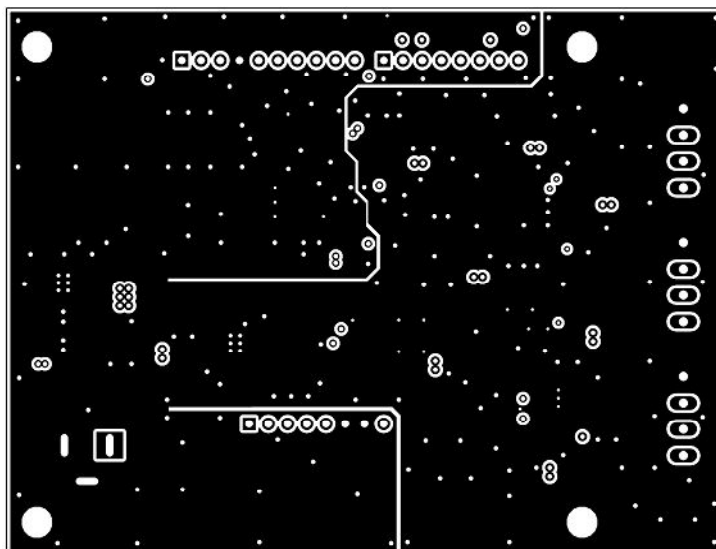
Rozměr desky 95 x 72 [mm], měřítko M1:1

A.4 DPS analogové části – vrstva +V (první vnitřní vrstva)



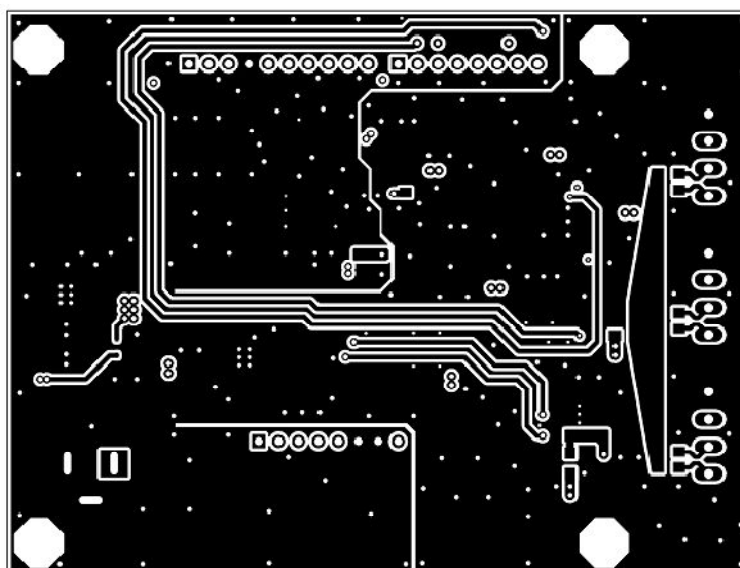
Rozměr desky 95 x 72 [mm], měřítko M1:1

A.5 DPS analogové části – vrstva GND (druhá vnitřní vrstva)



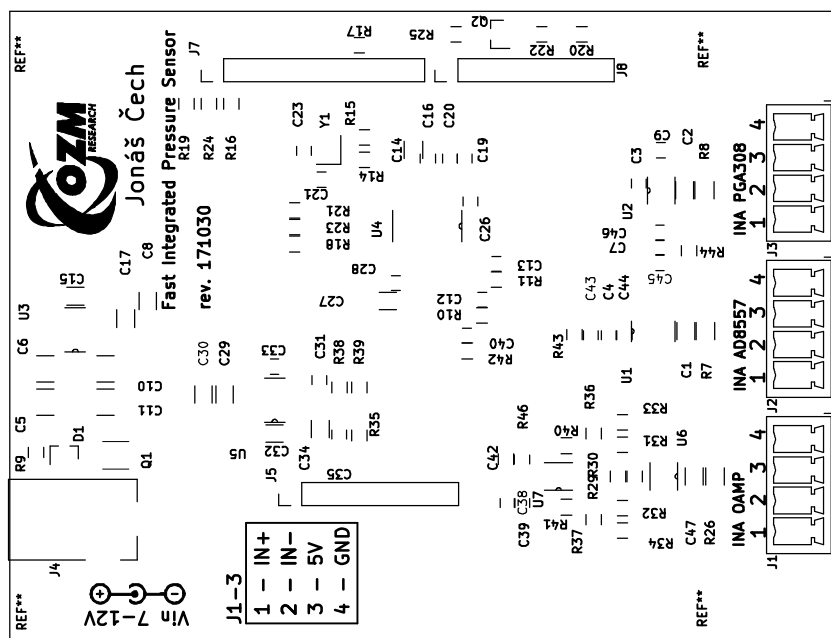
Rozměr desky 95 x 72 [mm], měřítko M1:1

A.6 DPS analogové části – bottom (strana spojů)



Rozměr desky 95 x 72 [mm], měřítko M1:1

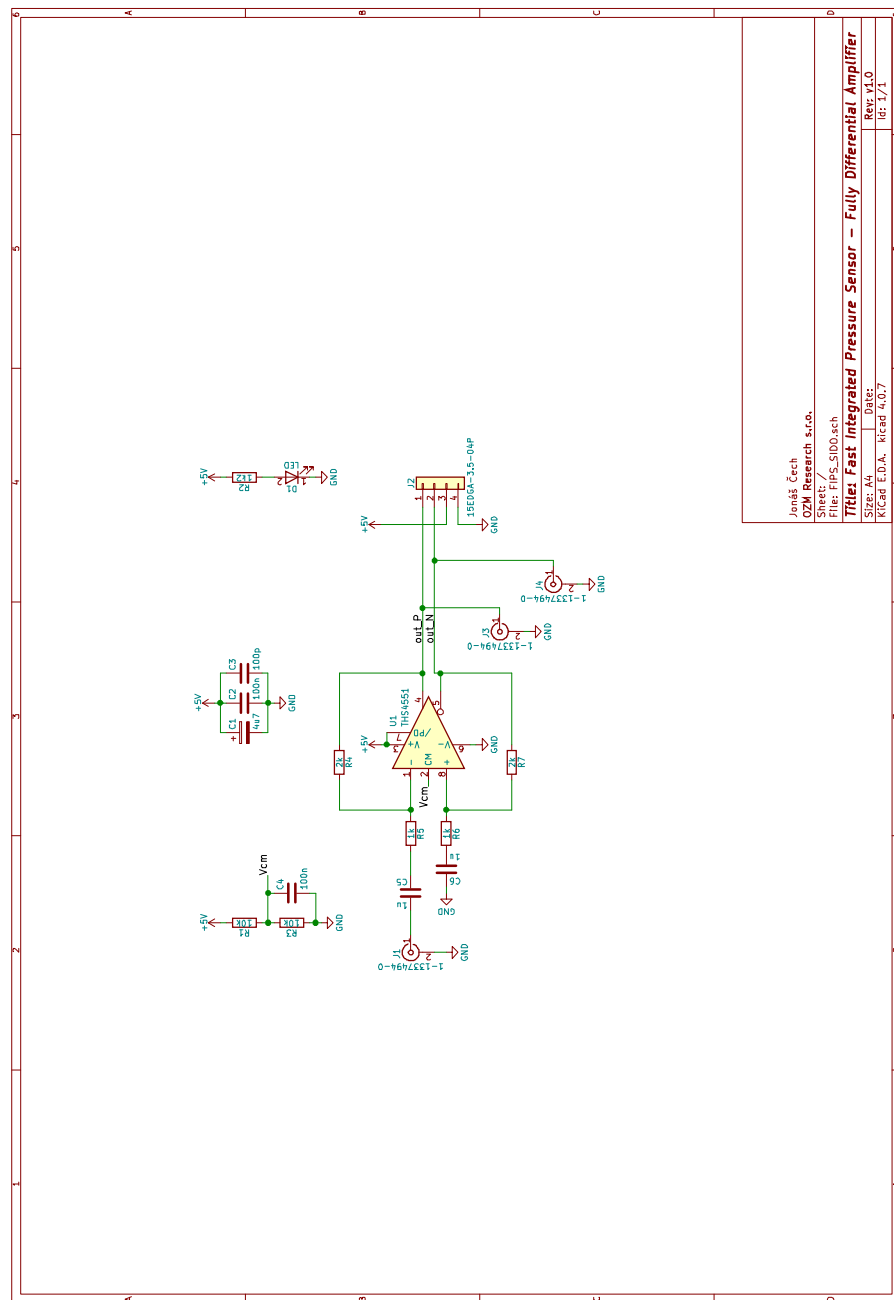
A.7 Osazovací plán DPS analogové části – top



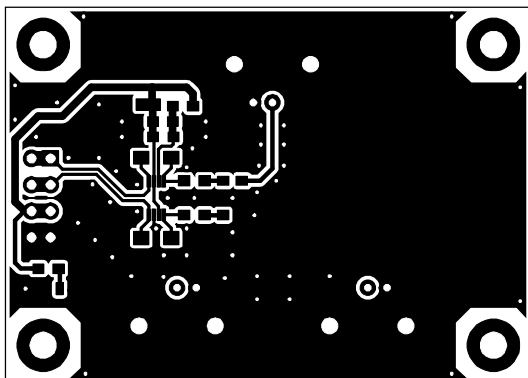
77



A.9 Obvodové zapojení diferenciálního zesilovače

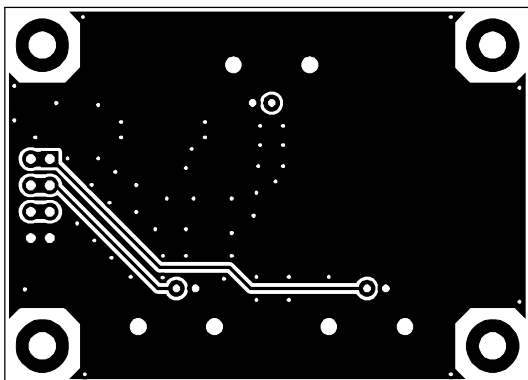


A.10 DPS diferenciálního zesilovače – top (strana součástek)



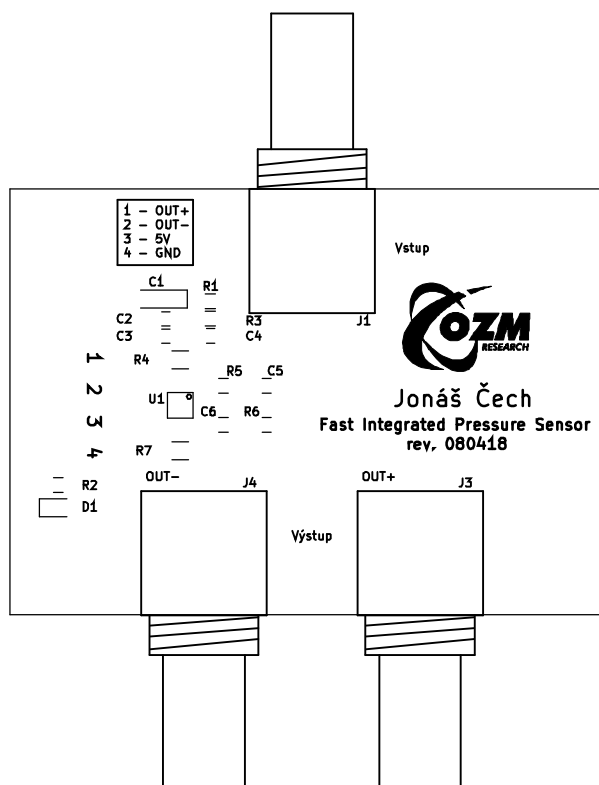
Rozměr desky 70 x 50 [mm], měřítko M1:1

A.11 DPS diferenciálního zesilovače – bottom (strana spojů)

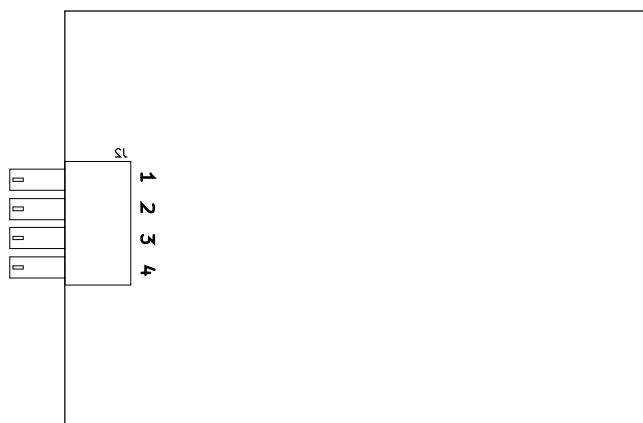


Rozměr desky 70 x 50 [mm], měřítko M1:1

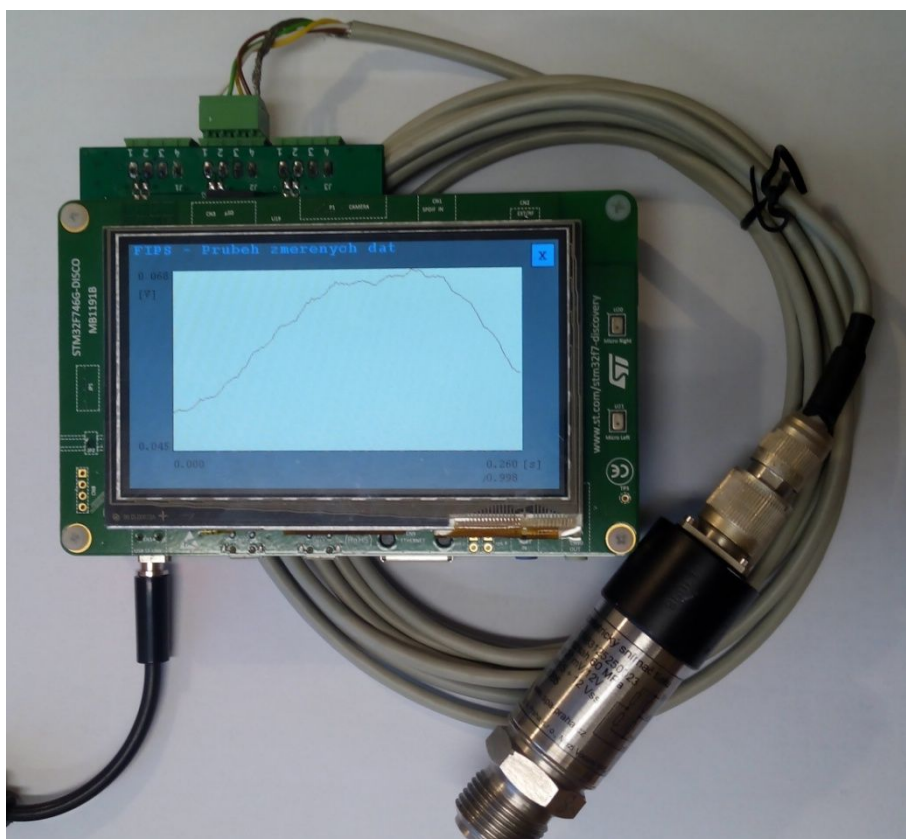
A.12 Osazovací plán diferenciálního zesilovače – top



A.13 Osazovací plán diferenciálního zesilovače – bottom



A.14 Fotografie funkčního celku s tenzometrickým snímačem



A.15 Fotografie desky diferenciálního zesilovače



B MĚŘENÉ A VYPOČTENÉ HODNOTY

B.1 Efektivní a špičková hodnota šumu při zesílení ~50

	OAMP		AD8557		PGA308	
f_{vz} [Sa/s]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]
250000	1,687	0,281	3,270	0,545	2,931	0,489
125000	1,491	0,248	3,101	0,517	2,767	0,461
50000	1,244	0,207	2,254	0,376	2,454	0,409
10000	0,910	0,152	0,860	0,143	1,410	0,235
1000	0,686	0,114	0,213	0,036	0,466	0,078

B.2 Efektivní a špičková hodnota šumu při zesílení ~100

	OAMP		AD8557		PGA308	
f_{vz} [Sa/s]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]
250000	2,182	0,364	7,058	1,176	5,120	0,853
125000	2,017	0,336	6,103	1,017	4,783	0,797
50000	1,575	0,262	4,654	0,776	4,409	0,735
10000	0,986	0,164	1,723	0,287	2,617	0,436
1000	0,248	0,041	0,444	0,074	0,878	0,146

B.3 Efektivní a špičková hodnota šumu při zesílení ~500

	OAMP		AD8557		PGA308	
f_{vz} [Sa/s]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]
250000	4,855	0,809	31,260	5,210	29,539	4,923
125000	4,560	0,760	29,213	4,869	28,379	4,730
50000	3,594	0,599	23,064	3,844	22,813	3,802
10000	2,069	0,345	8,172	1,362	12,613	2,102
1000	0,579	0,097	2,158	0,360	3,865	0,644

B.4 Efektivní a špičková hodnota šumu při zesilení ~1000

	OAMP		AD8557		PGA308	
f_{vz} [Sa/s]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]	U_{p-p} [mV]	U_{rms} [mV]
250000	7,511	1,252	49,635	8,273	57,614	9,602
125000	7,454	1,242	49,054	8,176	53,328	8,888
50000	6,539	1,090	40,144	6,691	45,531	7,589
10000	3,964	0,661	16,959	2,827	24,995	4,166
1000	1,285	0,214	4,363	0,727	7,812	1,302

B.5 Šumová spektrální hustota diskretního přístrojového zesilovače [nV/ $\sqrt{\text{Hz}}$]

	f_{vz} [Sa/s]				
Zesílení	250000	125000	50000	10000	1000
50	14,894	13,163	10,986	8,038	6,061
100	10,087	9,323	7,278	4,555	1,146
500	5,130	4,818	3,798	2,186	0,612
1000	3,624	3,596	3,155	1,912	0,620

B.6 Šumová spektrální hustota pro AD8557 [nV/ $\sqrt{\text{Hz}}$]

	f_{vz} [Sa/s]				
Zesílení	250000	125000	50000	10000	1000
50	32,344	30,669	22,290	8,511	2,108
100	34,774	30,071	22,931	8,487	2,187
500	30,919	28,894	22,812	8,082	2,134
1000	24,455	24,169	19,779	8,356	2,150

B.7 Šumová spektrální hustota pro PGA308 [nV/ $\sqrt{\text{Hz}}$]

	f_{vz} [Sa/s]				
Zesílení	250000	125000	50000	10000	1000
50	30,232	28,542	25,313	14,539	4,808
100	26,400	24,664	22,738	13,496	4,529
500	30,464	29,268	23,528	13,008	3,986
1000	29,709	27,499	23,479	12,889	4,029