

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIOELECTRONICS

VÝUKOVÝ GPS PŘIJÍMAČ

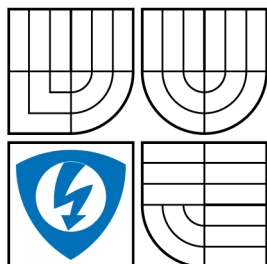
DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. GABRIEL CSÉFALVAY



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY
A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND
COMMUNICATION
DEPARTMENT OF RADIOELECTRONICS

VÝUKOVÝ GPS PŘIJÍMAČ EDUCATIONAL GPS RECEIVER

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. GABRIEL CSÉFALVAY

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. JIŘÍ ŠEBESTA, Ph.D.

BRNO 2009



**VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky
a komunikačních technologií**

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Gabriel Cséfalvay

ID: 83861

Ročník: 2

Akademický rok: 2009/2010

NÁZEV TÉMATU:

Výukový GPS přijímač

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte realizační koncepce GPS přijímačů pro příjem a dekodování C/A signálu. Navrhněte vhodnou koncepci vf. a demodulační části sekvenčního GPS přijímače. Výstupem přijímače budou demodulované navigační zprávy a změřené zdánlivé vzdálenosti, které budou předávány do PC k dalšímu zpracování pomocí USB rozhraní.

Navrhněte schéma jednotlivých částí GPS přijímače a navrhněte desky plošných spojů. Dodržujte modulární koncepci přijímače s možností reálného měření zpracovávaných signálů. Navržené moduly osadte, oživte a proveďte soubor experimentálních měření. Navrhněte vhodnou laboratorní úlohu demonstrující činnost sekvenčního GPS přijímače pro předmět Radiolokace a radionavigace.

DOPORUČENÁ LITERATURA:

[1] HOLMES J. K. Spread Spectrum System for GNSS and Wireless Communications. Artech House, Norwood, 2007.

[2] KAPLAN, E. D., HEGARTY, Ch. Understanding GPS: Principles and Applications. Artech House, Norwood, 2006.

Termín zadání: 8.2.2010

Termín odevzdání: 21.5.2010

Vedoucí práce: Ing. Jiří Šebesta, Ph.D.

prof. Dr. Ing. Zbyněk Raida

Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

LICENČNÍ SMLOUVA

POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Bc. Gabriel Cséfalvay
Bytem: Tichá 2208/2, Dunajská Streda 929 01, SR
Narozen/a (datum a místo): 20. dubna 1986 v Dunajské Středě

(dále jen „autor“)

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií
se sídlem Údolní 53, Brno, 602 00
jejímž jménem jedná na základě písemného pověření děkanem fakulty:
prof. Dr. Ing. Zbyněk Raida, předseda rady oboru Elektronika a sdělovací technika
(dále jen „nabyvatel“)

Čl. 1

Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

- ☐ disertační práce
- ☒ diplomová práce
- ☐ bakalářská práce
- ☐ jiná práce, jejíž druh je specifikován jako
(dále jen VŠKP nebo dílo)

Název VŠKP: Výukový GPS přijímač

Vedoucí/ školitel VŠKP: Ing. Jiří Šebesta, Ph.D.

Ústav: Ústav radioelektroniky

Datum obhajoby VŠKP: _____

VŠKP odevzdal autor nabyvateli*:

- ☒ v tištěné formě – počet exemplářů: 2
- ☒ v elektronické formě – počet exemplářů: 2

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činností dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.
3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.
4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

* hodící se zaškrtněte

Článek 2

Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti
 - ☒ ihned po uzavření této smlouvy
 - ☐ 1 rok po uzavření této smlouvy
 - ☐ 3 roky po uzavření této smlouvy
 - ☐ 5 let po uzavření této smlouvy
 - ☐ 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/ 1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3

Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne: 21. května 2010

.....
Nabyvatel

.....
Autor

ABSTRAKT

Tato práce popíše jednoduchý přijímač GPS signálu určený k laboratorní demonstraci postupu demodulace DSSS signálu a měření zdánlivých vzdáleností. Přijímač bude schopen vyhledat satelitní signály, změřit jejich posuv vůči internímu oscilátoru, demodulovat navigační data, zobrazit informace na LCD a komunikovat s počítačem pomocí USB.

KLÍČOVÁ SLOVA

Navstar GPS, GPS přijímač, FPGA, navigace

ABSTRACT

This work explicates a simple GPS receiver intended for laboratory demonstration of DSSS signal demodulation and apparent distance measurement. The receiver will be able to seek for individual satellite signals, measure their shift against local oscillator, demodulate navigational data, display information on LCD and communicate with PC via USB.

KEYWORDS

Navstar GPS, GPS receiver, FPGA, navigation

CSÉFALVAY, Gabriel *Výukový GPS přijímač*: diplomová práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2009. 71 s. Vedoucí práce byl Ing. Jiří Šebesta, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Výukový GPS přijímač“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Brno

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu semestrálního projektu Ing. Jiřímu Šebestovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mého semestrálního projektu.

V Brně

.....

(podpis)

OBSAH

Úvod	12
1 Navigace	13
1.1 Určení pozice	13
1.2 Pozice v systému GPS	14
1.3 Systém Navstar GPS	15
2 Návrh přijímacího obvodu	21
2.1 Vstupní část	22
2.2 Zpracování signálu	22
2.3 Mikroprocesor	27
3 Simulace	29
4 Realizace logického obvodu v FPGA	32
4.1 Hlavní modul GPS_design	32
4.1.1 Synchronizační obvod clksync	33
4.1.2 Generátor hodin clkdivider	33
4.1.3 Oscilátor PN sekvence pnphase	33
4.1.4 Vstupy a výstupy hlavního modulu	34
4.1.5 Přijímací kanál GPS_main	34
4.1.6 Numerický oscilátor OSC	35
4.1.7 Paměť PN sekvence PN_RAM	35
4.1.8 Řídicí jednotka gps_cu	37
4.1.9 Generátor PN sekvence PN_GEN	37
4.2 Řídicí jednotka gps_cu	38
4.2.1 Popis komunikace	38
4.2.2 Pracovní módy	39
4.2.3 Popis funkce	41
4.2.4 Komunikace s PN_GEN	42
5 Řídicí program mikrokontroléru	44
5.1 Hlavní program	44
5.1.1 uart_process()	45
5.1.2 gps_process()	47
5.1.3 data_process()	47
5.2 LCD	48
5.2.1 Driver	48

5.2.2	Komunikace po SPI	49
5.3	Asynchronní sériový port	50
5.4	Paralelní port	50
Závěr		51
Literatura		52
Seznam symbolů, veličin a zkratk		53
Seznam příloh		55
A	Výkresová dokumentace	56
A.1	Schéma	56
A.2	Deska plošného spoje	58
B	Schémata FPGA	64
C	Obsah CD	69
D	Návrh laboratorní úlohy	70
E	Poznámky	71

SEZNAM OBRÁZKŮ

1.1	Hyperbolická navigace	13
1.2	Přesnosti různých systémů ([2])	14
1.3	Průnik kružnice a kulové plochy ([2])	15
1.4	Blokové schéma družicového vysílače GPS	18
1.5	Generátor C/A kódu	19
2.1	Blokové schéma systému	21
2.2	Typické schéma VF části	22
2.3	Blokové schéma jednoho kanálu DSP	23
2.4	Blokové schéma DSP	24
2.5	Paměť PN posloupnosti	25
2.6	Propojení mikroprocesoru	27
3.1	Generace satelitního signálu	29
3.2	Demodulace	30
3.3	Prohledávání	31
4.1	Generování fáze Q	35
5.1	Hlavní program	44
5.2	Funkce uart_process	45
5.3	Funkce gps_process	46
5.4	Funkce data_process	47
A.1	DPS – top	58
A.2	DPS – bottom	59
A.3	Osazovací plán – top	60
A.4	Osazovací plán – bottom	61
A.5	DPS – pohled (zvětšeno na 140%)	62
A.6	DPS – fotka	63
B.1	Schéma GPS_main	64
B.2	Schéma GPS_design	65
B.3	Schéma PN_gen	66
B.4	Schéma PN_RAM	67
B.5	Schéma clkdivider	68

SEZNAM TABULEK

1.1	GPS družice ([1])	17
1.2	PN kódy ([1])	20
2.1	Výstup I a Q	25
2.2	Podobnost XOR a násobení	26
4.1	Zápis adresy	38
4.2	Módy, čtení a zápis	39
4.3	Struktura kódu CU	41

ÚVOD

Výukový GPS přijímač bude sloužit jako funkční pomůcka při laboratorní demonstraci systému GPS. GPS přijímač bude schopen vyhledat a přijímat signály více GPS družic, změřit časový posuv C/A kódů vůči internímu referenčnímu oscilátoru, demodulovat vysílaná data a poslat tyto údaje do počítače, kde se budou vyhodnocovat vhodným softwarem. Přijímač bude navržen tak, aby bylo možné zkoumat veškeré interní signály a proces získání informace. Přijímač musí dosáhnout jen základní přesnosti C/A kódu, speciální techniky zvyšování přesnosti proto nejsou potřebné.

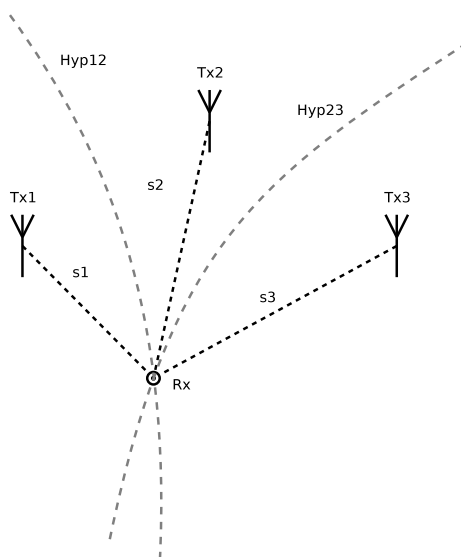
Zpracování signálu bude prováděno digitálně, k tomu je potřebné přemodulovat signál na mezní frekvenci, která je akceptovatelná částí digitálního zpracování. Tato operace bude prováděna externím analogovým směšovačem. Jeho mezifrekvenční výstup bude přiveden na desku přijímače, bude vzorkován a dále zpracováván logickým obvodem, který bude navržen speciálně pro tento účel. Tento obvod bude implementován do programovatelného logického integrovaného obvodu typu FPGA.



1 NAVIGACE

1.1 Určení pozice

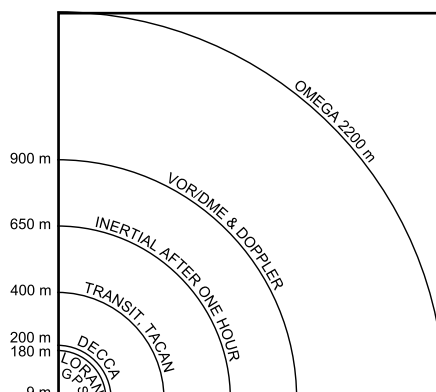
Pozice objektu v 3-dimenzionálním prostoru má stupeň volnosti 3. To znamená, že pro stanovení polohy objektu je potřeba určit 3 nezávislé veličiny, například vzdálenosti od 3 objektů známé pozice. Vzdálenosti objektů lze určit rádiovými vlnami, pokud jsou známy časy vyslání a přijetí symbolu. Na základě těchto časů lze vypočítat vzdálenost daných objektů. Okamžik vyslání je známý jenom tehdy, když měřicí zařízení a vysílač pracují společně. Systém postavený na tomto principu není vhodný pro masové použití, neboť počet uživatelů, kteří mohou současně vysílat, musí být konečný, t.j. kapacita systému je z principu limitovaná. Toto omezení lze odstranit použitím pasivního přístroje, který pouze přijímá signály vzdálených vysílačů. V tomto případě není známý čas vyslání, ale přijetí, přičemž časy vyslání symbolů různými vysílači mohou být korelovány. V takovém případě, když jsou známy 4 časové okamžiky přijetí symbolů, ze 3 rozdílových údajů lze jednoznačně určit vzdálenosti vysílačů. V případě pozemního systému, pokud výška není důležitá, stačí k určení geografické pozice 3 vysílače. Rozdílové údaje na mapě určují 2 hyperboly (obr. 1.1), v jejichž průsečíku se nachází přijímač. Tato metoda se nazývá hyperbolická.



Obr. 1.1: Hyperbolická navigace

Navigační systém lze realizovat jako síť pozemních vysílačů (např. starší DECCA, LORAN), nebo může být umístěný na družicích. Dnes nejvíce používané družicové systémy (např. Navstar GPS, GLONASS a Galileo) mají oproti pozemním systémům

rozhodně lepší vertikální přesnost, neboť vysílače jsou rozloženy v prostoru pro tento účel vhodněji, a zároveň mají i lepší přesnost horizontální.



Obr. 1.2: Přesnosti různých systémů ([2])

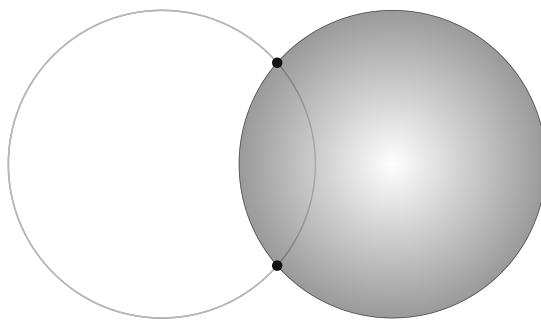
1.2 Pozice v systému GPS

je určována dálkoměrnou metodou. Souřadnice přijímače (x, y, z) jsou vypočteny z údajů vzdáleností od několika družic d_n a z vlastních souřadnic družic (x_n, y_n, z_n) . Když jsou tyto údaje k dispozici, pro každou družici n lze napsat následující rovnici kulové plochy, na které se přijímač nachází.

$$\sqrt{(x - x_n)^2 + (y - y_n)^2 + (z - z_n)^2} = d_n = t_n \cdot c, \quad (1.1)$$

kde d_n je vzdálenost od družice, t_n je zpoždění signálu vlivem konečné rychlosti na trase družice-přijímač, c je rychlost světla. V případě, že měření jsou známé vzdálenosti 3 družic, můžeme z rovnic 1.1 podle [4] snadno vypočíst polohu (x, y, z) . Přijímač leží ve vzdálenosti d_1 od první družice a d_2 od druhé. Průnik dvou kulových ploch je kružnice, na které přijímač leží. Průnik s další plochou o průměru d_3 dává 2 body, nýbrž systém rovnic je druhého řádu. Z 2 výsledků lze snadno vybrat správný, protože druhý bod leží buď hluboko pod zemí nebo ve vesmíru. K výpočtu jsou dále potřebné aktuální souřadnice družic, což lze vypočíst z efemerid vyslaných v navigační zprávě.

K měření vzdálenosti je nutné, aby hodiny v přijímači běžely synchronně s hodinami na družici. To ale v běžných podmínkách není možné, poněvadž přesnost levných krystalových oscilátorů (10^{-6}) se nepřibližuje k přesnosti cesiových a rubidiových hodin (10^{-13}) obsažených na satelitech. V krátkém časovém intervalu se krystal považuje za dostatečně stabilní, proto se nebere v úvahu jeho kmitočtová



Obr. 1.3: Průnik kružnice a kulové plochy ([2])

odchylka, jen časový posuv, který vzniká dlouhodobou odchylkou frekvence. Tento posuv mezi časem systému GPS a časem měřeným ve přijímači $\Delta\tau$ zavede čtvrtou neznámou do systému, proto se stává nevyhnutelným použití 4 rovnic, v praxi příjem 4 družic podle vzorce

$$\sqrt{(x - x_n)^2 + (y - y_n)^2 + (z - z_n)^2} = d_n = (t_n + \Delta\tau) \cdot c = d'_n + b, \quad (1.2)$$

kde d'_n je zdánlivá (měřená) vzdálenost, d_n je skutečná vzdálenost a $b = c \cdot \Delta\tau$ je jejich rozdíl.

Souřadnice družic (x_n, y_n, z_n) jsou k dispozici z přijímaného signálu, zdánlivé vzdálenosti d'_n jsou měřeny přijímačem, takže zbydou 4 neznámé x, y, z a d . Existuje možnost nahradit jednu rovnici fixní nadmořskou výškou a přijímat pouze 3 družice, ale v takovém případě je přesnost výsledku jen orientační.

1.3 Systém Navstar GPS

je v dnešní době běžně známý pod zkratkou GPS (Global Positioning System) a je provozován Armádou Spojených států amerických. Základní sestava disponuje 24 satelity, které létají v 6-ti orbitálních rovinách s inklinací 55° po 4 satelitech. Družice jsou umístěny na oběžných drahách MEO ve výšce cca. 20200 km nad zemským povrchem, t.j. poloměr orbity je 26600 km. Každý satelit udělá 2 celé rotace za siderický den. Tato konstelace zabezpečuje viditelnost alespoň 6 satelitů v libovolném časovém okamžiku.

Všechny vysílače v systému GPS vysílají na stejných frekvencích 1575,42 MHz a 1227,60 MHz označených jako L1 a L2, je použita koordinace přístupu CDMA a rozprostírací technika DSSS. Na frekvenci L1 je použita modulace QPSK. Na

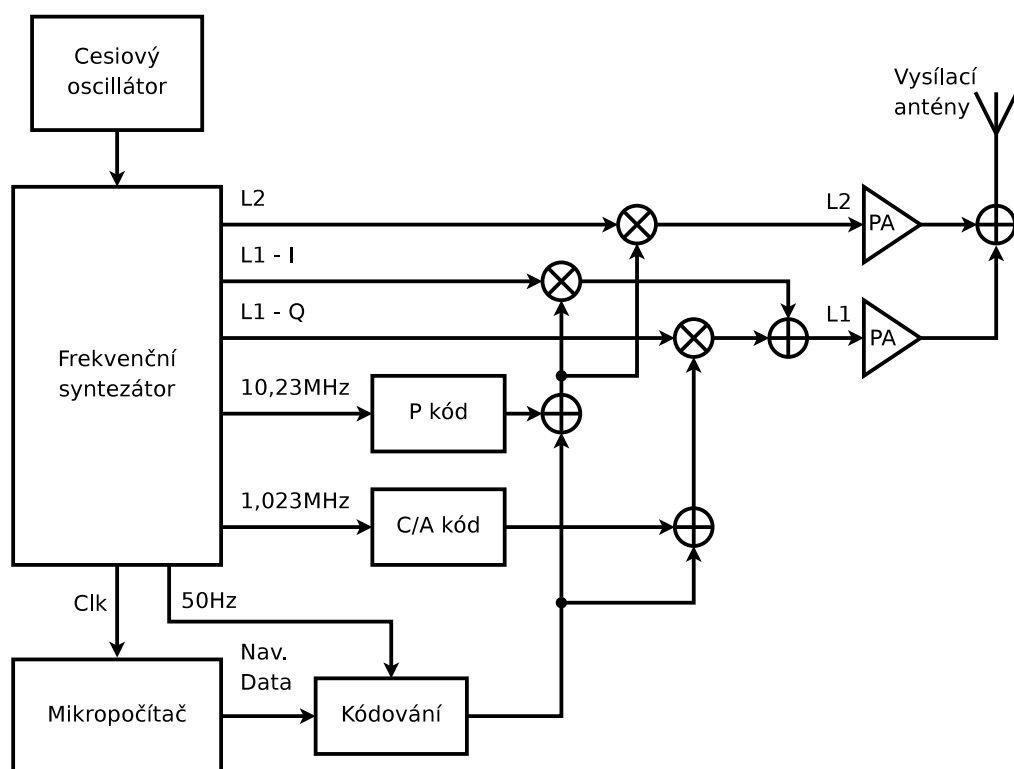
nosné Q je vysílán tzv. C/A kód (Coarse/Aquisition), který zabezpečuje zasynchronizování přijímače a měření pozice s orientační přesností (asi 15 m). Tento signál je rozprostírán Goldovou posloupností s délkou 1023 b s čipovou rychlostí 1,023 Mc/s, takže sekvence je opakována přesně každých 1 ms a je dostupná široké veřejnosti. Na nosné I je vysílán P kód s rychlostí 10,23 Mc/s, jehož perioda je zhruba jeden týden. Tento kód je dále šifrován kódem Y, což je tajný a je dostupný pouze Armádě USA a vybraným stanicím.

Jednotlivé satelity jsou jednoznačně rozlišeny kódovou posloupností (tab. 1.1 a 1.2) a časový rozdíl mezi začátky kódů je pevně dané. Synchronismus je zabezpečený pomocí cesiových oscilátorů, které mají dlouhodobou stabilitu kmitočtu – jak už bylo zmíněné – řádově 10^{-13} . Od těchto oscilátorů jsou odvozeny veškeré frekvence na družici. Blokové schéma satelitního GPS vysílače je znázorněno na obr. 1.4. Cesiový frekvenční standard poskytuje základní kmitočet pro blok frekvenčního syntezátoru, který vytváří všechny potřebné frekvence pro VF modulátory, generátory PN sekvencí a palubní mikropočítač. Jak do C/A kódu, tak i do P kódu jsou modulována navigační data s rychlostí 50 b/s, které jsou vytvářeny mikropočítačem.

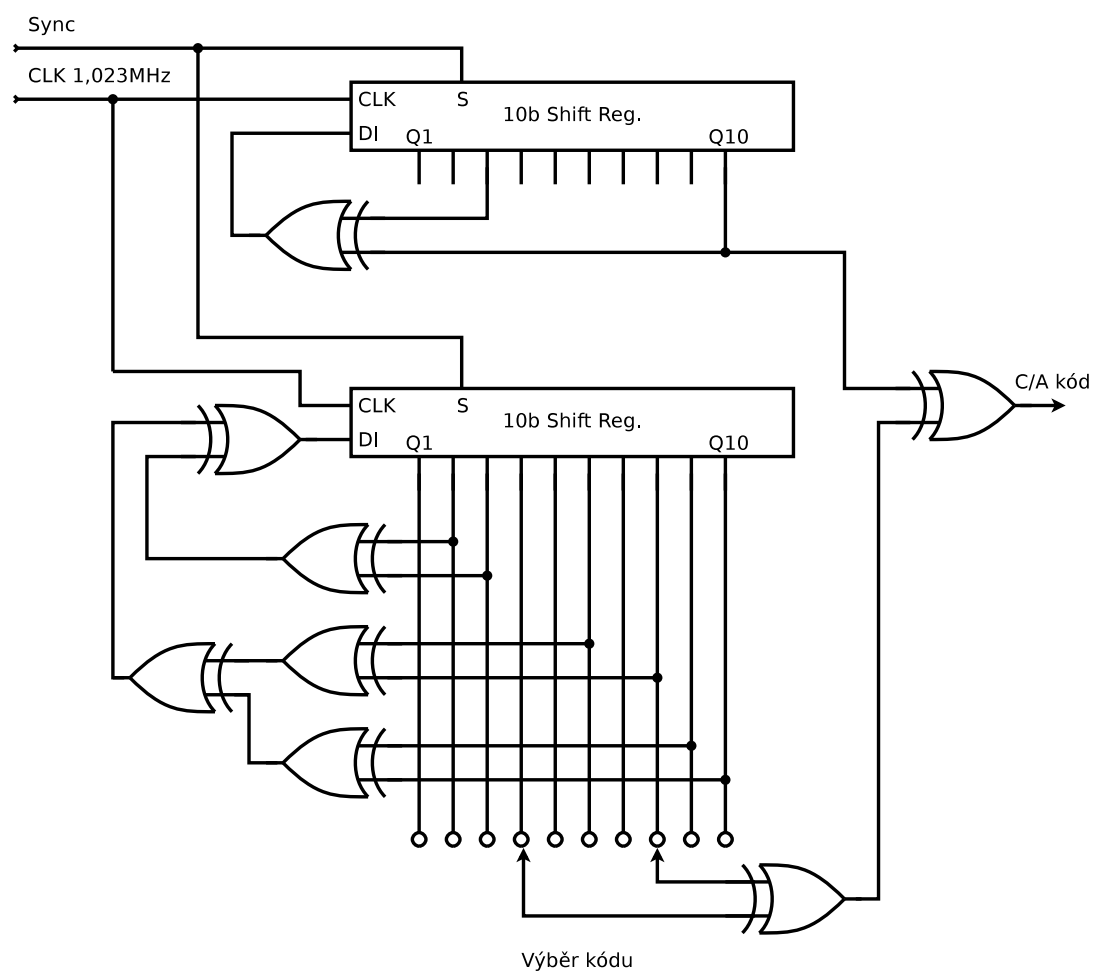
Navigační data jsou organizována do framů (rámců), které se skládají z 5 subframů. Každý frame obsahuje 1500 bitů, t.j. jeho vyslání trvá 30 s. První subframe obsahuje data o hlavním oscilátoru (odchylku frekvence a fáze), které se využívají pro korekci. Druhý a třetí subframe poskytuje efemeris ve formě Keplerových elementů, které přesně popisují dráhu a pozici družice. Ve čtvrtém a pátém subframeu je vyslán tzv. almanach, který obsahuje data o celém systému. Celý almanach je rozdělen do 25 framů a tak je kompletně vyslán za každých 12,5 minut.

Satelit	Start		Dráha	PN	Vyřazení
BI-01	78	20	C-?	4	7. 85
BI-02	78	47	A-?	7	7. 81
BI-03	78	93	A-?	6	6. 92
BI-04	78	112	C-?	8	10. 89
BI-05	80	11	C-?	5	11. 83
BI-06	80	32	A-?	9	3. 91
BI-07					porucha při startu
BI-08	83	72	C-3	11	5. 93
BI-09	84	59	C-1	13	
BI-10	84	97	A-1	12	
BI-11	85	93	C-4	3	
BII-01	89	13	E-1	14	
BII-02	89	44	B-3	2	
BII-03	89	64	E-3	16	
BII-04	89	85	A-4	19	
BII-05	89	97	D-3	17	
BII-06	90	8	F-3	18	
BII-07	90	25	B-2	20	
BII-08	90	68	E-2	21	
BII-09	90	88	D-2	15	
BIIA-10	90	103	E-4	23	
BIIA-11	91	47	D-1	24	
BIIA-12	92	9	A-2	25	
BIIA-13	92	19	C-2	28	
BIIA-14	92	39	F-2	26	
BIIA-15	92	58	A-3	27	
BIIA-16	92	79	F-1	1	předtím 32
BIIA-17	92	89	F-4	29	
BIIA-18	93	7	B-1	22	
BIIA-19	93	17	C-1	31	
BIIA-20	93	32	C-4	7	
BIIA-21	93	42	A-1	9	
BIIA-22	93	54	B-4	5	

Tab. 1.1: GPS družice ([1])



Obr. 1.4: Blokové schéma družicového vysílače GPS



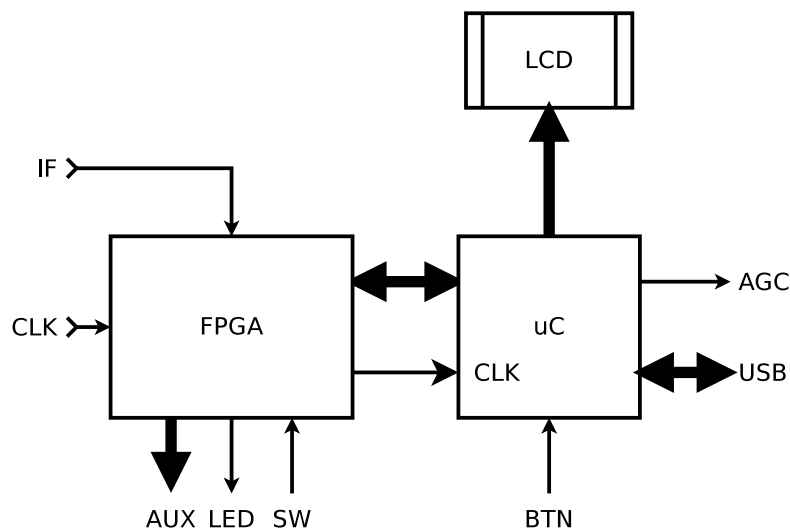
Obr. 1.5: Generátor C/A kódu

č. kódu	výstupy pro výběr kódu	posuv
1	2, 6	5
2	3, 7	6
3	4, 8	7
4	5, 9	8
5	1, 9	17
6	2, 10	18
7	1, 8	139
8	2, 9	140
9	3, 10	141
10	2, 3	251
11	3, 4	252
12	5, 6	254
13	6, 7	255
14	7, 8	256
15	8, 9	257
16	9, 10	258
17	1, 4	469
18	2, 5	470
19	3, 6	471
20	4, 7	472
21	5, 8	473
22	6, 9	474
23	1, 3	509
24	4, 6	512
25	5, 7	513
26	6, 8	514
27	7, 9	515
28	8, 10	516
29	1, 6	859
30	2, 7	860
31	3, 8	861
32	4, 9	862

Tab. 1.2: PN kódy ([1])

2 NÁVRH PŘIJÍMACÍHO OBVODU

Systém GPS používá kruhově polarizovanou vlnu jako prostředek k potlačení odražených vln s jedním odrazem. Vlny se dvěma odrazy bývají zpravidla již velice slabé a mají nepatrný vliv na výsledek měření. Anténa GPS přijímače by měla být všesměrová, neboť musí současně přijímat signály z několika družic, jejichž pozice nejsou předem známy, a zároveň by měla potlačit vlny s elevací pod 0° . Jelikož přijímaný signál při povrchu Země je již značně zesláblý, LNA hraje klíčovou roli v přijímacím řetězci. Za ním následují VF zesilovače, filtry a směšovače, které přeloží původní signál na mezifrekvenci 10,5 MHz. Signál je dále zpracováván digitálně. Před částí DSP je zařazen blok AD převodníku, který je v tomto případě jednoduchý limiter, neboť signál je zpracováván jednobitově. Volbou jednobitového zpracování dopustíme poklesu S/N asi o 2 dB (podle [1]), který je způsoben tím, že teoretická hodnota S/N jednobitového převodníku je přibližně 3 dB a vstupní signál není čistě signálem jednoho satelitu, ale je tvořen signály z více satelitů a nezanedbatelným šumem. Na druhé straně celý digitální obvod bude značně jednodušší než vícebitový obvod – např. pro generování jednobitového sinusu je potřeba minimum matematických operací, násobení se mění v jednoduchou operaci XOR.



Obr. 2.1: Blokové schéma systému

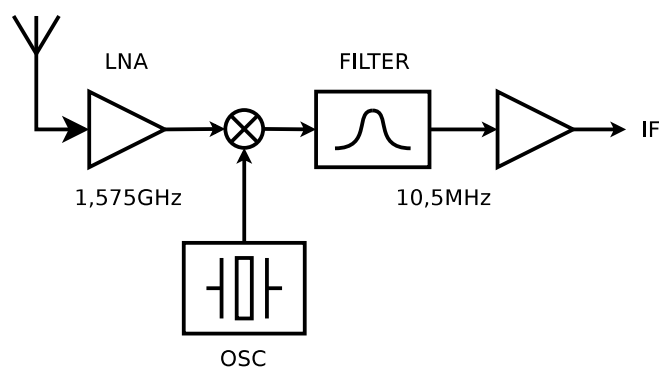
Digitální část přijímače se bude skládat z mikroprocesoru, který bude řídit celý proces hledání signálů, udržovat synchronizmus, dekódovat navigační data a komunikovat s počítačem. Dále bude obsahovat dedikovaný digitální obvod, který bude provádět demodulaci v reálném čase. Vyhledání a zasynchronizování signálu určité družice je složitý proces, neboť ještě nejsou známy údaje o frekvenci a fázi nosné a

ani o fázi PN sekvence. Frekvence se může posouvat v rozmezí ± 500 Hz kvůli Dopplerově posuvu a musí být nastavena s přesností menší než 1 Hz. Přijímač může po úspěšném zasynchronizování na jeden satelitní signál dekodovat navigační data, určit aktuálně viditelné družice, vypočítat jejich Dopplerův posuv, a tak urychlit vyhledávání dalších družic. Tento proces je na druhé straně rychlostně omezen dlouhou periodou celého almanachu, která je 12,5 min.

2.1 Vstupní část

Jako vysokofrekvenční část bude použit VF modul, který převádí vstupní singál z 1575,42 MHz na mezifrekvenci 10,5 MHz. Tento signál bude vstupovat na desku přijímacího modulu. Protože není možné při signálu s rozprostřeným spektrem získat informaci o skutečné intenzitě signálu před demulací, vstupní modul požaduje analogový signál řídící jeho zisk. Tento signál musí být generován procesorem (tzv. smyčka AGC).

Vstupující signál je již dostatečně silný, proto po filtraci DP přímo vstupuje do komparačního zesilovače. Výstup komparátoru je logický signál, který je veden přímo do FPGA, kde je vzorkován s frekvencí 16 MHz.



Obr. 2.2: Typické schéma VF části

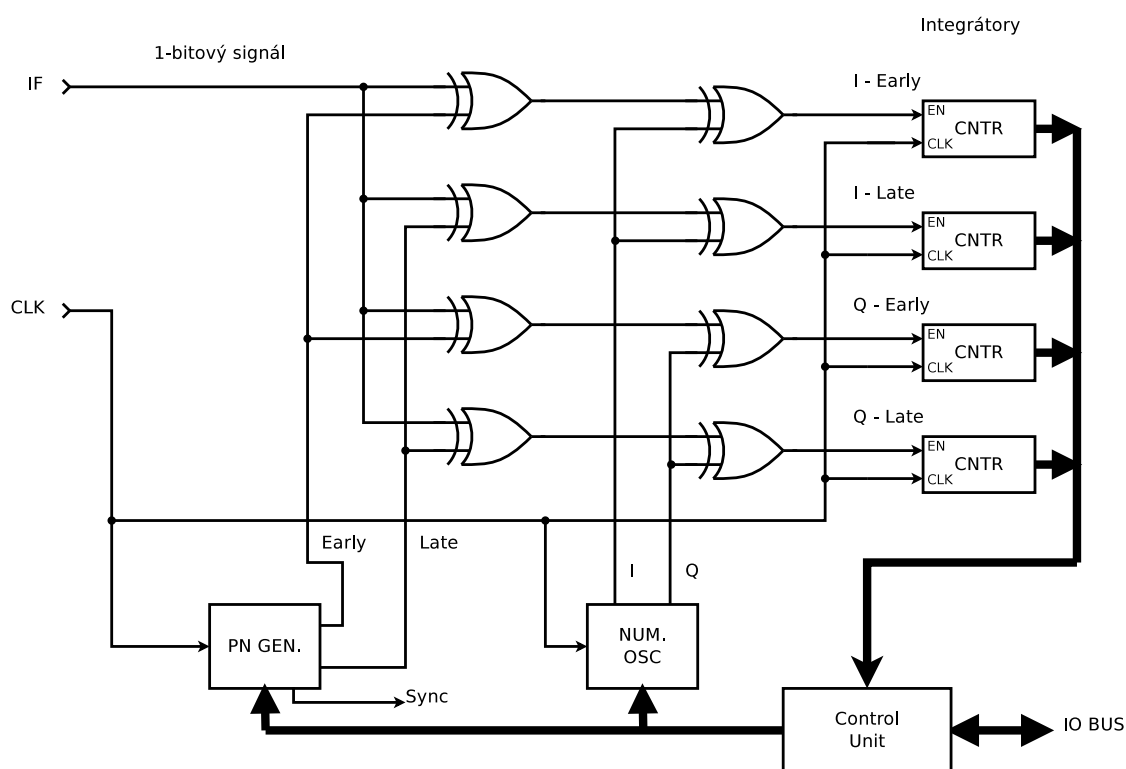
2.2 Zpracování signálu

Zpracování GPS signálu v reálném čase vyžaduje poměrně vysoký počet operací za danou dobu. Realizace je možná buď ve výkonném signálovém procesoru, nebo pomocí vyhrazeného logického obvodu, jenž je sestaven speciálně pro daný účel. První řešení je – z hlediska složitosti, příkonu a možnosti rozšíření – méně efektivní, proto je zvolena druhá možnost. Tento logický obvod bude realizován v programovatelném logickém poli (FPGA). Sestavení je teoreticky možné i z logických hradel a

typových obvodů, ale výsledná konstrukce by byla rozměrná, jako je vidět v případě jednoduchého sekvenčního přijímače v [1]. Tento přijímač bude obsahovat 4 identické, vzájemně nezávislé paralelní kanály (obr. 2.3), které jsou na hlavním schématu (obr. 2.4) označeny jako „GPS RX“. Každý kanál může nezávisle od ostatních hledat družicové signály nebo dekódovat data.

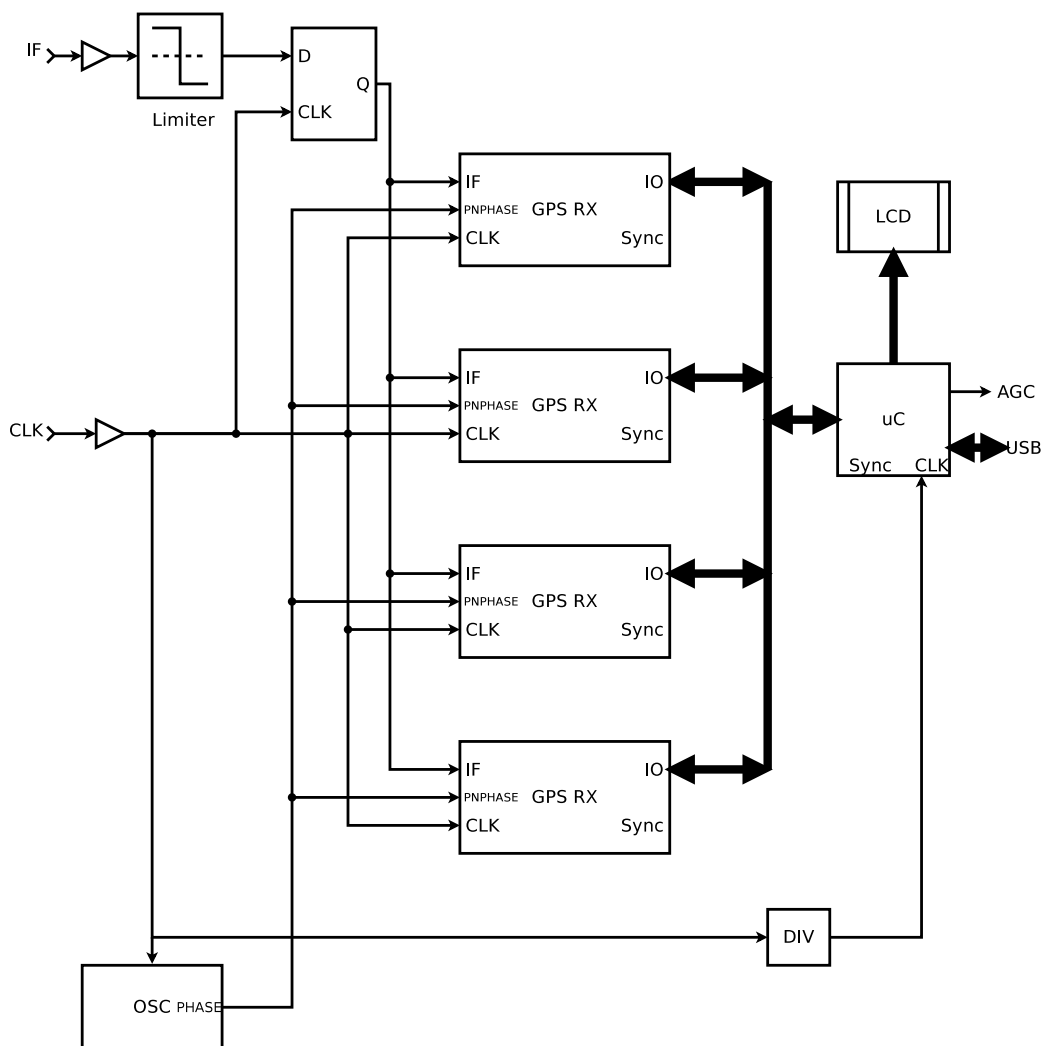
V případě, že je již signál nalezen a kanál ho přijímá, je zapotřebí udržovat synchronizmus vnitřních oscilátorů se signálem přijímaným pomocí zpětné vazby. Nabízí se dvě řešení ohledně místa výpočtu potřebných dat, které mohou být vypočteny mikrokontrolérem (μC), jenž po vyčtení výstupů integrátorů spočte výstupní frekvenci a fázová data pro numerické oscilátory. Protože není vhodné měnit tyto údaje během integrace a procesor není schopen provést výpočet za jeden hodinový cyklus přijímače, vypočtená data se mohou uplatňovat až v následujícím integračním cyklu, což znamená zpoždění 1 ms.

Oproti tomu je možná realizace zpětné vazby přímo v řídicí jednotce přijímacího kanálu. Toto řešení je výhodné ohledně rychlosti získání výsledku, ale poměrně komplexní výpočet může obsadit na čipu FPGA významnou plochu, což se projeví jednak zvýšením nároku na počet hradel a jednak zvýšením spotřeby obvodu.



Obr. 2.3: Blokové schéma jednoho kanálu DSP

V FPGA se budou provádět operace, které jsou snadno realizovatelné digitálním zapojením, což je korelace přijímaného signálu s generovaným – I a Q fází vynásobe-



Obr. 2.4: Blokové schéma DSP

né PN poslupností posunutým o jeden vzorek vzadu a jeden vpředu. Tímto způsobem vznikají 4 signály, které jsou integrovány čtyřmi integrátory po dobu jedné periody PN sekvence, t.j.

$$\frac{1023 c}{1,023 \text{ Mc/s}} = 1 \text{ ms.}$$

Numerické oscilátory budou realizované jako akumulátory, jejichž vstup se rovná součtu výstup plus vstupní číslo ($Q = A + f$), kde vstupní číslo f je přírůstek fáze v každé hodinové periodě. f je vypočten mikrokontrolérem a může být změněn dynamicky, je vlastně výstupem zpětné vazby realizované softwareově. Výstup akumulátoru je pilová poslupnost čísel, jejíž nejvyšší bit odpovídá jednobitové sinusovce, což odpovídá teoreticky obdélníkovému signálu se střídou 50%. Kvadratický výstup Q je vůči výstupu I posunut o 90° a je vypočten exkluzivní disjunkcí (tab. 2.1) z prvního a druhého nejvyššího bitu čítače.

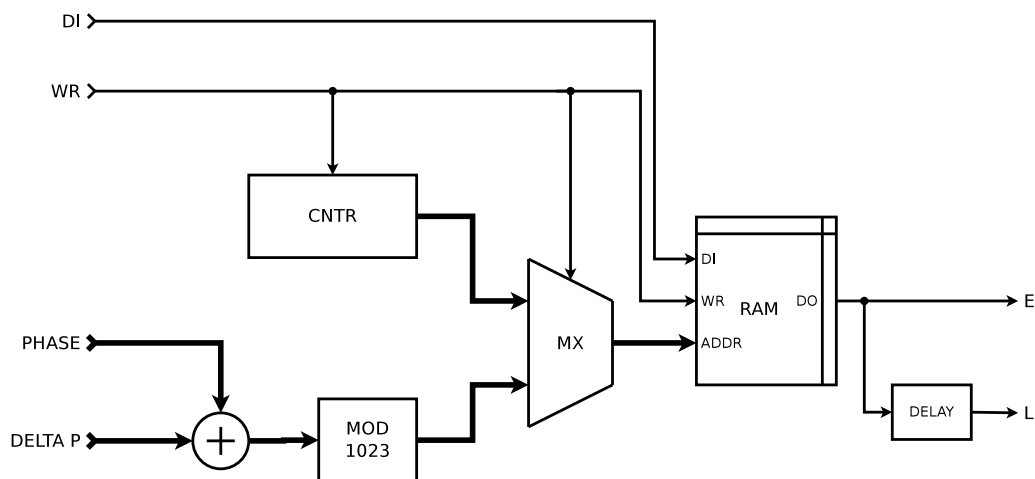
bit	sekv.							
MSB-1	0	1	0	1	0	1	0	1
MSB (I)	0	0	1	1	0	0	1	1
XOR (Q)	0	1	1	0	0	1	1	0

Tab. 2.1: Výstup I a Q

Kanál bude obsahovat jeden numerický oscilátor, který bude použit k generování nosné vlny a ke kvadrurnímu demodulaci fázově klíčovaného kvadrurního signálu ze satelitu.

Další částí přijímacího kanálu bude generátor PN čísel – ten je nepostradatelný pro demodulaci signálu s rozprostřeným spektrem DSSS. PN generátor musí generovat posloupnost identický generované na družici (obr. 1.5). Jako vstup požaduje výběr generované sekvence a hodinový signál. Generátor může být resetován, když jsou všechny paměťové jednotky nastaveny do stavu '1'.

Generátor goldovy posloupnosti z obr. 1.5 má jednu základní nevýhodu pro aplikaci v přijímači: nelze libovolně posouvat jeho fázi. Z tohoto důvodu je jednoznačně výhodnější použití statické paměti, která bude obsahovat kompletní posloupnost a změna fáze se provádí jednoduše odečtením nebo přičtením čísla k adresnímu vstupu. Použití tohoto řešení předpokládá existenci oscilátoru, jenž by byl schopen poskytnout lineární fázovou informaci a čím by byla jednoznačně určena perioda PN sekvence. K této globální fázi by byla přičtena v každém přijímacím modulu lokální posuv fáze.



Obr. 2.5: Paměť PN posloupnosti

Velikosti lokálních posuvů fáze jednotlivých pseudonáhodných sekvencí zároveň přímo obsahují informace o zdánlivém vzdálenosti družice, což tvoří základ výpočtu

pozice přijímače v prostoru a což je přímo dostupný z výsledků výpočtu zpětné vazby. Bitový posuv lze vyjádřit v časových jednotkách, protože bitová rychlost je známá. 4 časové údaje získané od 4 přijímacích kanálů poskytují 4 zdánlivé vzdálenosti pro výpočet pozice přijímače podle vzorce 1.2. Tímto řešením odpadá komplikované měření zdánlivých vzdáleností přijímaných družic speciálním modulem. Když obvod je řešen, aby synchronizace PN posloupnosti byla přesná 1/2 bitové periody, tak přesnost jednoho měření dosáhne jenom

$$\Delta s = c \cdot \Delta t = c \cdot \frac{1}{2} \cdot \frac{1}{f_b} = 300 \cdot 10^6 \text{ m/s} \cdot \frac{1}{2} \cdot \frac{1}{1023 \text{ kHz}} = 147 \text{ m} \quad (2.1)$$

Při měření po dobu jedné sekundy se získá 1000 výsledků, protože integrační doba je 1 ms. Průměrováním těchto výsledků se může statisticky dosáhnout přesnost 147 m/1000 \doteq 15 cm, což je dostačující. Systematická chyba měření dosáhne několik metrů až několik desítek metrů.

Demodulace vyžaduje operaci násobení, což v 1-bitové podobě odpovídá logické operaci XOR. Tento fakt je důvodem toho, že přijímač používá 1-bitové rozlišení. Realizace vícebitového násobení není nerealizovatelné, ale vícebitové zpracování by značně zkomplikovalo celý obvod.

XOR			násobení		
0	0	0	1	1	1
0	1	1	1	-1	-1
1	0	1	-1	1	-1
1	1	0	-1	-1	1

Tab. 2.2: Podobnost XOR a násobení

Integrátory mohou být řešeny jednoduchým způsobem jako čítače s možností resetu, které sčítají počet hodinových cyklů, kdy je demodulovaný signál na vysoké úrovni, t.j. hodinový vstup je připojen na globální hodiny, na vstup „enable“ (EN) je připojen demodulovaný signál.

Pro možnost ladění, kontrolu a rozšíření obvodu je výhodné připojit k FPGA následující periferie:

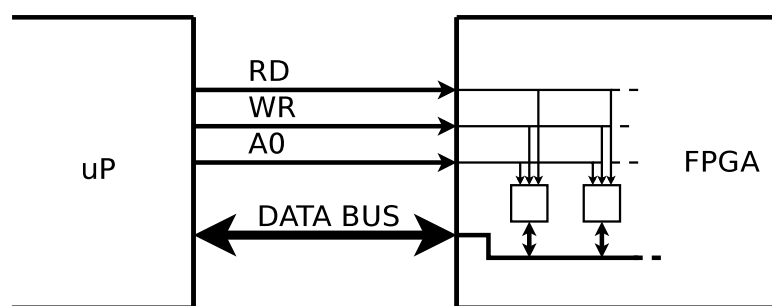
- 4 LED,
- 4 přepínače,
- univerzální konektor s 8 IO piny.

Struktura vnitřního pospojování obvodu FPGA je nutné uložit v sériové FLASH paměti typu XCF01S, který je doporučen datasheetem [3]. Při zapnutí je konfigurace

automaticky načtena. Programování se provádí přes interface JTAG. Jeho zapojení vychází z datasheetu, ale je upraven tak, aby přistupoval k paměti bezprostředně a ne přes FPGA.

2.3 Mikroprocesor

bude mít za úkol řízení procesů vyhledávání satelitních signálů a udržení synchronismu s nalezenými signály. K tomu je potřebné, aby data mohla být přenášena mezi mikrokontrolérem a FPGA. Na straně FPGA bude zabezpečen obousměrnou adresovanou sběrnici řízenou mikrokontrolérem, na který se budou připojovat jednotlivá vnitřní moduly, zejména jednotlivé přijímací kanály a příp. jiné obvody. Sběrnice umožní přenos dat po 8-mi bitech v obou směrech. Přenos nastává vždy při náběžné hraně vstupů WR a RD. Zápis adresy – výběr modulu s kterým bude komunikace probíhat – se uskuteční při náběžné hraně signálu A0. Obsluha této sběrnice na straně procesoru je jednoduchá a poskytuje poměrně vysokou přenosovou rychlost.



Obr. 2.6: Propojení mikroprocesoru

Program bude realizovat zpětnou vazbu mezi výsledky korelací a frekvencemi num. oscilátorů při udržování synchronizace (příjem satelitního signálu), postup může být zhrnut do následujících bodů.

- Čtení dat – výsledků korelací a časových údajů
- Výpočet nových hodnot frekvencí vč. dolní propusti
- Zápis dat – korekce hodnot frekvencí
- Korekce výstupu AGC
- Posílání časových údajů (zdánlivých vzdáleností do PC)
- Výstup na display

Programování mikrokontroléru se bude provádět přes standardní ISP konektor doporučený výrobcem. Je podporován mnoha programátory, např. USBTiny.

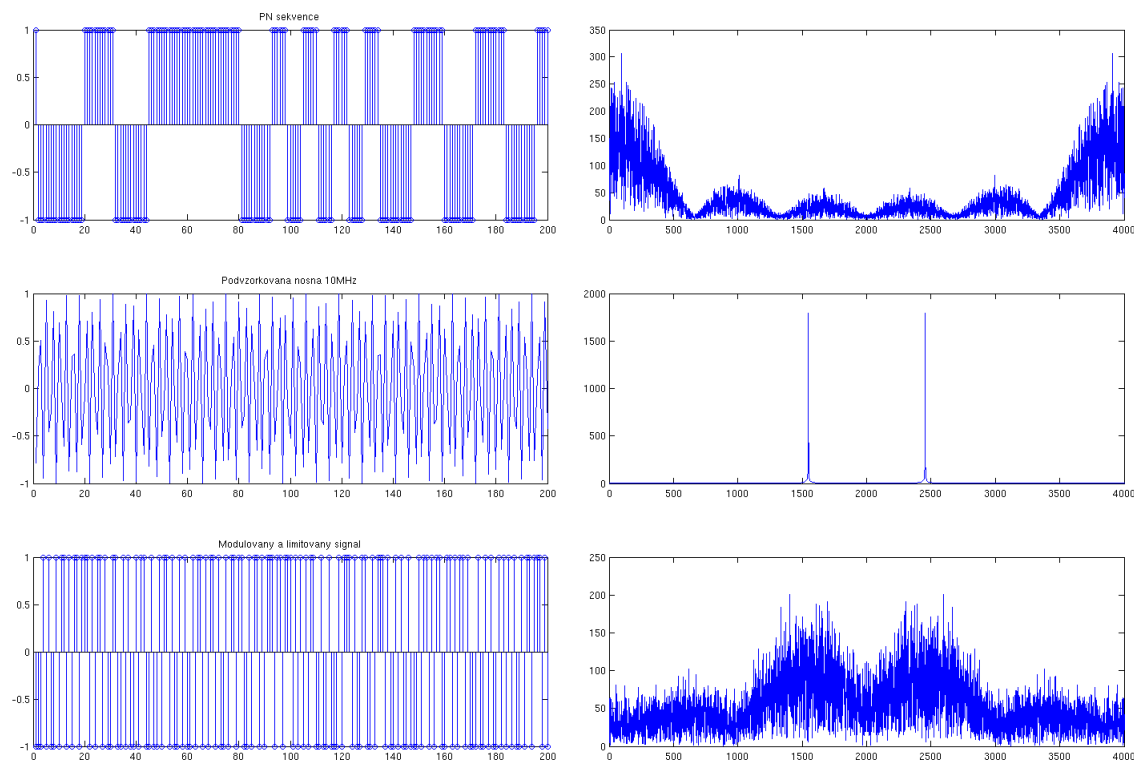
Komunikace s osobním počítačem bude probíhat přes sběrnici USB. Komunikaci bude zabezpečovat integrovaný obvod od firmy FTDI, který převádí data mezi USB a RS-232 transparentně ([8]).

K procesoru bude připojen i grafický LC display, který může zobrazit informace o dostupných družicích a o intenzitě přijímaných signálů, příp. různé detaily a informace podle potřeby.

3 SIMULACE

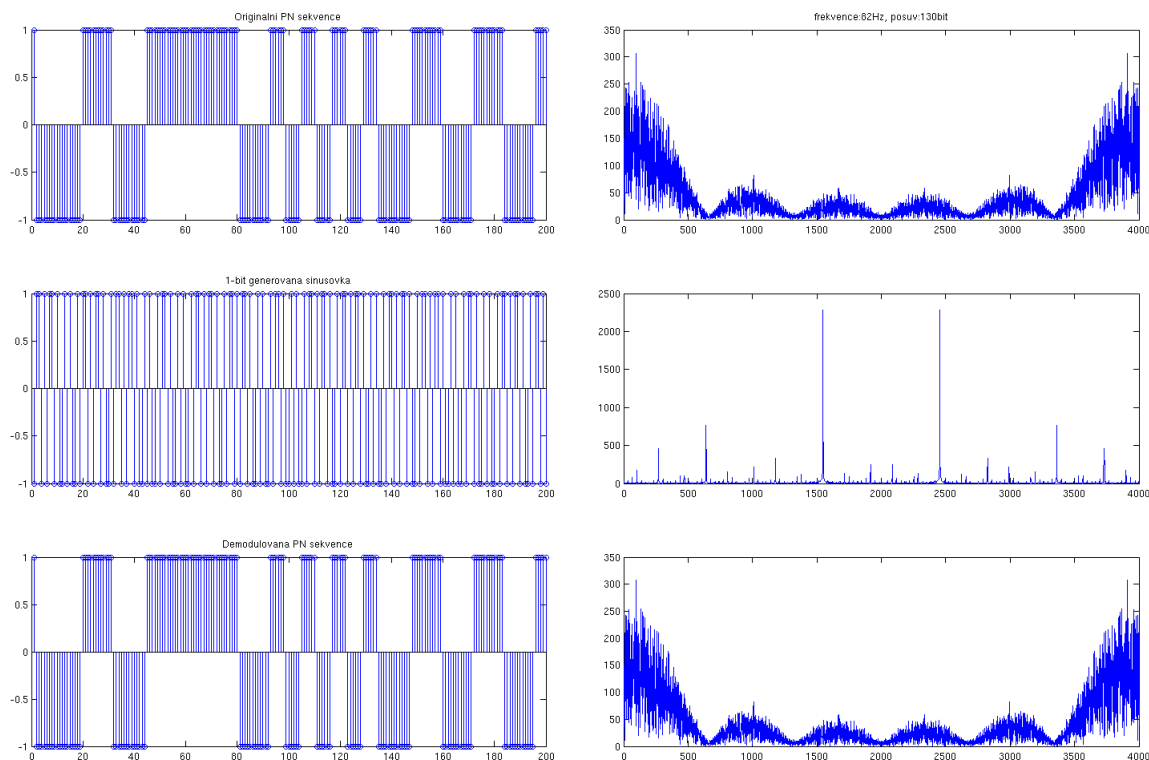
Simulace byla prováděna v prostředí Matlab a je zaměřena na možnosti nalezení a demodulování přijímaného satelitového signálu.

V prvním kroku je vytvořen signál modulováním PN sekvence v okolí 10 MHz. Vznikne pak podoba satelitního signálu bez navigačních dat směřovaný na mezifrekvenci. Poněvadž Dopplerův posuv není předem známý, program vygeneruje náhodný posuv v rozmezí ± 100 Hz. Rovněž není známa fáze PN sekvence, takže ta je vygenerována též náhodně. Tento signál je poté zesílen a limitován tak, aby nabýval pouze hodnoty $+1$ a -1 (jak je to znázorněno na obr. 3.1), pak bude odpovídat skutečnému mezifrekvenčnímu signálu vstupujícímu do DSP. Vzorkovací frekvence je v tomto případě volena přibližně 6,1 MHz. V důsledku podvzorkování se tento signál přeloží do okolí 4 MHz. Šířka pásma C/A kódu je jenom 2 MHz, proto se teoreticky nedochází ke ztrátě žádné informace.



Obr. 3.1: Generace satelitního signálu

Při procesu demodulace program nejdříve vygeneruje signál jednobitové sinusovky o frekvenci 10 MHz, který podstoupí podvzorkování stejným způsobem jako vstupní signál. Při ukázkové demodulaci (obr. 3.2) je využita informace o přesné frekvenci nosné a posuvu PN sekvence.

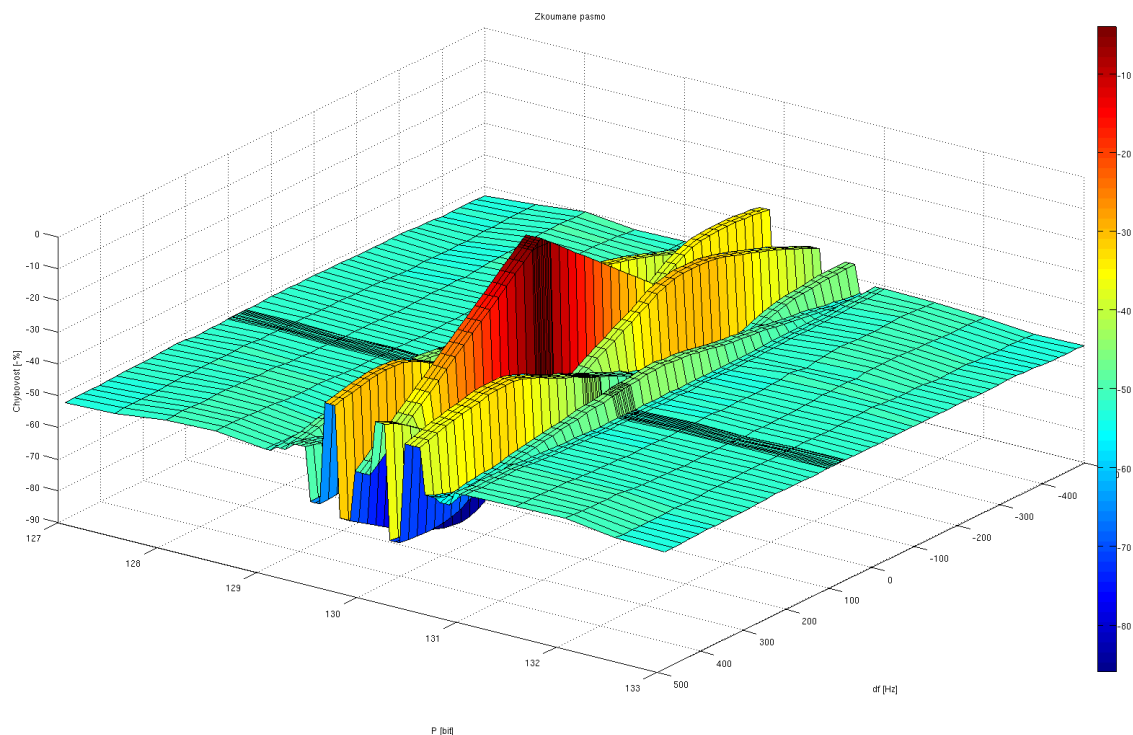


Obr. 3.2: Demodulace

V další části programu je znázorněno počáteční vyhledávání satelitního signálu. Protože frekvence nosné a posuv PN sekvence nejsou známy, musí se vyzkoušet celý rozsah jejich kombinací. Signál se může nacházet v rozmezí ± 100 Hz v okolí jmenovité nosné a jeho posuv může dosáhnout až 1 ms (1023 bitů). Prohledávání musí proběhnout s dostatečným rozlišením. Skenovací krok musí být pro posuv PN sekvence v krajním případě 1 bit, a pro nosnou frekvenci maximálně zhruba 10 Hz. Protože autokorelace použité PN sekvence je velice nízká mimo posuvu 0 s, program počítá jenom v bezprostředné blízkosti předem vygenerované hodnoty.

Na obr. 3.3 je znázorněn výsledný graf korelací mezi přijatým signálem a vygenerovaným součtem 1-bitové nosné a PN posloupnosti v závislosti na fázi (bitovém posuvu) PN sekvence a na odchylce frekvence nosné. Při vyhledávání signálu musí řídicí program proskenovat všechny možné kombinace fází a frekvencí – kde je korelace největší, tam se nachází satelitní signál s největší pravděpodobností a pomocí těchto získaných údajů se může pokusit o zasynchronizování signálu.

Po nalezení signálu jedné družice se spustí režim sledování, přičemž se program snaží udržet generovaný signál synchronní k přijímanému. Pro sledování fáze PN sekvence slouží rozdíl integrátorů Early a Late, v kterých se spočítá korelace signálů vzájemně posunutých o 1 bit dopředu, resp. dozadu. Sledování frekvence nosné se



Obr. 3.3: Prohledávání

provádí podle integrátorů I a Q. Při dokonalém zasynchronizování musí být výsledek integrátoru I nulový a výsledek Q maximální (resp. maximálně negativní – záleží na právě vysílaném datovém bitu). Ve složce I je modulován P kód, jenž má šířku pásma 20 MHz. Při vzorkování 6,1 MHz se tento signál jeví jako náhodný šum, proto nemá žádný vliv na výsledek korelace.

Provedená simulace v Matlabu potvrzuje možnost digitálního vyhledání slabého satelitního signálu, který je rozprostírán známou kódovou posloupností.

4 REALIZACE LOGICKÉHO OBVODU V FPGA

4.1 Hlavní modul GPS_design

je hlavním modulem návrhu logiky, obsahuje jenom základní (abstraktní) prvky přijímače, které jsou následující.

GPS_main - zahrnuje samostatný přijímací a dekodovací modul, který funguje nezávisle na ostatních prvcích. Komunikace s mikroprocesorem je řešena obousměrnou sběrnici 8-bitovou s řídicími signály WRS, RDS, RD, A0. Vstupuje do něho hlavní hodinový signál CLK, mezifrekvenční 1-bitový signál IF_IN. Všechny výstupní veličiny jsou vyčteny přes komunikační sběrnici přímo procesorem.

clkdivider - generuje všechny hodinové signály potřebné pro funkci systému. PNCLK je taktovací puls pro oscilátor 1,023 MHz. PCLK generuje takt o frekvenci 8 MHz pro procesor. Tento signál je připojen přímo na výstupní pin, od kterého vede deskou k procesoru. CLK_I je hlavním (a globálním) hodinovým signálem v celém systému, k němu jsou všechny ostatní signály synchronizovány.

pnphase - je oscilátor, který generuje lineární fázovou informaci s frekvencí 1,023 MHz pro generátory pseudonáhodných posloupností s přesností 0,5 chipů na jediném výstupu PHASE(10:0).

pn_gen - je speciálním modulem, což je schopen generovat veškeré pseudonáhodné signály, které jsou vysílány satelity. Vstup RST nastaví všechny interní registry do základního stavu '1'. Modul je připojen na procesorovou komunikační sběrnici, přes kterou ho lze plně nakonfigurovat. Na výstupu Q poskytuje postupně jednotlivé bity PN sekvence v závislosti na hodinovém vstupu.

clksync - slouží na synchronizování vstupů citlivých na hranu. CLK je hodinový vstup, ke kterému se clksync synchronizuje, I je samotný vstupní signál. STROBE je výstup, jenž reaguje pulzem šířky 1 hodinového cyklu na nástupnou hranu vstupního signálu, Q je přímý synchronizovaný výstup.

Synchronizace všech vstupních signálů (citlivých na hranu i na úroveň) je velice důležité hlavně v případě, že daný signál je vnitřně připojen k více hradlům. V tomto případě krátkodobé změny signálu (hazardy) by mohly být zaznamenány různými hradly úrovněově různě. Proto je nezbytné použití IFD (input D flip-flop), který zachytí stav v případě hazardu neurčitě ale jednoznačně - překlopí se buď na '1' nebo na '0' - při příchodu hrany hodinového signálu a už se dál během hodinového cyklu nemění, t.j. maximální rychlost změny signálu bude určen rychlostí hodin. Tím je zajištěna jednoznačnost pro všechny další připojené obvody.

4.1.1 Synchronizační obvod clksync

je velice jednoduchým a zároveň důležitým obvodem. První vstupní klopný obvod typu IFD synchronizuje vstup I s hodinovým vstupem CLK. Tento synchronní signál je k dispozici na výstupu Q. Tento signál je dále veden do dalšího klopného obvodu, který pamatuje předchozí stav signálu Q a slouží pro detekci náběžné hrany. Když předchozí stav je nízký a aktuální je vysoký, je detekována náběžná hrana hradlem AND2B1 a na výstupu STROBE se objeví puls po dobu jednoho hodinového cyklu.

4.1.2 Generátor hodin clkdivider

se skládá ze dvou částí.

Vstup CLK (80 MHz) vede přímo do hodinového vstupu modulu DCM (Digital Clock Managemet), jenž vytváří globální hodinový signál (16 MHz) dělením 5-ti a hodinový signál pro připojený mikrokontrolér (8 MHz) dělením 10-ti. Modul DCM je speciální hardwarovou částí FPGA Spartan 3 pro práci s hodinovými signály. Umožňuje jejich násobení a dělení celými čísly do 32 a různé operace s fází. Zde je využita jenom schopnost násobení a dělení.

Druhá část, která generuje signál PNCLK, je poněkud komplikovanější. Generuje impulzy o frekvenci přibližně 1023,02 kHz dělením hodin 391 a násobením 5-ti. Tato frekvence je považována za dostatečně přesné přiblížení k frekvenci 1023 kHz generované na satelitu GPS. Hodinový signál CLK je veden do synchronního čítače typu CB16RE, který spolu s komparátorem COMP16 tvoří dělič kmitočtu s 391 (0×187). Modul DCM neumožňuje dělení velkým číslem, proto musí být tento dělič realizován samostatně. Násobení je již realizováno pomocí DCM. Jeho výstup je synchronizován podobným způsobem jako v modulu clksync.

4.1.3 Oscilátor PN sekvence pnphase

je jednoduchý obvod, jenž pracuje synchronně s hodinovým vstupem CLK. Pokud vstup PNCLK je vysoké úrovně, vnitřní čítací registr (IPHASE) se zvýší o 1. Když tento registr dosáhl jeho stanovenou maximální hodnotu $1023 \cdot 2 - 1$, tak se překlápí na 0. Čítač je široký 11 bitů, přičemž k adresaci 1023 bitů PN sekvence postačí 10, tzn., že čítač čítá s krokem $1/2$ periody jednoho bitu.

4.1.4 Vstupy a výstupy hlavního modulu

MIO(7:0)	- obousměrná datová sběrnice
CLK	- hodinový vstup od oscilátoru
IF_IN	- mezifrekvenční signálový vstup
RD	- čtení dat z modulu přes sběrnici
WR	- zápis dat
A0	- zápis adresy a nastavení funkce
SW(3:0)	- připojení DIP přepínačů
CLK_O	- taktovací výstup pro procesor
LD(3:0)	- připojení signalizačních LED
AUX(7:0)	- monitorovací a pomocné výstupy

4.1.5 Přijímací kanál GPS_main

je realizací již principiálně popsánoho přijímacího kanálu v kap. 2.2 a je znázorněn na obr. B.1. MF signál (IF_IN) je nejdříve směřován signálem lokálního numerického oscilátoru (OSC), potom PN signálem generovaným modulem PN_RAM. Směšování je v tomto případě nahrazen logickou operací XOR. Výsledná směs je vedena na povolovací vstup (CE - count enable) 16-bitového synchronního čítače typu CB16RE, který integruje tento signál v čase, t.j. spočítá hodinové periody na vstupu CLK, po kterých byl vstup ve vysokém stavu. Výsledek je přímo připojen na výstup Q. V případě, že hlavní hodiny budou běžet na kmitočtu 16 MHz, po dobu integrace 1ms čítač může spočítat maximálně 16000 cyklů. K reprezentaci tohoto čísla stačí 14 bitů. V tomto zapojení je použit 16-bitový čítač z důvodu zachování možnosti zvýšení vzorkovacího kmitočtu.

Když se na MF vstupu objeví šumový signál, počet jedniček a nul ve výsledku bude přibližně stejný (t.j. polovina z nich bude jedna) a čítač spočte

$$\frac{1}{2} \cdot F_{VZ} \cdot T_{INTG} = \frac{1}{2} \cdot 16 \text{ MHz} \cdot 1 \text{ ms} = 8000. \quad (4.1)$$

Toto číslo bude reprezentovat nulový výsledek. Číslo nižší bude odpovídat negativnímu výsledku integrace, větší pak pozitivnímu.

4.1.6 Numerický oscilátor OSC

je synchronním obvodem podle vstupu CLK. Vstup RST nasataví čítací registr CNTR do stavu 0. Když resetovací vstup R není aktivní čítač číta po krocích, které jsou dány vstupem ADD, je to vlastně fázová změna nosného signálu v průběhu jednoho hodinového cyklu. Čítací registr je 24-bitový.

Frekvence generovaná čítačem je

$$F_C = F_{CLK} \cdot \frac{ADD}{2^N}. \quad (4.2)$$

Pro MF 10,5 MHz

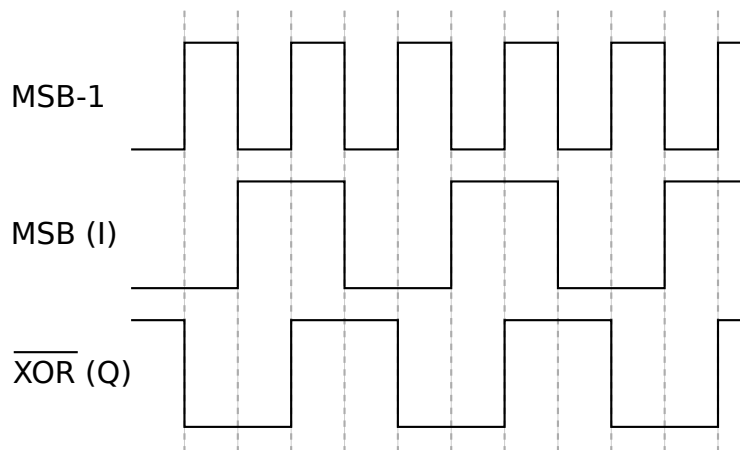
$$ADD = \frac{F_C}{F_{CLK}} \cdot 2^N = \frac{10,5 \text{ MHz}}{16 \text{ MHz}} \cdot 2^{24} = 11010048. \quad (4.3)$$

Zvýšení tohoto čísla o 1 odpovídá frekvenci

$$F_{C1} = 16 \text{ MHz} \cdot \frac{11010049}{2^{24}} = 10500000,95 \text{ Hz}, \quad (4.4)$$

tedy zhruba změně o 1 Hz.

Výstup OI je přímo nejvyšší bit čítače, což odpovídá 1-bitové sinusovce. Výstup OQ je stejný jak OI, ale je posunutý o 90°. Tento posunutý signál je vypočten negací exkluzivní disjunkce nejvyššího a druhého nejvyššího bitu čítače. Operace je znázorněna na obr. 4.1. Hazardy v okamžicích, kdy se mění oba signály současně, se vylučují klopnými obvody na výstupu OI a OQ.



Obr. 4.1: Generování fáze Q

4.1.7 Paměť PN sekvence PN_RAM

je speciální částí přijímače. Má za úkol generovat PN sekvenci na základě fázového údaje generálního num. oscilátoru na vstupu BPH(10:0) a lokálního posuvu fáze

sekvence vůči generálnímu oscilátoru na vstupu DPH(10:0). Krokování PN sekvence je založena na impulzech na vstupu PNCLK.

Výstup PN posloupnosti je označen jako E a slouží jako signál „early“^{*} pro early-late integrátor. Tento signál je na výstupu L zpožděn o 2 hodinové takty klopnými obvody typu D a slouží jako signál „late“[†].

Tento modul neobsahuje vlastní generátor PN posloupnosti, ale ona je uložena v 1-bitové paměti typu RAMB16_S1, z čehož je postupně vyčtena podle adresy generované podmodulem addmodcnt.

Řízení paměti je jednoduché. Vstup WE vybírá mezi operací zápisu a čtení. Vstup EN povolí touto operaci v následujícím hodinovém cyklu. Vstup SSR slouží pro vymazání obsahu paměti a v tomto zapojení není použit. ADDR(13:0) je adresní vstup, v tomto případě je využito jenom 10 nejnižších bitů kvůli délce zaznamenaného signálu, což je 1023. DI je vstup dat při zápisu, DO je výstup dat při čtení.

Addmodcnt řídí celý modul a má dvojí úkol, jenž byl schématicky znázorněn na obr. 2.5. Jednak při normální funkci vypočítá adresu pro paměť z vstupních dat a jednak řídí načítání PN sekvence ze skutečného generátoru. Při normální funkci je výpočet adresy prováděn následovně: Základní fáze BPH a rozdílový údaj DPH jsou sečteny. Výsledná adresa je zbytek po dělení tohoto součtu počtem bitů v sekvenci, t.j. 1023.

Výstup MODD je vysoký, když dojde k přetečení výsledku součtu. Tento signál je využíván k detekci začátku sekvence, což naznačuje jeho přechod z vysoké do nízké úrovně. Tento přechod je detekován klopným obvodem FD a hradlem AND3B1. Do tohoto hradla vstupuje speciální signál BLCK, který je aktivní v nízkém stavu. V případě, že se na výstupu BGN objeví puls naznačující začátek sekvence, tímto ulzem je rovněž resetován čítač CC16RE, výstup komparátoru se změní na nízkou, tím pádem povolí čítání přes vstup CE. V tomto okamžiku se na signálu BLCK objeví nízká úroveň, která blokuje další možné výstupní pulzy BGN. Když čítač dosáhne nastavenou hodnotu, komparátor se překlopí na '1', čítání se zastaví a výstup BGN je opět uvolněn pro další pulsy. Tento blokovací algoritmus je velice důležitou částí, protože zabrání vzniku falešných pulzů v případě, že vstup DPH byl na začátku sekvence snížen.

Při načtení sekvence do paměti je adresa pro uložení jednotlivých přicházejících bitů postupně generována. Výstup RDY signalizuje konec načítacího procesu.

Nástupná hrana signálu WE („Write Enable“) zahajuje generování adres pro přenos dat. Data jsou přenášena postupně přes vstup DI na nástupných hranách hlavních hodin CLK. Data jsou přenášena dokud je WE ve vysokém stavu.

*dřívější

†pozdější

4.1.8 Řídicí jednotka gps_cu

je centrální řídicí jednotkou celého přijímacího kanálu. Má za úkol kontrolovat činnost celého kanálu ve všech pracovních módech a zpracovávat všechny možné stavy vstupů.

Vstupy RD, A0, WRS a RDS řídí komunikaci s procesorem. Sběrnice je označena IO(7:0), je 8-bitová a obousměrná. Vstupem ADR(3:0) je určena adresa konkrétního modulu na sběrnici, která z principu musí být jedinečná.

Vstupy IE, IL, QE a QL slouží pro čtení výsledků integrátorů, BGN slouží pro signalizaci začátku nové sekvence.

Výstupy DPHASE a CADD slouží pro řízení oscilátoru nosného a generátoru PN sekvence. CNTR resetuje integrátory po jejich čtení a PNWE řídí naplnění paměti pro PN sekvenci, INT slouží pro signalizaci požadavku o přerušení.

Podrobný popis činnosti je obsažen v části 4.2.

4.1.9 Generátor PN sekvence PN_GEN

se skládá ze dvou částí. První, v dolní části schématu označena jako „PN generator“, je logicky identické zapojení generátoru na vysílači, který byl znázorněn na obr. 1.5 a je schopen generovat všechny možné pseudonáhodné posloupnosti, které vyskytují ve přijímaných signálech.

Obvody SR10 jsou 10-bitové posuvné registry typu SIPO, t.j. výstup reprezentuje 10 posledních stavů vstupního bitu. Vstup R nastaví všechny vnitřní klopné obvody do základního stavu vysoké úrovně. Vstup D je následující stav prvního klopného obvodu a tím pádem i výstupu Q(0).

Modul SELECTOR je dvojitý multiplexer, který vybere potřebné 2 výstupy druhého posuvného registru pro generování dané sekvence, které jsou dostupné na výstupech QA a QB. V tomto modulu je vestavěna tabulka 1.2 v podobě VHDL kódu. Výstup SYNC detekuje základní stav posuvného registru. Vstupem SEL je vybrána daná posloupnost.

Druhá část souží pro nastavení zvolené sekvence přes komunikační sběrnici, je označena jako „Address decoder“. Komparátor COMP8 porovnává adresu modulu, která je 0xF, k stavu sběrnice, jehož 4 vyšší bity nesou informaci o adrese. Výsledek (signál ADDREQ) je veden do klopného obvodu FDE, který zachytí jeho stav při operaci zápisu adresy (vysoká úroveň signálu A0). V případě, že nastal zápis adresy 0xF, bude signál ACTIVE vysoký a umožní signálu WRS přes hradlo AND2 povolit zápis do paměti výběru sekvence FD8CE, jehož 6 nejnižších výstupních bitů vedou přímo do vstupu SEL modulu SELECTOR.

Popsané zapojení komunikační části je podobné modulu `gps_cu`, ale je zjednodušeno tím, že je vypuštěna možnost čtení paměti. Dále na rozdíl od něho tento modul není psán v jazyce VHDL, ale je reprezentován schematicky.

4.2 Řídicí jednotka `gps_cu`

4.2.1 Popis komunikace

Komunikace slouží pro přenos dat mezi jednotlivými moduly (kanály) přijímače a řídicím procesorem.

Procesor zahájí přenos výběrem konkrétního modulu, kterým bude probíhat komunikace. Systém podporuje 4-bitové adresy, které se přenášejí na nejvyšších 4 bitech datové sběrnice při nástupné hraně signálu A0 (operace zápisu adresy). Modul, který v tomto okamžiku rozpozná vlastní adresu se stává aktivním (objeví se vysoká úroveň na vnitřním signálu ACTIVE), následná komunikace může probíhat jenom s ním, přičemž ostatní moduly nebudou reagovat na žádný jiný povel než na nástupnou hranu A0.

Další 4 bity na sběrnici při zápisu adresy jsou využity k okamžitému zápisu pracovního módu přijímacího kanálu. Když toto číslo je nulové, tak se žádná změna módu neprovádí, ale čítací a zapisovací adresy (signály RADR, WADR) se nastaví na výchozí nulovou hodnotu. Procesor tak může znovu inicializovat čtení nebo zápis dat beze změny módu.

A0:	A	D	D	R	M	O	D	E
IO	7			4	3			0

Tab. 4.1: Zápis adresy

Operace zápisu adresy má teda trojí funkci: jednak vybere modul, se kterým bude probíhat komunikace, může okamžitě nastavit pracovní mód tohoto modulu, nebo znovu inicializuje sekvenci čtení a zápisu.

Následně je možné provádět čtení nebo zápis dat v libovolném pořadí, poněvadž adresa čtení a zápisu jsou uloženy nezávisle na sobě. Příslušná adresa se při každé operaci zvýší o jedničku, proto čtení a zápis jednotlivých dat se může provádět v pořadí určeném tab. 4.2. Návrat adresy na začátek byl popsán v předchozím odstavci.

Všechny údaje určené ke čtení nebo zápisu uvedené v tab. 4.2 se skládají z více bytů. Přenos vicebytových informací se vždy provádí od bytu s nejvýznamnějším bitem postupně k bytu s nejméně významným bitem.

ADDR	MODE	RD	WR
0x0...n CU	0 - NOP, R/W Address reset
	1 - Scan	INT IE IL QE QL	CADD DPHASE
	2 - DLL	INT IE IL QE QL DPHASE	CADD DPHASE
	3 - Load PN seq.	PNRDY	-
0xF PNgen	0 - Set channel id.	-	Ch. id.

Tab. 4.2: Módy, čtení a zápis

4.2.2 Pracovní módy

Jednotlivé přijímací kanály mohou pracovat v různých pracovních módech nezávisle jeden na druhém, např. při počátečním skenování může každý modu souběžně skenovat různé kanály a tak efektivně zrychlit proskenování celého prostoru. Druhá možnost je např. taková, že jeden modul stále skenuje intenzitu signálů nepřijímaných družic, přičemž mohou ostatní moduly přijímat nejsilnější družice a v případě potřeby (např. intenzita jednoho klesne pod přijatelnou úroveň) přepnout příjem na vhodný satelit.

Scan

V tomto módu přijímač automaticky skenuje na předem nastavené frekvenci a s předem nastavenou pseudonáhodnou sekvencí celý rozsah posuvů PN posloupnosti. Při tomto módu jsou poskytnuty jen data IE, IL, QE a QL, ze kterých obslužný program mikroprocesoru snadno zjistí přítomnost nebo nepřítomnost vhodného signálu. Po průchodu všech možných kombinací musí nastat interakce ze strany procesoru, který může změnit frekvenci nosné, pseudonáhodnou posloupnost nebo přepnout do módu DLL.

Tento mód má dva účely. První z nich je iniciální vyhledávání družic v celém možném pásmu, kdy se namapují všechny dostupné družice. Druhá je následovná:

Když mikroprocesor vydá povel na přepnutí do módu DLL, musí být známy s dostatečnou přesností frekvence a posuv fáze PN sekvence. Přesnost frekvence není kritická, jednak proto, že smyčka PLL ji může upravit podle potřeby a jednak protože Dopplerův posuv frekvence družice se mění velice pomalu. Důležité je ale nastavení správné fáze PN sekvence, která musí být v krajním případě ± 1 bit. Protože přesnost krystalového oscilátoru je zhruba 10^{-6} , tento kritický posuv může nastat řádově v průběhu několik set milisekund. Proto před vlastním přepnutím do módu DLL musí program provést proskenování dané frekvence a v případě nalezení signálu použít po přepnutí módu tuto čerstvě naměřenou informaci.

DLL

Tento mód slouží pro příjem družicového signálu – udržování synchronizmu. V tomto módu jsou poskytnuty ke čtení signály IE, IL, QE a QL, ze kterých program vypočte zpětnou vazbu pro numerický oscilátor nosné frekvence, což se zapíše do registru CADD. Navíc je k dispozici DPHASE, který poskytuje informace o zdánlivé vzdálenosti družice.

Registr DPHASE určí lokální fázový posuv PN sekvence. Je nastavován vnitřním algoritmem řídicí jednotky na základě výsledků early-late integrátorů. Algoritmus se jednoduchým způsobem rozhodne, zda je potřebné posunout sekvenci v jednom anebo druhém směru, nebo není potřeba sekvenci posouvat. Tato operace funguje jenom v případě, že nosná je zasynchronizována a její fázový posuv je malý, protože řídicí jednotka z naměřených údajů není schopna určit fázi nosné. Procesor se teda zabývá jenom nosnou vlnou. Fázový rozdíl je udržován na nízké hodnotě softwarem přes registr CADD.

Load PN seq.

je vytvořen proto, aby bylo možné načíst do paměti PN sekvence vlastní požadovanou sekvenci. Tato sekvence je generována modulem PN_gen. Přenos probíhá po bitech – v každém hodinovém cyklu je generován jeden bit, tento přenos je automaticky řízen řídicí jednotkou a proběhne několikanásobně rychleji než cyklus integrace (1 ms), takže obsadí maximálně jeden takový cyklus.

Výběr požadované PN sekvence se provádí přímo v modulu generátoru, který je též připojen na komunikační sběrnici. Výběr sekvence se musí provést před zahájením přenosu a během přenosu se nesmí měnit, jinak by se mohlo dojít k nesprávnému přenosu. Rovněž může probíhat přenos jenom do jednoho modulu, protože generátor je schopen tvořit jen jednu posloupnost v jednom okamžiku.

4.2.3 Popis funkce

Modul je implementován v jazyce VHDL. Základní struktura kódu je znázorněna v tab. 4.3.

```
process (...)
begin
    if (CLK'event and CLK='1') then

        -- A - IO část
        if (WRS='1' and ACTIVE='1') then
            -- 1 - Zápis
        elsif (RDS='1' and ACTIVE='1') then
            -- 2 - Čtení
        elsif (A0='1') then
            -- 3 - Zápis adresy
        end if;

        -- B - průběžné úkoly podle módu
        if (MODE="0001") then
            -- 1 - Scan
        elsif (MODE="0010") then
            -- 2 - DLL
        elsif (MODE="0011") then
            -- 3 - Load PN seq.
        end if;

        -- C - všeobecné průběžné úkoly
        if (BGN='1') then
        end if;
    end if;

    -- D - asynchronní úkoly
    if (RD='1' and ACTIVE='1') then
        IO<=OUTBUF;
    else
        IO<="ZZZZZZZZ";
    end if;
end process;
```

Tab. 4.3: Struktura kódu CU

Kód lze rozdělit do 4 základních částí, zejména:

- A** – různé úlohy při vstupně-výstupních operacích, hlavně výběry registrů podle aktuálních stavů čítačů adres.
- B** – úkoly specifické pro jednotlivé pracovní módy, např. automatický posuv sekvence v módu „Scan“
- C** – úkoly společné pro všechny módy, zejména přenos dat na výstup na začátku nové sekvence

D – asynchronní operace, vyznačený je přepnutí sběrnice do vysokoimpedančního stavu.

A – IO operace

V této části jsou obsaženy všechny kódy, které jsou spojeny komunikací s procesorem.

V části 1 jsou zápisy do různých registrů. V módu 1 a 2 je umožněn zápis registrů CADD a DPHASE. Zápis probíhá vždy od bytu s nejvýznamnějším bitem postupně. Data jsou uložena do pomocných registrů TMPL a TMPH a jsou zapsána do interních bufferů CADDB a DPHASEB až při přenosu posledního bytu.

Operace čtení v části 2 umožňuje procesoru přístup postupně k registrům INT, IE, IL, QE, QL a DPHASE, v módu 3 přístup k PNRDY.

Část 3 vyřizuje detekce adresy, nastavuje signál ACTIVE a resetuje registry adres čtení a zápisu.

B – úkoly specifické pro prac. módy

Zde jsou realizovány úkoly, které smí proběhnout jenom ve vybraném módu.

V módu „Scan“ (1) Na začátku nového cyklu je fáze PN posloupnosti automaticky posunuta o 1 bit. V módu „DLL“ (2) mohou zde být prováděny operace, které automaticky synchronizují PN sekvenci, příp. i oscilátor nosné frekvence. V módu „Load PN seq.“ (3) je testován signál PNRDY, čímž se ukončí přenos posloupnosti z generátoru PN_GEN do paměti PN_RAM.

C – všeobecné úkoly

Tyto úkoly se týkají přenosu dat z integračních čítačů (IE, IL, QE, QL), do oscilátoru nosné (CADD) a do paměti PN sekvence (DPHASE) vždy na začátku sekvence, což je naznačeno pulsem na vstupu BGN. Je nastaven registr požadavku na přerušení a nastaven výstup pro resetování čítačů CNTR.

D – asynchronní operace

V této části je obsaženo pouze ovládání třístavových výstupních bufferů, které jsou aktivní v případě, že signál RD je ve vysokém stavu, kdy se na sběrnici objeví data z registru OUTBUF, jinak jsou ve stavu vysoké impedance.

4.2.4 Komunikace s PN_GEN

Komunikační část generátoru PN sekvencí je poněkud zjednodušená oproti řídicí jednotce. Podporuje totiž jenom zápis jediného bytu (viz. 4.1.9), která v tomto případě

plně postačí. Komunikace je identická s komunikací řídicí jednotky, jeho adresa je pevně nastavena na 0xF a nižší 4 bity při zápisu adresy musí být nulové. Zmíněný byte určuje pořadové číslo následně generované sekvence podle tab. 1.2 nastavením multiplexeru, který vybere vhodné výstupy posuvného registru k zpracování.

Přenos sekvence do PN_RAM

Po úspěšném zápisu do PN_GEN indexu vybrané posloupnosti může následovat načtení do paměti PN sekvence. V základním stavu jsou výstupy PNR modulů GPS_main ve vysokém stavu. Tyto stavy jsou před vstupem RST modulu PN_GEN sjednoceny do jednoho povolovacího signálu hradlem AND. Když některý z řídicích jednotek dostane povel „Load PN seq.“ (0x3), překlopí jeho výstup PNWE do vysokého stavu.

Výstup PNR tím pádem se překlopí do nízkého stavu a z toho vyplývá nízká úroveň na vstupu RST, kde působí uvolnění resetovacích vstupů posuvných registrů, a v následujícím hodinovém cyklu se začne generovat první bit sekvence. Generování trvá až do chvíle, kdy se PNR opět překlopí do vysokého stavu.

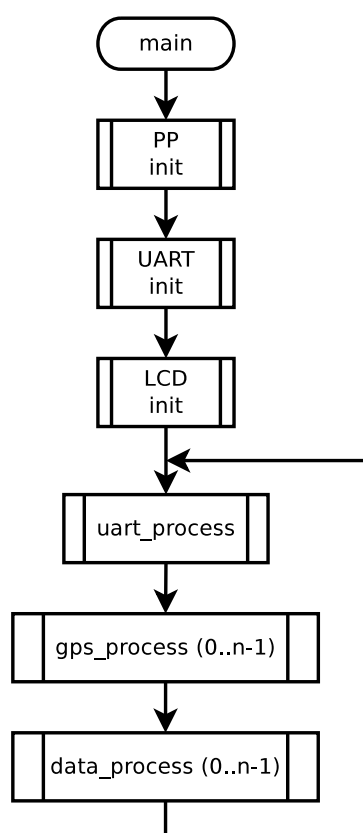
Signál PNWE uvnitř modulu GPS_main je veden i do vstupu WE modulu PN_RAM, kde zahájí automatické generování adresy pro postupný zápis do paměti a zároveň povolí zápis do modulu RAMB16_S1. Konec zapisovacího cyklu signalizuje řídicí jednotce výstup RDY, který se překlopí do vysokého stavu, když adresa dorazí na hodnotu 1023.

5 ŘÍDICÍ PROGRAM MIKROKONTROLÉRU

5.1 Hlavní program

Struktura hlavního programu `main` zjednodušeně znázorněného na obr. 5.1 je jednoduchá. Všechny kódy jsou k dispozici na přiloženém CD (příloha C).

Na začátku jsou postupně volány inicializační rutiny. Nejprve je inicializován ovladač sériového portu, potom následuje ovladač LCD. Po této části následuje vykreslení úvodní obrazovky, což na zjednodušeném diagramu není vyznačeno. Pak následuje nekonečný cyklus kooperativního multitaskingu třech hlavních procesů.



Obr. 5.1: Hlavní program

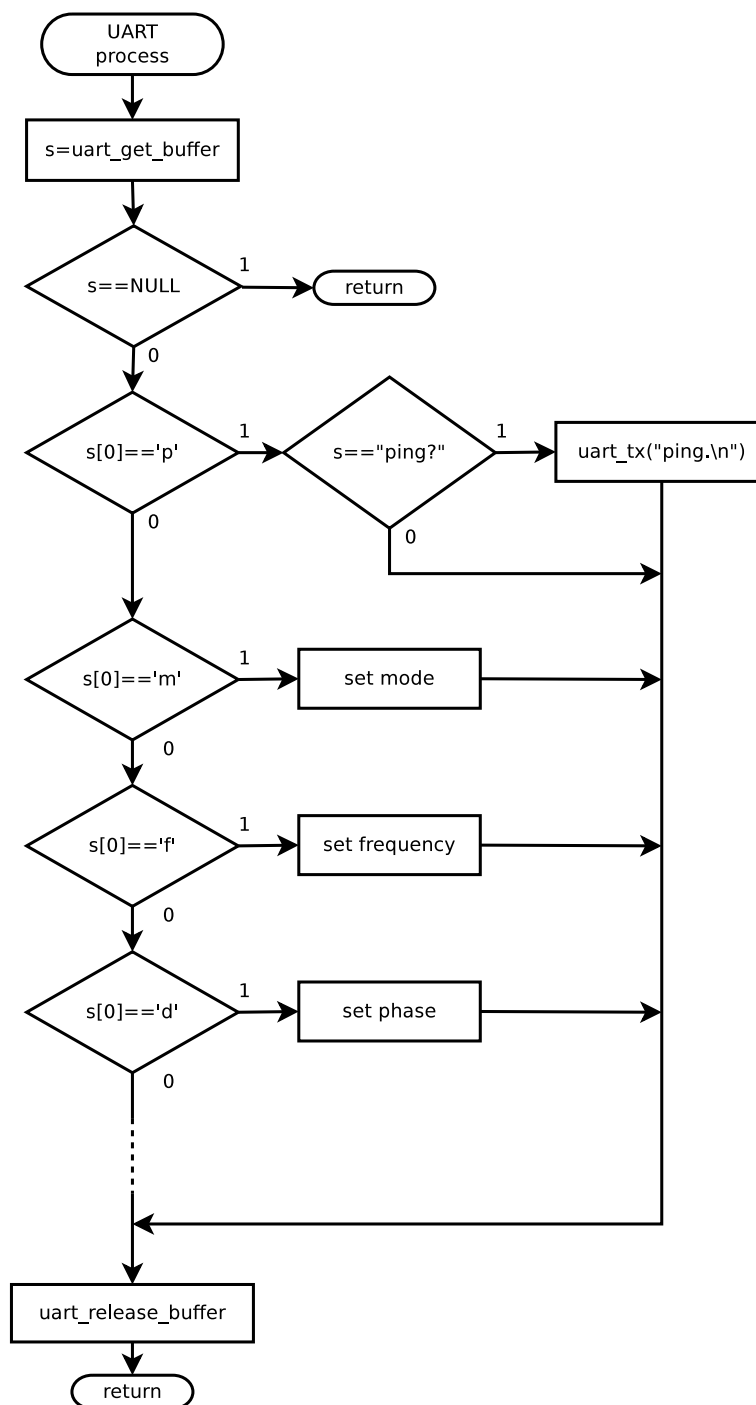
`uart_process()` spravuje komunikaci s osobním počítačem pomocí asynchronního sériového portu, který je externě převáděn na sběrnici USB.

Funkce `gps_process()` vyřizuje komunikaci s digitálními obvody v FPGA přes paralelní port a funkce `data_process()` zpracovává údaje získané od přijímacího obvodu.

5.1.1 uart_process()

zpracovává především přicházející data od řídicího programu na PC.

Funkce `u_rx_get()` získá od driveru UART ukazatel na buffr přijatých dat, a následuje vyhodnocení dat. Pro zrychlení procesu je v první řadě testován první písmeno a podle toho může program testovat ostatní znaky v řetězci selektivně.



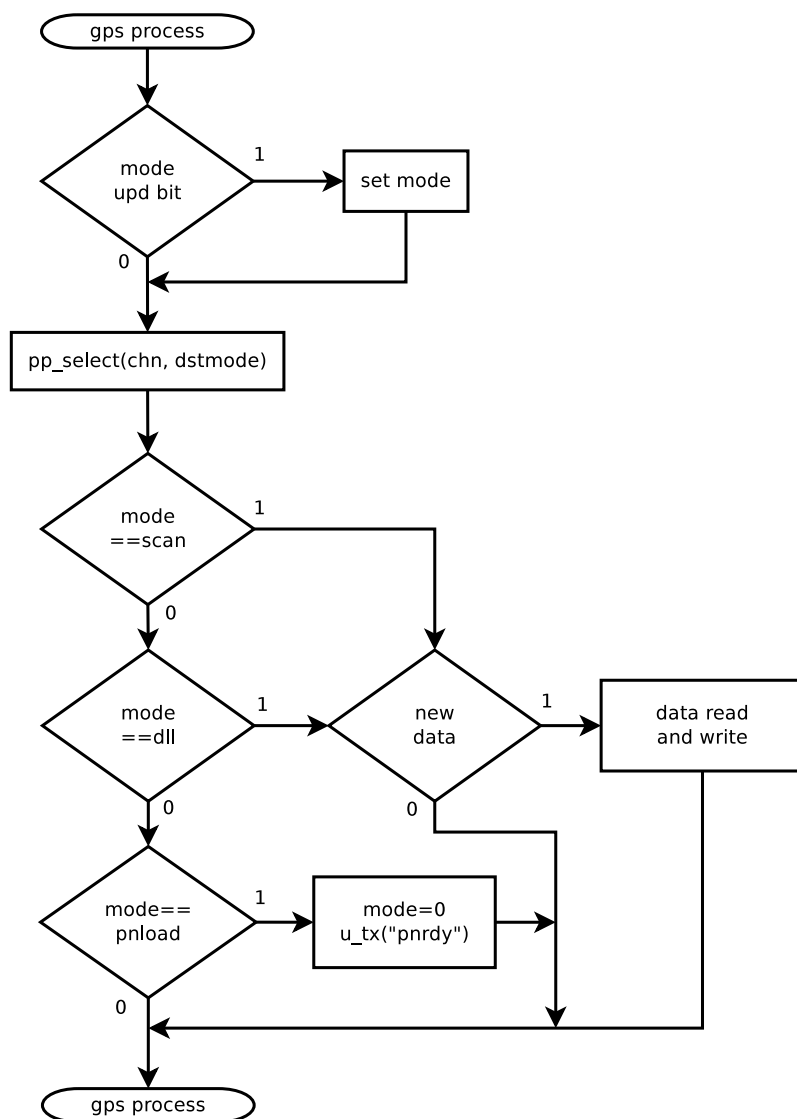
Obr. 5.2: Funkce `uart_process`

Přijímané příkazy splňují následující úkoly:

- ping – test komunikace
- nastavení pracovního módu jednotlivých kanálů
- nastavení frekvence přijímaného signálu
- příp. nastavení fáze PN sekvence

Tato část je jednoduše rozšiřitelná podle případných speciálních potřeb řídicího programu, což je naznačen přerušovanou čarou na obr. 5.2.

Na konci příkaz `u_rx_processed()` uvolní přijímací buffer pro příjem dalších dat.



Obr. 5.3: Funkce `gps_process`

5.1.2 gps_process()

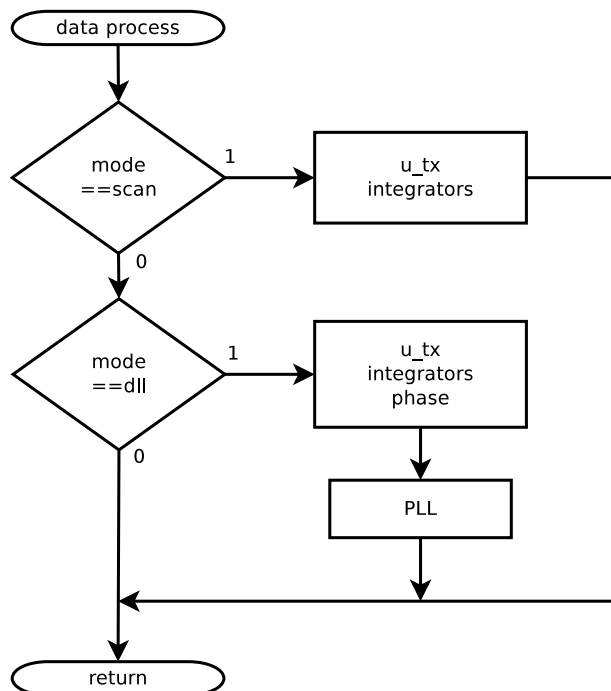
má za úkol komunikaci s přijímacími moduly, které se nacházejí v FPGA.

Bit `M_UPDATE_MODE` znamená plánovanou změnu módu daného kanálu. Když bit je nastaven, funkce změní mód pomocí funkce `pp_select`, který odpovídá operaci zápisu adresy (str. 38). Bit `M_UPDATE_DATA` je nastaven, když je potřeba do přijímacího modulu nahrát nová data. V tomto případě funkce nastaví frekvenční a fázový registr podle pořadí v tab. 4.2. První čtení vyčte interrupt flag, a když je nastaven, znamená to, že se začal nový integrační cyklus, tj. nová data jsou k dispozici. Nastaví se bit `M_PROCESS` a data se postupně vyčtou. V módu „PN Load“ se testuje bit dokončení přenosu, mód se změní na 0 a vyšle se zpráva přes sériovou linku.

5.1.3 data_process()

Nastavený bit `M_PROCESS` znamená, že jsou dostupná nová přijatá data k zpracování.

V módu „Scan“ se sestaví řetězec s výsledky integrátorů, což se pošle po sériové lince. V módu „DLL“ se sestaví podobný řetězec, který obsahuje navíc informace o posuvu PN sekvence. V tomto módu musí být realizován i fázový závěs pro generátor nosné.



Obr. 5.4: Funkce `data_process`

5.2 LCD

5.2.1 Driver

řídí komunikaci s displayem typu EA DOGM-128 s kontrolérem ST7565 a je obsažen v souborech `lcd_dog.c` a `lcd_dog.h`. Součástí driveru je i bitmapová znaková sada vel. 5×8 bitů ISO 8859-2. LCD je spojen s procesorem synchronní sériovou linou. Pro řízení linky je využita periferie SPI, který je možné provozovat v konfiguraci, která odpovídá požadavkům kontroléru displeje podle [5] a [6].

```
void lcd_init_bie()
```

volá inicializaci driveru SPI, který je tímto modulem využíván k vlastní komunikaci. Musí být zavolán před zapnutím přerušení.

```
void lcd_init_aie()
```

se volá po zapnutí přerušení a inicializuje kontrolér LCD sekvencí dat uložených v `lcd_init_s`.

```
void lcd_contrast(uint8_t cntr);
```

nastaví kontrast displeje, $cntr \in (0; 63)$.

```
void lcd_putc(char c);
```

vykreslí na souřadnice textového kurzoru dané písmeno `c`. Zpracuje speciální znaky `backspace` a `newline`.

```
void lcd_puts(char* s);
```

vykreslí jednotlivé znaky stringu `s` pomocí předcházející funkce.

```
void lcd_puts_p(prog_char* s)
```

vykreslí znaky stringu nacházející v programové paměti.

```
void lcd_gotoxyb(uint8_t x, uint8_t yb)
```

nastaví bytovou adresu textového a grafického kurzoru.

```
void lcd_gotoxy(uint8_t x, uint8_t y)
```

je makro, což nastaví textovou adresu kurzoru pomocí předcházející funkce.

```
void lcd_send_raw(uint8_t* pdat, uint8_t len)
```

vykreslí na LCD bitmapu velikosti $len \times 8$ od aktuálního graf. kurzoru.

```
void lcd_send_raw_p(prog_char* pdat, uint8_t len)
```

vykreslí bitmapu z programové paměti.

```
void lcd_send_raw_b(uint8_t dat)
```

vykreslí jednobytovou bitmapu (1×8).

```
void lcd_clr()
```

vyplní LCD nulami, tj. bílými body, tím vymaže jeho obsah.

5.2.2 Komunikace po SPI

Driver pro komunikaci po sběrnici SPI podporuje jen posílání dat. Kontrolérem LCD není umožněn čtení, proto příjem není požadovaný.

```
void spi_init_master (void)
```

je inicializační funkce, který nastaví požadované piny do vstupního módu, nakonfiguruje modul SPI a povolí jeho přerušení.

```
uint8_t spi_send (uint8_t* data, uint8_t len, uint8_t command)
```

Tato funkce uloží string `data` do vysílacího buffru, pokud je prázdný. Když bufr obsahuje data, funkce čeká, až se vyprázdní, pak nastaví CS („Cable Select“) do aktivní úrovně, kopíruje data do buffru `sendbuf` a pošle první byte. Ostatní byty jsou posílány automaticky rutinou přerušení `SPI_STC`. Délka stringu je dán parametrem `len`. Parametr `command` umožňuje speciální funkce, zejm. nastavení singnálu A0, nebo přidání nulového bytu na konec stringu.

```
uint8_t spi_send_p (prog_char* data, uint8_t len, uint8_t command)
```

je identický s předcházející funkcí, ale čte data přímo z programové paměti.

```
void spi_send_b (uint8_t data, uint8_t command)
```

slouží pro posílání jednoho bytu přímo. Parametr `command` je identický s předcházejícím.

```
ISR(SPI_STC_vect)
```

po skončení tranzmise jednoho bytu funkce automaticky pošle následující byte, obsahuje-li buffer nějaké data. Po posledním bytu se nastaví CS do inaktivní úrovně, a tím se komunikace ukončí.

5.3 Asynchronní sériový port

```
void u_init(uint16_t baudgen);
```

slouží pro inicializaci hardwaru sériového portu mikroprocesoru podle [7].
Volá se ve formě `u_init(BDGEN(baudrate));`.

```
void u_tx_s(char* dptr);
```

uloží do vysílacího buffru string, na kterého začátek ukazuje pointer `dptr`.

```
char* u_rx_get(void);
```

vrací ukazatel na aktuálně přijatá data. Pokud přijímací buffr je prázdný, je vrácena hodnota `NULL`.

```
void u_rx_processed(void);
```

uvolní buffer, který byl použit předchozí funkcí.

```
ISR(USART_UDRE_vect)
```

se volá automaticky po skončení vyslání každého bytu. Když buffer není prázdný, zahájí přenos dalšího bytu.

```
ISR(USART_RX_vect)
```

vyřizuje příjem dat, jejich uložení do přijímacího bufferu.

5.4 Paralelní port

```
void pp_init();
```

inicializuje využívané piny procesoru.

```
void pp_select(uint8_t address, uint8_t mode);
```

provede operaci zápis adresy.

```
void pp_write(uint8_t data);
```

pošle jeden byte na paralelní port.

```
uint8_t pp_read();
```

čte jeden byte z paralelního portu.

ZÁVĚR

V této práci byl vytvořen kompletní návrh GPS přijímače, který je schopen pod řízením počítačového programu vyhledat satelitní signály, změřit jejich posuv vůči internímu oscilátoru a demodulovat navigační data.

V první části byla rozebrána podstata funkce navigačního systému a matematický popis určení pozice. Dále byla shrnuta fyzická podstata systému GPS, vysílané signály, struktura vysílacích obvodů a způsob modulace. Dále se práce zabývá návrhem přijímacího obvodu z obecného hlediska, popisem principu funkce logických obvodů a mikroprocesorové části. Tato kapitola je následována stručným popisem simulačního programu v Matlab, jenž byl vytvořen pro ověření možnosti dekodování družicového signálu.

Následující kapitola pojednává o konkrétní realizaci logických obvodů a podrobně popíše jejich jednotlivé části a moduly, jež jsou založeny na předchozích částech práce. Je zahrnut řídicí program mikrokontroléru vč. stručného popisu vytvořených driverů hardwarových částí. Většina funkčních částí přijímací logiky byla realizována v programovatelném hradlovém poli Spartan-3. Řídicí funkce jsou splněny mikrokontrolérem ATmega32.

Výsledkem této práce je kompletní návrh přijímače GPS, což zahrnuje schéma zapojení, plošný spoj, předlohu pro výrobu DPS (příl. A), zapojení logického obvodu a řídicí program mikrokontroléru (příl. B a C). Řídicí program je snadno rozšířitelný o další funkce, zejména ohledně komunikace s počítačem přes sériovou linku, což umožní přizpůsobení požadavkům řídicího programu.

Fyzická realizace projektu se nepodařila kvůli problémům vzniklým při ručním pájení drobných vývodů pouzdra FPGA s velice malou roztečí.



LITERATURA

- [1] MATJAZ, Vidmar, S53MV. *A homemade receiver for GPS & GLONASS satellites* [online]. 1992 [cit. 7. 5. 2008]. Dostupné z URL:
<<http://lea.hamradio.si/~s53mv/navsats>>.
- [2] *Wikipedie: Otevřená encyklopedie: Global Positioning System* [online]. c2009, poslední aktualizace 15. 11. 2009 [cit. 15. 12. 2009]. Dostupné z URL:
<<http://en.wikipedia.org/wiki/GPS>> a
<<http://hu.wikipedia.org/wiki/GPS>>.
- [3] *Spartan-3 FPGA Family Datasheet* [online]. XILINX®, 25. 06. 2008 [cit. 15. 12. 2009]. Dostupné z URL:
<http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf>.
- [4] *Radiolokace a radionavigace* [MRAR skriptum]. Brno: VUT, 2004 [cit. 15. 12. 2009]. Dostupné z URL:
<https://krel.feec.vutbr.cz/VYUKA/M_EST/MRAR/LIT/skripta%202004.pdf>.
[Autorizováno].
- [5] *DOGM Graphic Series 128x64 Dots* [datasheet online]. Electronic Assembly, 10. 2008 [cit. 16. 3. 2010]. Dostupné z URL:
<<http://www.lcd-module.com/eng/pdf/grafik/dogm128e.pdf>>.
- [6] *ST7565R 65x132 Dot Matrix LCD Controller/Driver* [datasheet online]. Sitronix, 10. 3. 2006, ver. 1.5 [cit. 16. 3. 2010]. Dostupné z URL:
<<http://www.lcd-module.com/eng/pdf/zubehoer/st7565r.pdf>>.
- [7] *Atmel®: 8-bit Microcontroller with 32K Bytes In-System Programmable Flash – ATmega32A* [datasheet online]. Atmel Corporation, c2009, posl. změna 7. 2009, rev. B [cit. 16. 3. 2010]. Dostupné z URL:
<http://atmel.com/dyn/resources/prod_documents/doc8155.pdf>.
- [8] *Future Technology Devices International Ltd.: FT232R USB UART IC* [datasheet online]. Future Technology Devices International Limited, c2009, posl. změna 12. 2009, ver. 2.05 [cit. 16. 3. 2010]. Dostupné z URL:
<http://www.ftdichip.com/Documents/DataSheets/DS_FT232R_V205.pdf>.

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

AD	analogově-digitální
AGC	automatic gain control – automatické řízení zisku
b	bit
c	chip
c	rychlost světla
C/A	coarse/aquisition
CDMA	code division multiple access – systém přístupu s kódovým rozlišením
dB	decibel
DP	dolní propust
DPS	deska plošného spoje
DSP	digital signal processing – číslicové zpracování signálů
DSSS	direct sequence spread spectrum – přímé rozprostírání
FPGA	field programmable gate array – programovatelná hradlová pole
f_{vz}	vzorkovací kmitočet
GLONASS	globalnaja navigacionnaja sputnikovaja sistema – globální navigační družicový systém
GPS	global positioning system – systém globální navigace
I	in-phase – nulová fáze (u QPSK)
IO	input-output – vstupně-výstupní
ISP	in-system programming – programování v cílovém obvodu
LC	liquid crystal – tekutý krystal
LED	light-emissing diode – svítivá dioda
LNA	low-noise amplifier – nízkošumový zesilovač
mun.	numerický

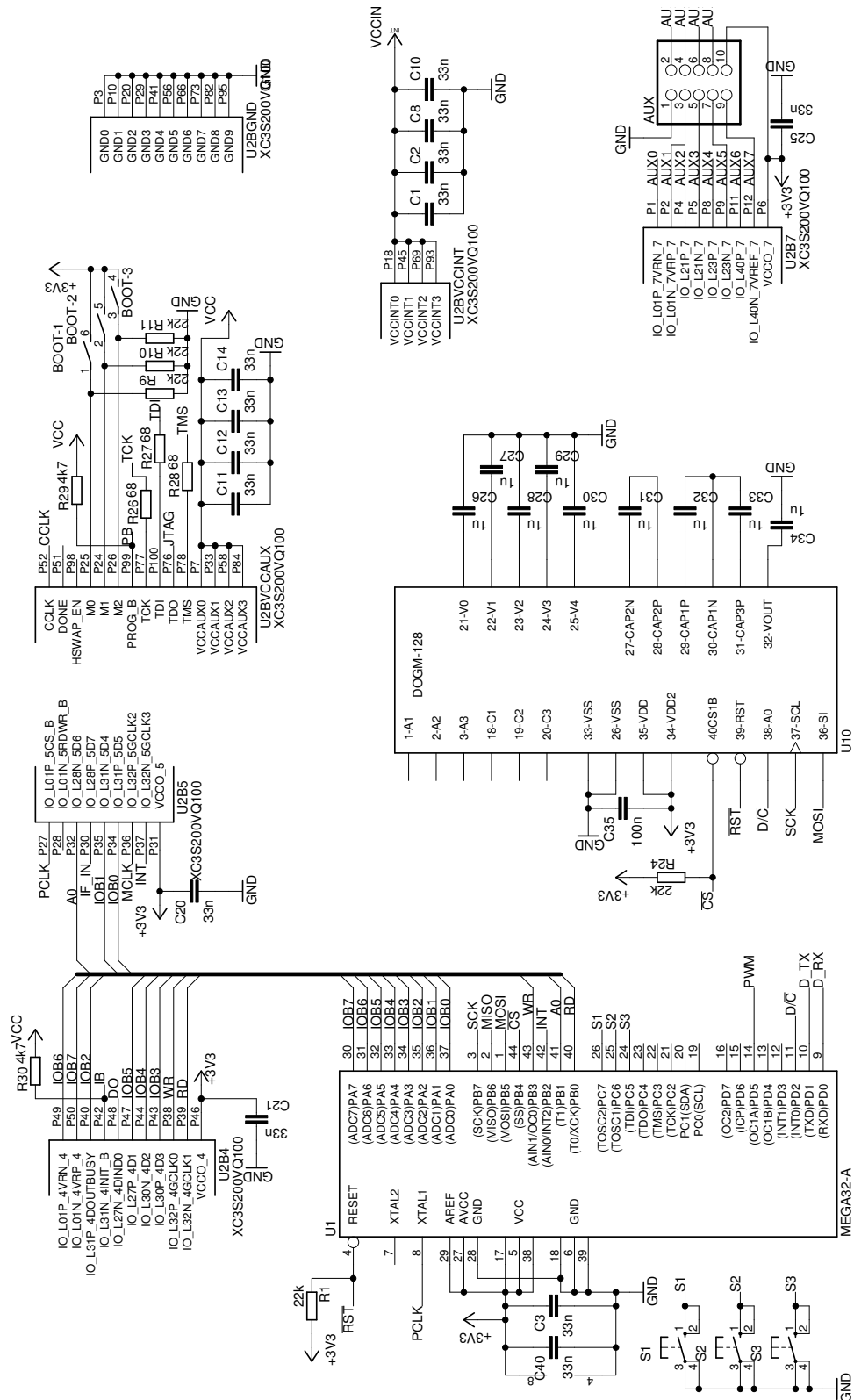
μC , uC	mikrokontrolér
MEO	medium Earth orbit – středně vysoká dráha
MF	mezifrekvenční
MSB	most significant bit – nejvýznamnější bit
P	precision – precizní
PN	pseudonáhodá (posloupnost)
Q	quadrature – kvadrurní (u QPSK)
QPSK	quadrature phase-shift keying – kvadrurní modulace
S/N	signal to noise ratio – poměr signálu k šumu
VF	vysokofrekvenční
XOR	exclusive or – výlučné nebo

SEZNAM PŘÍLOH

A	Výkresová dokumentace	56
A.1	Schéma	56
A.2	Deska plošného spoje	58
B	Schémata FPGA	64
C	Obsah CD	69
D	Návrh laboratorní úlohy	70
E	Poznámky	71

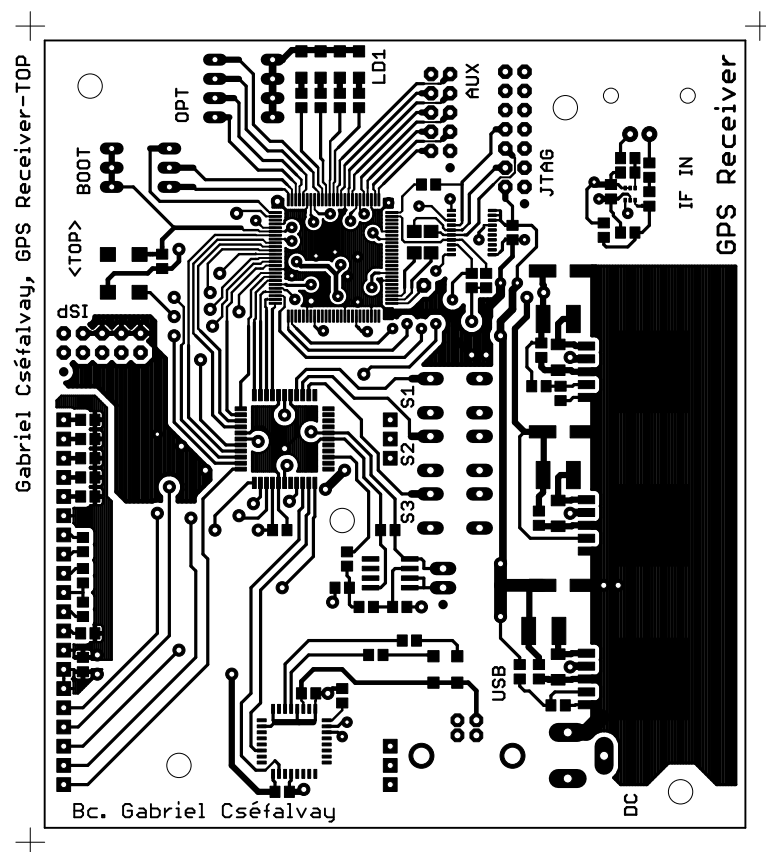
A VÝKRESOVÁ DOKUMENTACE

A.1 Schéma

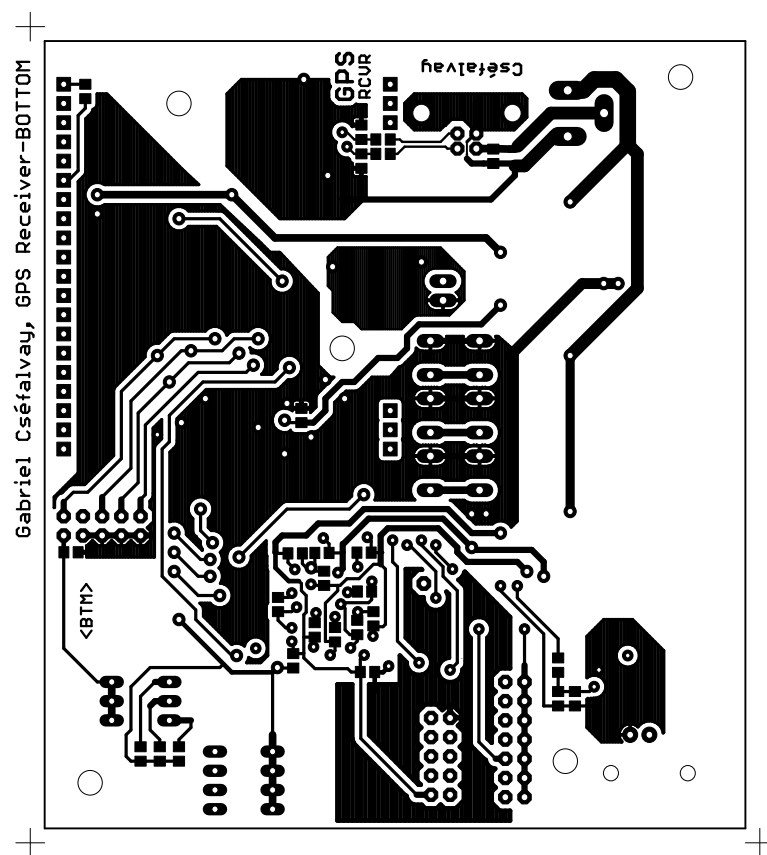




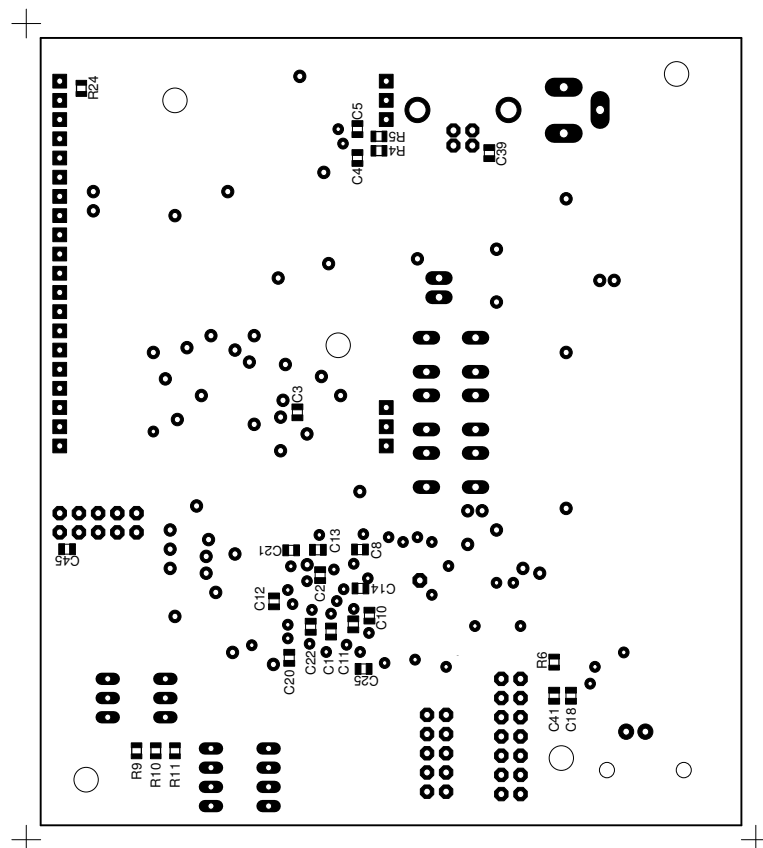
A.2 Deska plošného spoje



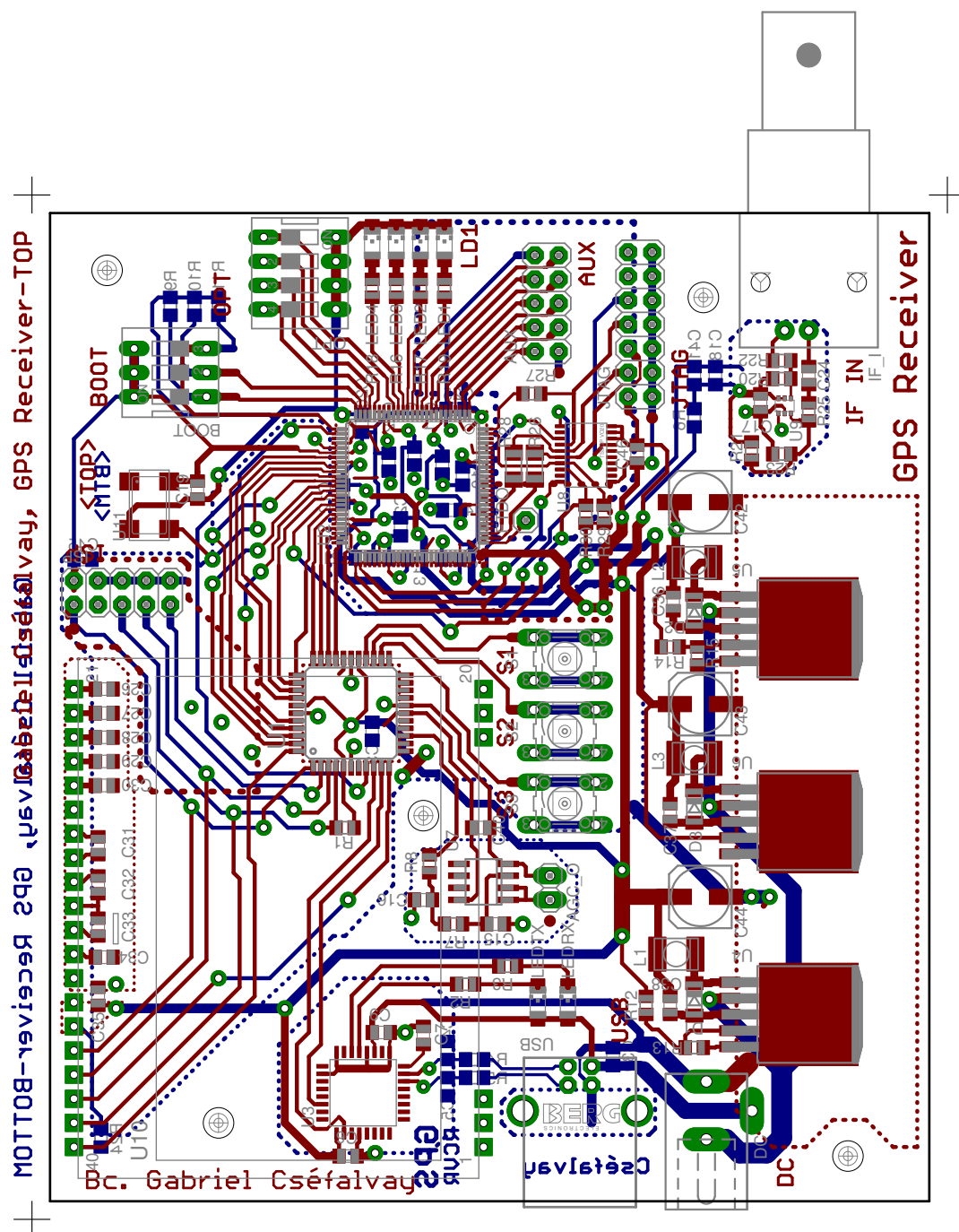
Obr. A.1: DPS – top



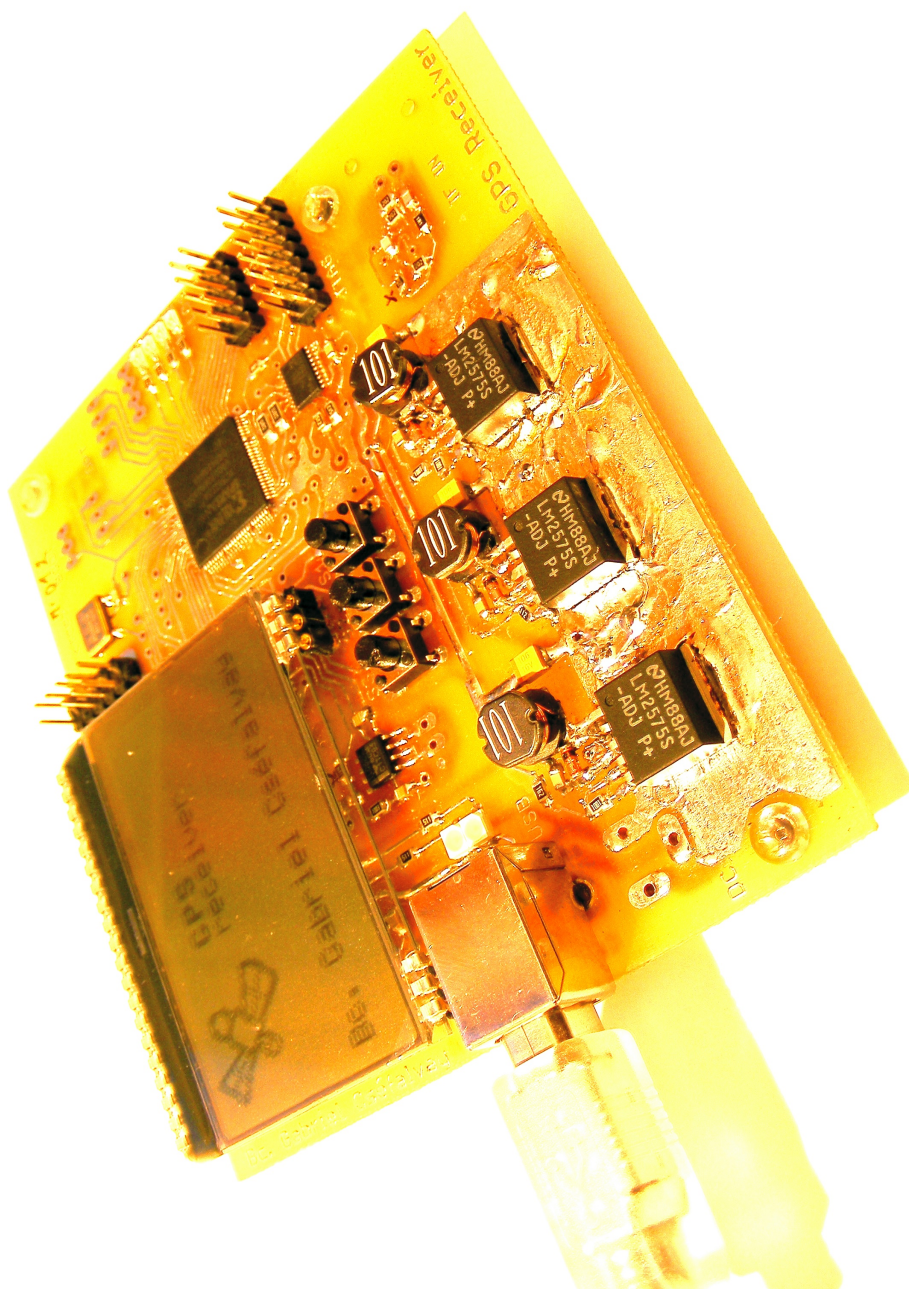
Obr. A.2: DPS – bottom



Obr. A.4: Osazovací plán – bottom

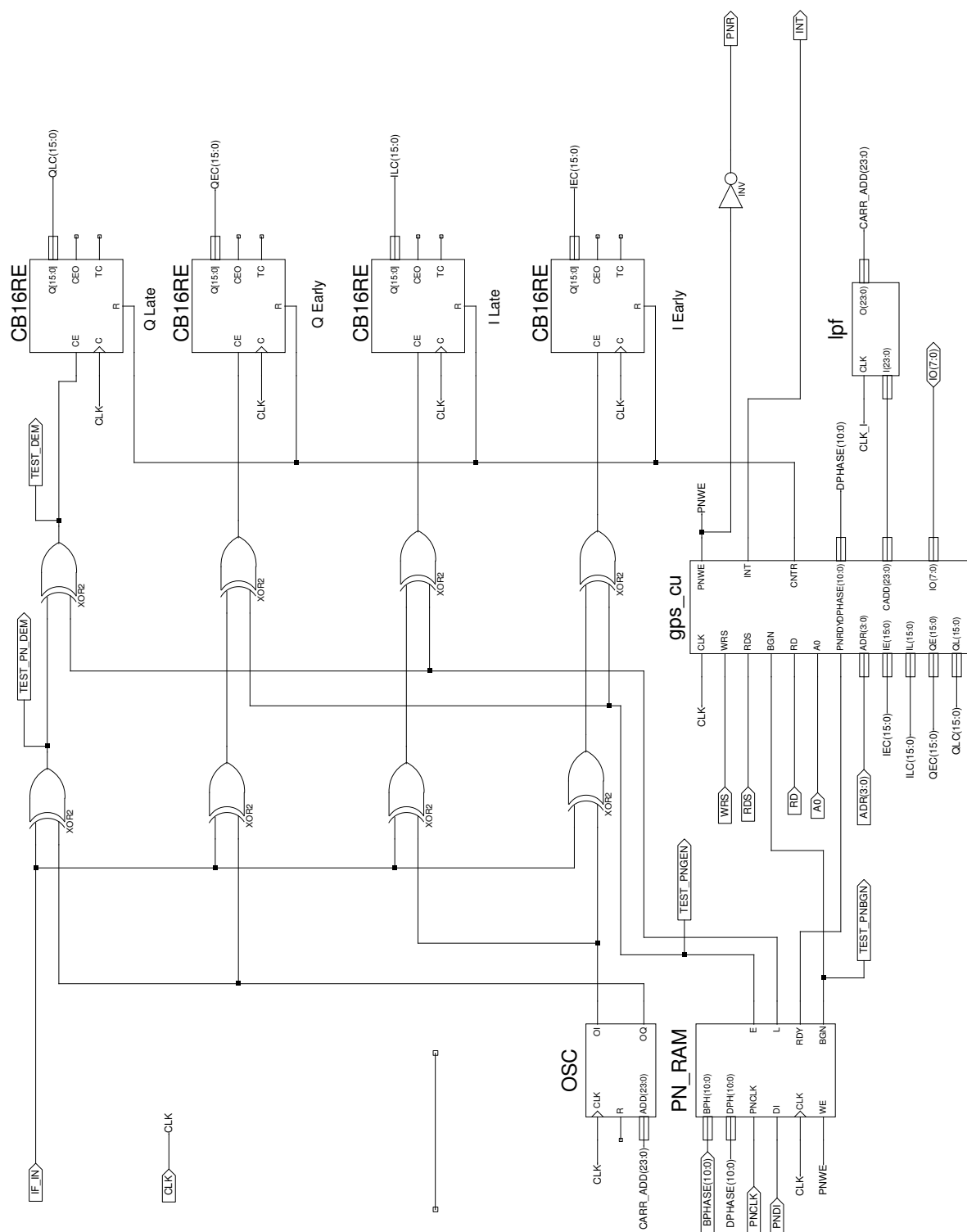


Obr. A.5: DPS – pohled (zvětšeno na 140%)

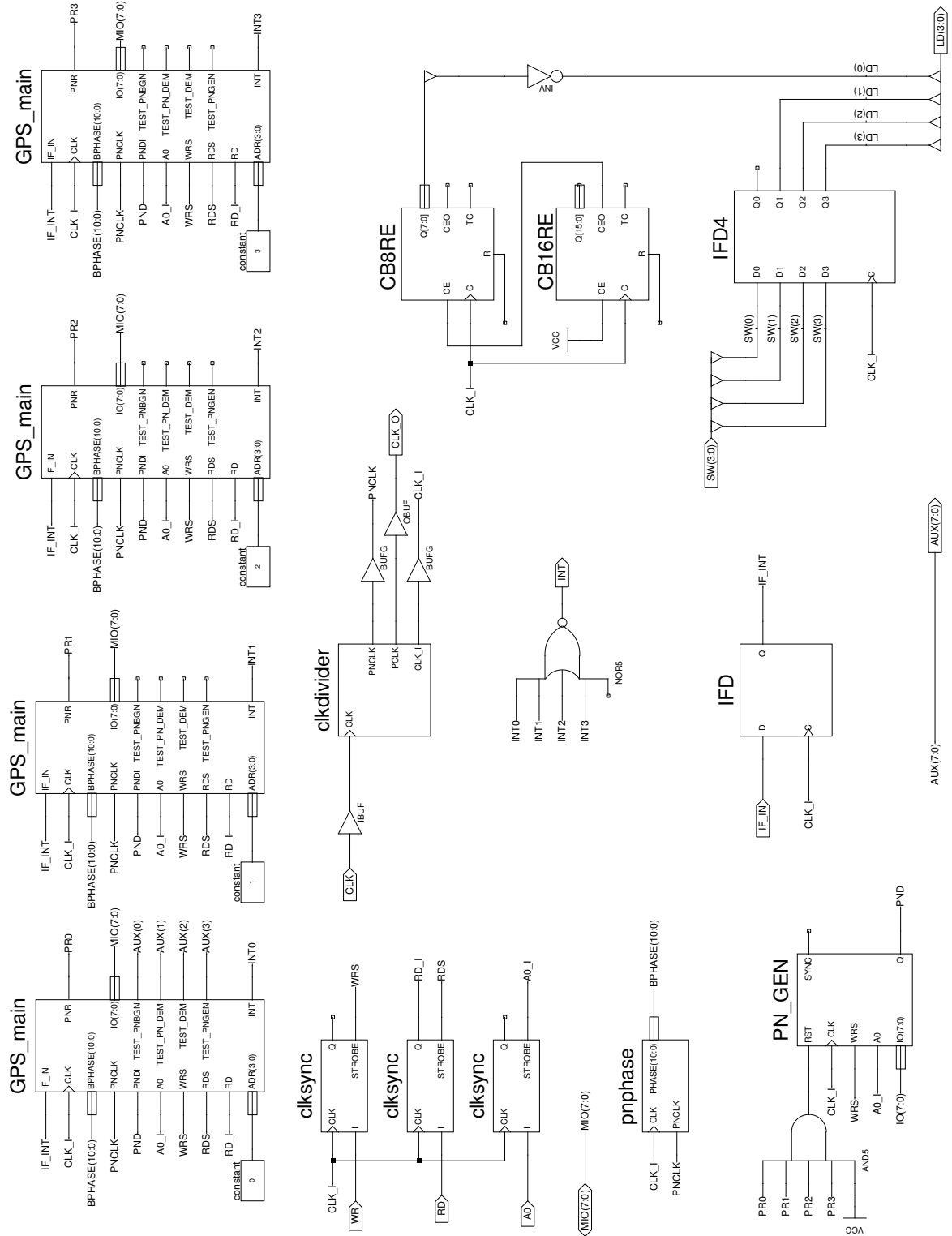


Obr. A.6: DPS – fotka

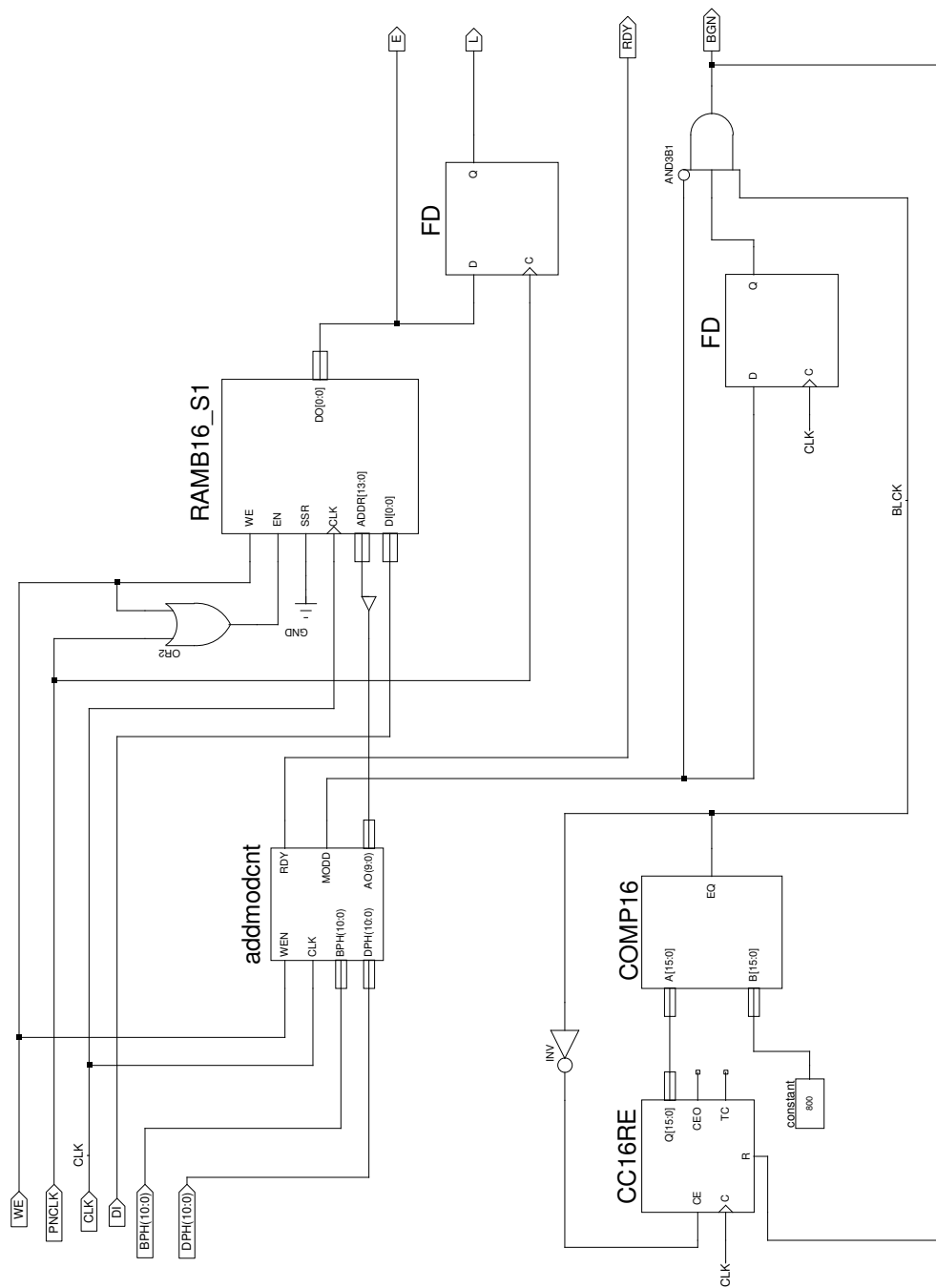
B SCHÉMATA FPGA



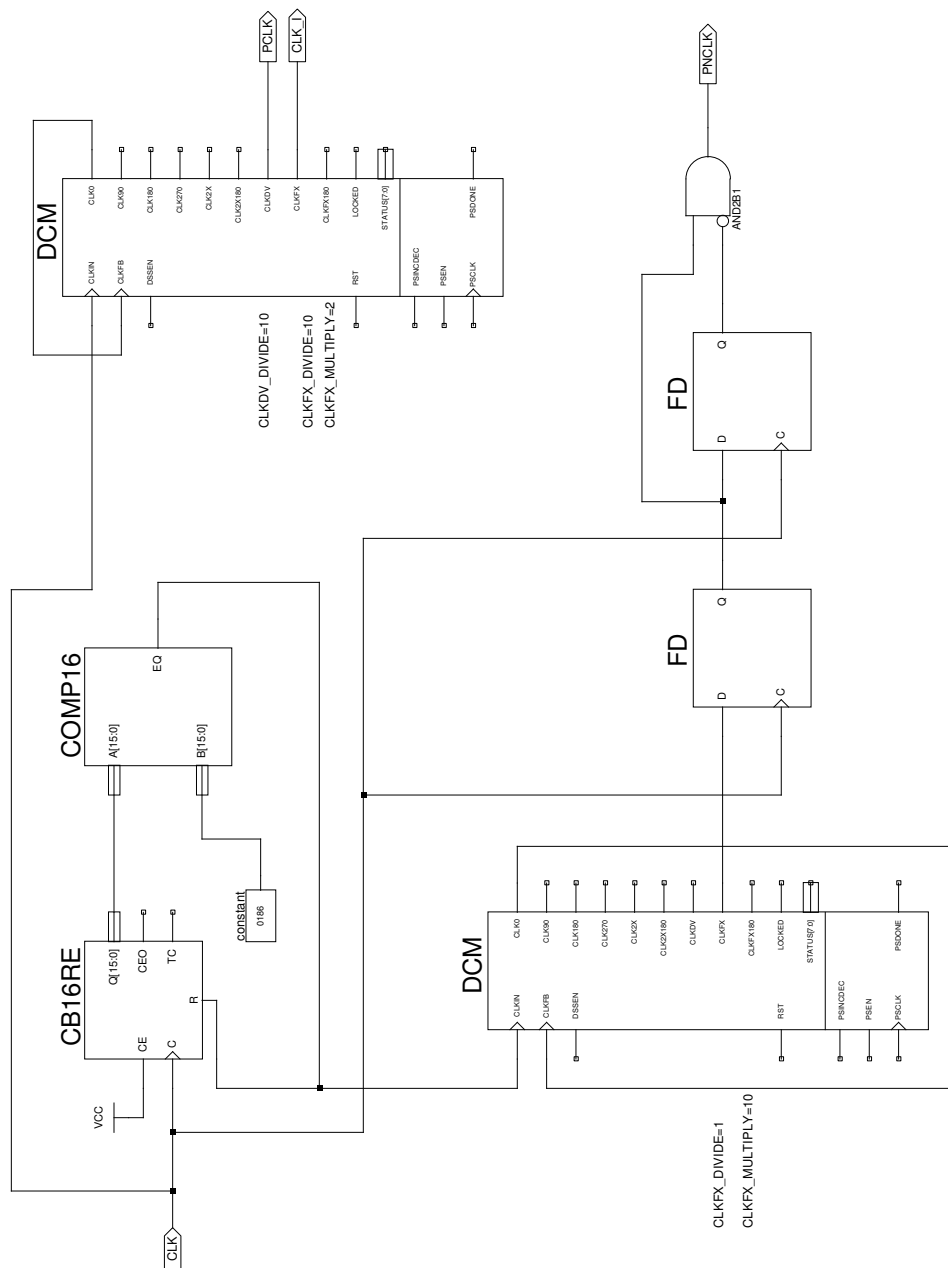
Obr. B.1: Schéma GPS_main



Obr. B.2: Schéma GPS_design



Obr. B.4: Schéma PN_RAM



Obr. B.5: Schéma clkdivider

C OBSAH CD

Csefalvay_DP_etext.pdf

elektronická verze práce

Csefalvay_DP_prilohy.zip/fpga

zdrojové VHDL kódy pro FPGA

Csefalvay_DP_prilohy.zip/fpga/project

kompletní projekt pro Xilinx ISE

Csefalvay_DP_prilohy.zip/matlab

simulační program v Matlabu

Csefalvay_DP_prilohy.zip/processor

kompletní soubor zdrojových kódů pro procesor

Csefalvay_DP_zdroj.zip

zdrojový kód textu v jazyce L^AT_EX

D NÁVRH LABORATORNÍ ÚLOHY

1. Prostudujte blokový diagram přijímače GPS a signálového generátoru. Nastavte signálový generátor, aby generoval signál podobný generovaným GPS satelitů.
2. Změřte rychlost postupného vyhledávání satelitního signálu.
3. Změřte rychlost dosažení synchronizace již předem známého signálu na závislosti odstupů signálu od šumu.
4. Změřte pomocí dvoukanálového osciloskopu vzájemný posuv PN posloupností.
5. Zkontrolujte změřený údaj pomocí obslužního programu na PC.
6. Pomocí osciloskopu zjistěte fázovou odchylku generované a přijaté PN sekvence.
7. Připojte anténu a směšovač k přijímací desce a proveďte předcházející body. Pozorujte demodulaci reálného satelitního signálu.

E POZNÁMKY

Tento dokument je sázen pomocí systému $\text{\LaTeX} 2_{\varepsilon}$.

Schémata a desky plošných spojů jsou navrženy pomocí programu EAGLE 5.8.0.

Desky plošných spojů jsou tištěny v měřítku 1:1.

Diagramy jsou kresleny programem Dia 0.97.