

DRIVER UTILIZING HDMI INTERFACE FOR MODULAR LED DISPLAYS

Tomáš Bartek

Master Degree Programme (2), FEEC BUT

E-mail: xbartel1@stud.feec.vutbr.cz

Supervised by: Vojtěch Dvořák

E-mail: xdvora99@stud.feec.vutbr.cz

Abstract: This paper presents VHDL implementation of complex system for controlling modular LED displays. In this project we mainly focus on utilizing HDMI input interface on FPGA which controls LED displays, but also on ensuring communication via MODBUS protocol, identification through DDC and thermal security of LED displays itself.

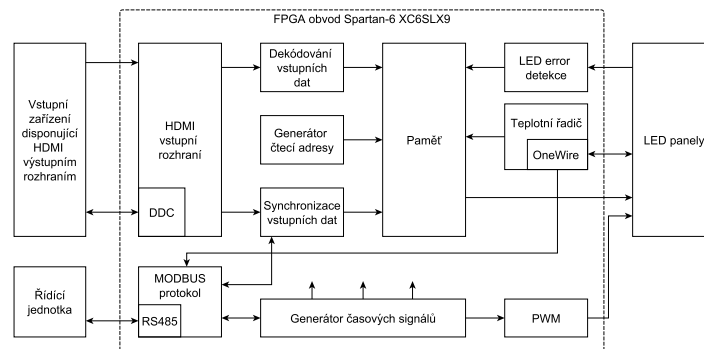
Keywords: Information panels, HDMI, LED, VHDL, FPGA

1 ÚVOD

Tento článek se věnuje oblasti informačních LED panelů. Konkrétně představuje návrh řadiče s FPGA obvodem, který zpracovává HDMI signál a na základě přichozího obrazu generuje řídicí signály pro LED moduly. Pro realizaci řadiče byl vybrán FPGA obvod od firmy XILINX, Inc. Spartan-6 XC6SLX9. Při realizaci bylo nutné implementovat i pokročilé funkce pro řízení průmyslových LED panelů. Jedná se o měření teploty a teplotní řízení, komunikaci s nadřazenou jednotkou a detekci vadných LED na panelu. HDMI rozhraní bylo vybráno kvůli své rozšířenosti a tedy univerzálnosti z pohledu zdroje video signálu.

2 BLOKOVÉ SCHÉMA

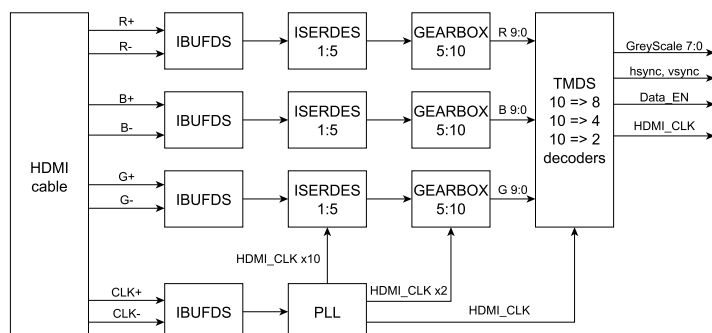
Zjednodušené blokové schéma je naznačeno na obrázku č. 1. Ze schématu vyplývá, že se jedná o komplexní návrh, který obsahuje kromě samotného HDMI rozhraní i možnost detekce nefunkčních LED, teplotní řadič a MODBUS protokol pro komunikaci FPGA s řídicí jednotkou. Použité LED moduly jsou monochromatické a jedná se o prototypy určené k zavedení na trh. Disponují vstupním rozhraním založeným na protokolu HUB08, který není standardizován a neexistuje k němu literatura. Detekce vadných LED je podporována osazenými budiči SCT2027 [1].



Obrázek 1: Zjednodušené blokové schéma implementace

3 HDMI ROZHRAŇÍ

HDMI rozhraní je založeno na velmi rychlé serializaci nejen obrazových dat. V FPGA obvodu je proto nutné zabezpečit zachycení těchto dat a jejich následné zpracování. Realizace příjmu dat v obvodu je znázorněna na obrázku 2.



Obrázek 2: Implementace vstupní HDMI komponenty

Použitý obvod Spartan-6 XC6SLX9 disponuje vstupními diferenciálními páry IBUFDS [6], které jsou použity pro příjem LVDS signálů. Další zpracování se liší podle toho, zda-li se jedná o obrazový nebo hodinový kanál. Signál z hodinového kanálu je předán do bloku fázového závěsu PLL [7], který generuje vstupní hodinový signál HDMI dat. Pro zpracování vstupních signálů je nutné generovat jednonásobek, dvojnásobek a desetinásobek vstupního hodinového signálu.

V případě obrazových kanálů je signál předáván do dalšího nativního bloku obvodu FPGA ISERDES2 [6]. Ten zabezpečuje zachycení velmi rychlého sériového datového toku. V obvodech Spartan-6 jsou přítomny ISERDES2 bloky s poměrem zachycení dat 1:4. Pro účely FPGA je ovšem nutné zachytávat vstupní data v poměru 1:5. V návrhu je toto zabezpečeno pomocí dvou ISERDES2 bloků pracujících v režimu Master a Slave.

Jakmile jsou data v 5bitových vektorech, je nutné je spojit do 10bitových TMDS slov, které je poté možné dekodovat na samotná obrazová data a synchronizační signály [2]. Spojení obstarává komponenta GearBox, která uchovává tři po sobě následující 5bitové vektory. V těchto 15bitových vektorech vyhledává speciální 10bitová synchronizační slova [2]. Jakmile tento vektor nalezne, je schopna generovat na svém výstupu platná 10bitová TMDS slova.

Posledním krokem zpracování vstupních dat je převod TMDS vektorů na platná obrazová data. Toho je dosaženo pomocí algoritmu popsaného v HDMI specifikacích [2]. Výstupem z HDMI komponenty však nejsou RGB signály, ale pouze jeden 8bitový kanál se škálou šedé. Pevod je zabezpečen pouhým sečtením jednotlivých barevných složek obrazového bodu a vydělení číslem 4. Dělení je v FPGA obvodu realizováno odebráním dvou LSB. V FPGA obvodu je poté možné nastavit od jaké hodnoty šedé je daný obrazový bod rozsvícen.

Celá vstupní HDMI komponenta v FPGA obvodu využívá 190 LUT, 182 Slice Registers, 7 LUTRAM, 1 PLL a 3 BUFG bloky.

4 IDENTIFIKACE ZAŘÍZENÍ

Pro zabezpečení kompatibility navrhovaného systému s libovolným zařízením je nutné, aby FPGA obvod byl schopen se identifikovat pomocí DDC rozhraní [2]. V rámci tohoto komunikačního kanálu se FPGA obvod identifikuje jako zobrazovací zařízení, které je schopno přijímat obraz o libovolném rozlišení, maximálně však 1920x1080 bodů. Samotná komunikace je založena na standardu I²C a data jsou přenášena ve formě bloku 128 16bitových slov. Přesná struktura identifikačních dat je definována pod pojmem EDID [3].

5 TEPLOTNÍ ŘÍZENÍ

V oblasti průmyslového použití informačních panelů je nutné počítat s velkou teplotní zátěží LED modulů. Každý jednotlivý modul obsahuje teplotní senzor DS18B20, se kterým je možno komunikovat pomocí protokolu 1-Wire[4]. FPGA obvod tedy detekuje všechny teplotní senzory a pravidelně v rozestupech 5 vteřin měří teplotu na LED modulech. Pokud některý dosáhne kritické teploty (to může být způsobeno například díky lokálnímu osvětlení sluncem nebo kvůli poruše ventilačního systému v LED panelu), vyhodnotí to FPGA jako chybovou situaci a vypne zobrazování na příslušném panelu. Díky tomuto opatření je možné zabránit nenávratnému poškození panelu. FPGA obvod následně ohlásí chybový stav nadřazené řídicí jednotce a dále kontroluje teplotu na vypnutém panelu. Pokud teplota poklesne o definovanou hodnotu, je panel opět zapnut.

6 KOMUNIKACE

Komunikace FPGA obvodu s nadřazenou jednotkou je zajištěna pomocí MODBUS protokolu [5], který využívá jako fyzickou vrstvu rozhraní RS485. Nadřazená jednotka může nastavovat celou řadu parametrů, například jas, výchozí pozici zobrazování, práh zobrazení pixelu a teplotní limity. Dále je schopna číst stavové informace o LED panelu. Jsou to například chybová hlášení, počet LED modulů, teploty modulů, počet LED.

7 ZÁVĚR

Funkčnost řadiče s FPGA obvodem je ověřena na testovacím LED panelu s rozlišení 160x32 obrazových bodů. Při této konfiguraci je v FPGA obvodu Spartan-6 XC6SLX9 využito 37% LUTs, 52% Slices a 25% BRAM16BWERs a maximální pracovní kmitočet 86 MHz (řadič pracuje na kmitočtu 50 MHz). Maximální kmitočet pro zpracování HDMI signálu je 164 MHz. Proudový odběr v této konfiguraci je 290 mA při 5 V. Teoretické maximální rozlišení, které je schopen jeden řadič řídit, je 313 tisíc pixelů, což odpovídá například rozlišení 640x480 px.

REFERENCE

- [1] StarChips Technology. 16-bit Constant-Current LED Driver with Modeless Error Detection [online]. 03-06-2013 [cit. 2016-03-25]. Dostupné z: http://www.starchips.com.tw/pdf/datasheet/SCT2027V01_03.pdf
- [2] HDMI Licensing, LLC. HDMI Specification Version 1.3a [online]. 10-11-2006 [cit. 2016-03-15]. Dostupné z: <http://www.microprocessor.org/HDMISpecification13a.pdf>
- [3] Video Electronics Standards Association. Vesa Enhanced Extended Display Identification Data Standard, Release A, Rev. 2 [online]. 25-11-2006 [cit. 2016-03-15]. Dostupné z: ftp://ftp.cis.nctu.edu.tw/pub/csie/Software/X11/private/VeSaSpEcS/VESA_Document_Center_Monitor_Interface/EEDIDrAr2.pdf
- [4] DALLAS Semiconductor. Programmable Resolution 1-Wire Digital Thermometer [online]. [cit. 2016-03-24]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/DS18B20.pdf>
- [5] Modbus-IDA. Modbus Application Protocol Specification v1.1b [online]. 28-12-2006 [cit. 2016-03-24]. Dostupné z: http://www.modbus.org/docs/Modbus_Application_Protocol_V1_1b.pdf
- [6] XILINX, Inc. Spartan-6 FPGA SelectIO Resources [online]. 21-11-2015 [cit. 2016-03-25]. Dostupné z: http://www.xilinx.com/support/documentation/user_guides/ug381.pdf
- [7] XILINX, Inc. Spartan-6 FPGA Clocking Resources [online]. 19-06-2015 [cit. 2016-03-25]. Dostupné z: http://www.xilinx.com/support/documentation/user_guides/ug382.pdf