

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

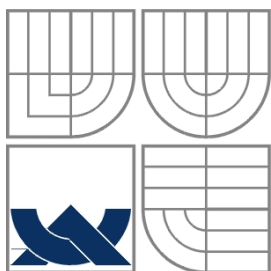
PŘÍMÝ FREKVENČNÍ ČÍSLICOVÝ SYNTEZÁTOR S EXTERNÍ SYNCHRONIZACÍ

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

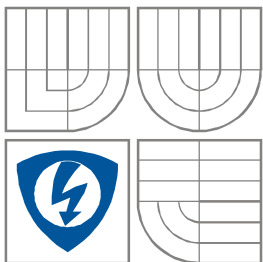
Bc. ONDŘEJ BUŠ

BRNO, 2012



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNologiÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF RADIO ELECTRONICS

PŘÍMÝ FREKVENČNÍ ČÍSLICOVÝ SYNTEZÁTOR S EXTERNÍ SYNCHRONIZACÍ

DIRECT DIGITAL FREQUENCY SYNTHESIZER WITH EXTERNAL SYNCHRONIZING

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

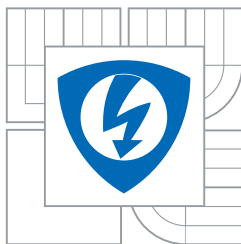
Bc. Ondřej Buš

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Ing. Miroslav Kasal, CSc.

BRNO, 2012



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Ondřej Buš
Ročník: 2

ID: 106387
Akademický rok: 2011/2012

NÁZEV TÉMATU:

Přímý frekvenční číslicový syntezátor s externí synchronizací

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s řešením přímých číslicových syntezátorů, zejména s integrovanými obvody Analog Devices. Navrhněte přímý číslicový syntezátor do 120 MHz s řízením po sériové sběrnici a s možností synchronizace externím frekvenčním normálem.

Dílčí obvody syntezátoru realizujte a ověřte jejich vlastnosti. Navrhněte plošný spoj syntezátoru. Napište ovládací program pro ovládání syntezátoru po sériové sběrnici s vhodným uživatelským rozhraním. Syntezátor sestavte a experimentálně ověřte jeho vlastnosti.

DOPORUČENÁ LITERATURA:

[1] DOBEŠ, J., ŽALUD, V. Moderní radiotechnika. Praha: BEN - technická literatura, 2006.

[2] KASAL, M. Frekvenční syntéza v komunikačních systémech - Experimentální družice. Edice Habilitační a inaugurační spisy, sv. 169. Brno: Nakladatelství VUT IUM, 2005.

Termín zadání: 6.2.2012

Termín odevzdání: 18.5.2012

Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

Konzultanti diplomové práce:

prof. Dr. Ing. Zbyněk Raida
Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce se zabývá problematikou přímé frekvenční číslicové syntézy. V úvodu práce je vysvětlen princip a uvedeny základní vlastnosti této metody generování signálu. Rozebrány jsou především dopady na čistotu spektra výstupního signálu. Další kapitola se zabývá návrhem zařízení, tedy výběrem DDFS obvodu a dalších základních bloků. Je zde uveden návrh násobiče kmitočtu, rekonstrukčního filtru a výstupního zesilovače. Zabývá se také výběrem řídicího obvodu. Zařízení je možné ovládat pomocí počítače přes sběrnici USB. Pro tyto účely byl vytvořen uživatelský program. Změřené vlastnosti zařízení jsou uvedeny na konci práce. Práce obsahuje schémata a desky plošných spojů navržených částí včetně simulací a změřených parametrů.

KLÍČOVÁ SLOVA

DDFS, DDS, přímá frekvenční číslicová syntéza, fázový šum, násobič kmitočtu, rekonstrukční filtr.

ABSTRACT

This thesis deals with problematics of direct frequency digital synthesis. Principle and basic characteristics of this method of signal generating are explained in the introduction. It considers impact on purity of spectrum of output signal. Next chapter considers conception of the generator, namely choice of DDFS circuit and other basic blocks. Design of frequency multiplier, reconstruction filter and power amplifier are included. It also deals with choice of control circuit. The device is controlled by computer through USB. There was created user programme for this purpose. Measured characteristics are stated at the end of the work. This work includes schemes of connetions of designed parts including simulations and measured parameters.

KEYWORDS

DDFS, DDS, direct digital frequency synthesizer, phase noise, frequency multiplier, reconstruction filter.

Buš, O. *Přímý frekvenční číslicový syntezátor s externí synchronizací*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2012. 61 s., 15 s. příloh. Diplomová práce. Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

PROHLÁŠENÍ

Prohlašuji, že svoji diplomovou práci na téma Přímý frekvenční číslicový syntezátor s externí synchronizací jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce prof. Ing. Miroslavu Kasalovi, CSc. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne

.....

(podpis autora)

Výzkum realizovaný v rámci této diplomové práce byl finančně podpořen projektem
CZ.1.07/2.3.00/20.0007 **Wireless Communication Teams**
operačního programu **Vzdělávání pro konkurenceschopnost**.



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Finanční podpora byla poskytnuta Evropským sociálním fondem
a státním rozpočtem České republiky.

OBSAH

Seznam obrázků	x
Seznam tabulek	xiii
Úvod	14
1 Základní parametry	15
1.1 Stabilita kmitočtu	15
1.2 Přesnost kmitočtu	15
1.3 Amplitudový šum	15
1.4 Fázový šum	15
2 Přímá frekvenční číslicová syntéza	17
2.1 Princip činnosti DDFS	17
2.2 Spektrální vlastnosti	19
2.2.1 Vliv D/A převodníku	19
2.2.2 Rekonstrukční filtr	20
2.2.3 Fázový šum	21
3 Návrh syntezátoru	24
3.1 Výběr DDFS obvodu	24
3.2 Násobič kmitočtu	26
3.3 Výstup D/A převodníku a rekonstrukční filtr	28
3.3.1 Impedanční přizpůsobení výstupu D/A převodníku	30
3.4 Výstupní zesilovač	31
3.5 Interní oscilátor	31
3.5.1 Elektronický přepínač	32
3.6 Řídicí obvod	33
3.6.1 USB rozhraní	33
3.6.2 Komunikace s AD9951	34
3.7 Ovládací panel a potisk přístroje	35
3.8 Napájecí obvody	36
4 Realizace syntezátoru	38
4.1 Rekonstrukční filtr	38

4.2	Násobič kmitočtu	39
4.3	Software	41
4.3.1	Ovladač AD9951	41
4.3.2	Korekce výkonu	42
4.3.3	USB komunikace	42
4.3.4	Funkce softwaru v syntezátoru	44
4.3.5	Software pro počítač	45
4.4	Fotografie realizovaného přístroje	50
5	Parametry	51
5.1	Úroveň výstupního signálu	51
5.2	Čistota spektra.....	51
5.3	Fázový šum v závislosti na úrovni hodinového signálu	55
5.4	Fázový šum	56
5.5	Napájení zařízení	60
6	Závěr	61
	Literatura	62
	Seznam symbolů, veličin a zkratk	64
	Seznam příloh	66

SEZNAM OBRÁZKŮ

Obr. 1.1:	Spektrum fázového šumu.....	16
Obr. 2.1:	Principiální schéma DDS syntezátoru, podle [2].....	17
Obr. 2.2:	Kruhový fázový diagram podle [5].....	18
Obr. 2.3:	Kvantizační šum. Spektrum 4-bitového a 8-bitového D/A převodníku [5].	19
Obr. 2.4:	Spektrum na výstupu 14-bitového D/A převodníku při výstupním kmitočtu 2 MHz (vlevo) a 2,001 MHz (vpravo). Taktovací kmitočet 80 MHz.....	20
Obr. 2.5:	Teoretické spektrum na výstupu DDS (bez filtrace), převzato z [6].	21
Obr. 2.6:	Spektrum na výstupu rekonstrukčního filtru [6].....	21
Obr. 2.7:	Vznik fázového šumu v důsledku zkrácení ladicího slova, převzato z [6].	22
Obr. 2.8:	Vznik nežádoucích složek v důsledku zkrácení ladicího slova podle [6].	23
Obr. 3.1:	Blokové schéma syntezátoru.....	24
Obr. 3.2:	Blokový diagram obvodu AD9915, převzato z [8].....	25
Obr. 3.3:	Blokové schéma násobiče kmitočtu.....	26
Obr. 3.4:	Schéma navrženého násobiče.	27
Obr. 3.5:	Spektrum výstupního signálu z násobiče získané simulací v Pspice.....	27
Obr. 3.6:	Porovnání jednotlivých typů filtrů, převzato z [12].....	28
Obr. 3.7:	Schéma Cauerovy dolní propusti 7. řádu.....	28
Obr. 3.8:	Export simulace Cauerovy dolní propusti 7. řádu v Pspice.	29
Obr. 3.9:	Zapojení výstupu obvodu AD9951 [5].	29
Obr. 3.10:	Přenosová charakteristika transformátoru PWB2010-1L, převzato z [14].	30
Obr. 3.11:	Impedanční přizpůsobení výstupu D/A převodníku.	30
Obr. 3.12:	Doporučené zapojení zesilovače ERA-5, podle [15].....	31
Obr. 3.13:	Způsob zapojení oscilátoru CFPT-126, převzato z [16].	32
Obr. 3.14:	Elektronický analogový přepínač TS5A3159 od firmy Texas Instruments.	33
Obr. 3.15:	Připojení USB sběrnice k mikrokontroléru při použití knihovny V-USB [19].....	34
Obr. 3.16:	Rozložení pinů konvertoru napětíových úrovní TXB0104 od firmy Texas Instruments [17].....	35
Obr. 3.17:	Potisk přední a zadní strany přístroje.....	35
Obr. 3.18:	Zapojení otočných přepínačů.....	36
Obr. 3.19:	Doporučené zapojení obvodu LP2951 podle [22].	37

Obr. 3.20:	Typické zapojení reference REF3233, podle [23].	37
Obr. 4.1:	Frekvenční charakteristika realizovaného rekonstrukčního filtru v pásmu do 500 MHz.	38
Obr. 4.2:	Frekvenční charakteristika realizovaného rekonstrukčního filtru v pásmu od 0 Hz do 1 GHz.	39
Obr. 4.3:	Přípravek na ověření parametrů rekonstrukčního filtru.	39
Obr. 4.4:	Spektrum výstupního signálu realizovaného násobiče.	40
Obr. 4.5:	Struktura paketu přijímaného zařízením.	43
Obr. 4.6:	Struktura paketu příkazu 18.	43
Obr. 4.7:	Struktura paketu odesílaného zařízením.	44
Obr. 4.8:	Zjednodušený vývojový diagram softwaru v syntezátoru.	45
Obr. 4.9:	Uživatelský program - záložka status.	46
Obr. 4.10:	Uživatelský program - nastavení kmitočtu a výkonu.	47
Obr. 4.11:	Uživatelský program - rozmítání kmitočtu.	47
Obr. 4.12:	Uživatelský program - nastavení předvoleb.	48
Obr. 4.13:	Uživatelský program - korekce výkonu.	48
Obr. 4.14:	Uživatelský program - nastavení fázového závěsu.	49
Obr. 4.15:	Fotografie realizovaného zařízení.	50
Obr. 4.16:	Fotografie realizovaného zařízení - bez krytu.	50
Obr. 5.1:	Výstupní úroveň při širokopásmovém rozmítání. Porovnání aktivní a neaktivní korekce výkonu.	51
Obr. 5.2:	Spektrum signálu o kmitočtu 40 MHz.	52
Obr. 5.3:	Spektrum signálu o kmitočtu 80 MHz. Interní zdroj hodinového signálu... ..	52
Obr. 5.4:	Spektrum signálu o kmitočtu 120 MHz. Interní zdroj hodinového signálu.	53
Obr. 5.5:	Detail spektra signálu o kmitočtu 120 MHz. Interní zdroj hodinového signálu.	54
Obr. 5.6:	Detail spektra signálu o kmitočtu 109,1357913 MHz. Interní zdroj hodinového signálu.	54
Obr. 5.7:	Fázový šum signálu 80 MHz při hodinového signálu s úrovní +3 dBm.	55
Obr. 5.8:	Fázový šum signálu 80 MHz při hodinového signálu s úrovní -15 dBm.	56
Obr. 5.9:	Tabulka optimálních hodnot součástek filtru smyčky.	56
Obr. 5.10:	Fázový šum výstupního signálu 40 MHz. Interní 10 MHz oscilátor.	57
Obr. 5.11:	Fázový šum výstupního signálu 80 MHz. Interní 10 MHz oscilátor.	58
Obr. 5.12:	Fázový šum výstupního signálu 120 MHz. Interní 10 MHz oscilátor.	58
Obr. 5.13:	Fázový šum výstupního signálu 120 MHz. Externí 80 MHz hodinový signál.	59

Obr. 5.14: Fázový šum výstupního signálu 120 MHz. Externí 400 MHz hodinový signál.....	59
Obr. 5.15: Fázový šum výstupního signálu 40 MHz. Externí 400 MHz hodinový signál.	60

SEZNAM TABULEK

Tab. 4.1:	Porovnání fázového šumu generátoru a výstupního signálu násobiče.....	41
-----------	---	----

ÚVOD

Frekvenční syntezátor slouží jako zdroj signálů (zpravidla harmonického či pravoúhlého průběhu) přesných kmitočtů, které jsou odvozeny z jednoho či více referenčních oscilátorů. Kmitočet výstupního signálu nelze měnit spojitě, ale pouze po určitých obvykle ekvidistantních hodnotách. Kmitočtová vzdálenost mezi nejbližše nastavitelnými kmitočty se nazývá *kmitočtový krok*. Pokud je tento krok dostatečně malý, je rozdíl mezi spojitým a diskretním přeladováním zanedbatelný [1], [2].

Tato práce se zabývá především problematikou přímé číslicové syntézy, která má oproti jiným metodám (nejčastěji smyčka fázového závěsu PLL) výhody v možnosti přesného a rychlého nastavení kmitočtu, fáze a amplitudy v širokém rozsahu. K dalším výhodám patří vysoká stabilita kmitočtu a nízký fázový šum.

V začátcích byla číslicová syntéza limitována především rychlostí logických obvodů a D/A převodníků. Moderní technologie však umožňuje vytvářet složité integrované obvody, které mají malé rozměry, minimální spotřebu a pracují do vysokých kmitočtů. Číslicová syntéza tak nachází v komunikačních systémech širokého uplatnění. Velmi rozšířené jsou například systémy s kmitočtovým skákáním, které lze pomocí číslicové syntézy snadno realizovat [3], [4].

Cílem této práce bylo vytvořit přímý číslicový frekvenční syntezátor, jehož výstupem bude harmonický signál s nastavitelným kmitočtem od 1 MHz do 120 MHz s výkonem +10 dBm. Zdroj hodinového signálu je možné zvolit interní či z externího oscilátoru. Zařízení je možné ovládat pomocí USB sběrnice.

1 ZÁKLADNÍ PARAMETRY

Aby bylo možné zhodnotit vlastnosti generátorů periodických signálů, tedy oscilátorů a syntezátorů, je vhodné se na začátku práce krátce zmínit o základních používaných parametrech.

1.1 Stabilita kmitočtu

Stabilitu kmitočtu lze číselně vyjádřit jako $\frac{\Delta f_{MAX}}{f_0}$, kde Δf_{MAX} je maximální odchylka od jmenovité hodnoty kmitočtu f_0 stanovená za určitý časový interval Δt .

Pokud je Δt mnohem větší než 1 sekunda, mluvíme o *dlouhodobé stabilitě*. V opačném případě se jedná o *krátkodobou stabilitu* [1].

1.2 Přesnost kmitočtu

Přesnost kmitočtu je dána podílem $\frac{\Delta f_p}{f_0}$. Veličinu Δf_p lze stanovit tak, že se během časového intervalu Δt určí střední hodnota kmitočtu f_p a poté se vypočte rozdíl $\Delta f_p = |f_p - f_0|$, kde f_0 je jmenovitá hodnota kmitočtu [1].

1.3 Amplitudový šum

Amplitudový šum vzniká v důsledku náhodných rychlých změn velikosti signálu. U většiny oscilátorů je tento šum zanedbatelný [1].

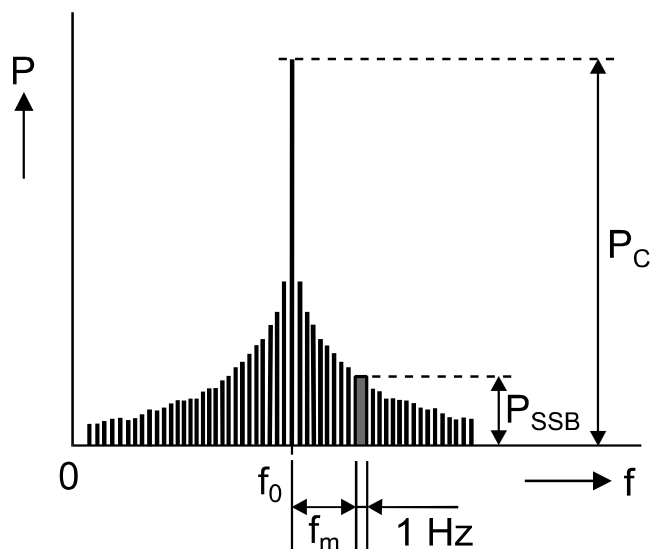
1.4 Fázový šum

Jedná se o nejdůležitější parametr zdrojů VF signálů. Fázový šum je důsledkem fluktuací fáze signálu, tj. změn průchodu signálu nulou vzhledem k ideálnímu průběhu. V kmitočtové oblasti se projevuje rozšířením teoreticky nekonečně úzké spektrální čáry.

Fázový šum lze měřit různými způsoby, nejčastěji se však vychází ze zobrazení signálu v kmitočtové oblasti pomocí spektrálního analyzátoru (Obr. 1.1). Fázový šum na ofsetovém (Fourierovém) kmitočtu f_m je pak dán vztahem [1]

$$\alpha_{dB}(f_m) = 10 \cdot \log \left(\frac{P_{SSB}}{P_C} \right) \quad [\text{dBc} \cdot \text{Hz}^{-1}], \quad (1)$$

kde P_{SSB} je hustota výkonu signálu (výkon v kmitočtovém pásmu šířky 1 Hz) na ofsetovém kmitočtu f_m a P_C je celkový výkon signálu (nosné) s kmitočtem f_0 . Jednotka dBc vyjadřuje, že se jedná o poměrné vyjádření vůči nosné [1].



Obr. 1.1: Spektrum fázového šumu.

Protože však maximální rozlišovací schopnost spektrálních analyzátorů bývá $> 10\text{Hz}$ [4], je nutné použít speciálních funkcí analyzátoru, které provedou potřebné korekce nebo použít vztah

$$\alpha_{dB}(f_m) = 10 \cdot \log\left(\frac{P_{SSB}}{P_C}\right) - 10 \cdot \log(1,2 \cdot \text{RBW}), \quad (2)$$

kde RBW je rozlišovací schopnost spektrálního analyzátoru. Šumová šířka pásma je přibližně 1,2 násobkem jmenovitého rozlišení [4].

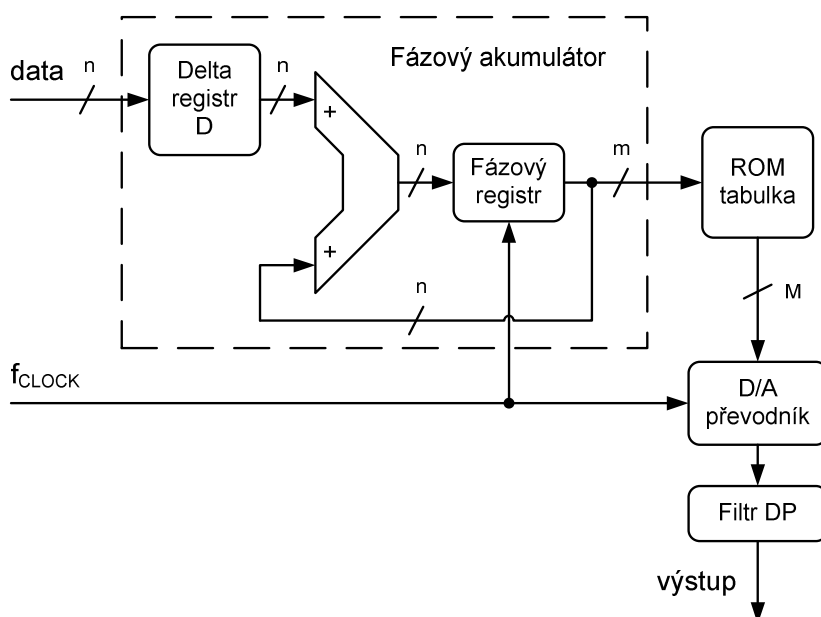
Při měření pomocí spektrálního analyzátoru je třeba si uvědomit, že minimální měřitelná hodnota fázového šumu je omezena fázovým šumem lokálního oscilátoru v analyzátoru. Fázový šum lokálního oscilátoru lze většinou nalézt v manuálu k přístroji. Minimální ofsetový kmitočet, na kterém lze fázový šum měřit je omezen rozlišovací schopností přístroje.

2 PŘÍMÁ FREKVENČNÍ ČÍSLICOVÁ SYNTÉZA

Následující text popisuje princip činnosti, výhody a nevýhody přímé frekvenční číslicové syntézy (dále jen DDFS).

2.1 Princip činnosti DDFS

Jak již bylo zmíněno v úvodu, mezi hlavní výhody DDFS patří možnost přesného a rychlého nastavení kmitočtu, fáze a amplitudy generovaného signálu [3]. Základní blokové schéma DDFS je na Obr. 2.1.



Obr. 2.1: Principiální schéma DDFS syntezátoru, podle [2].

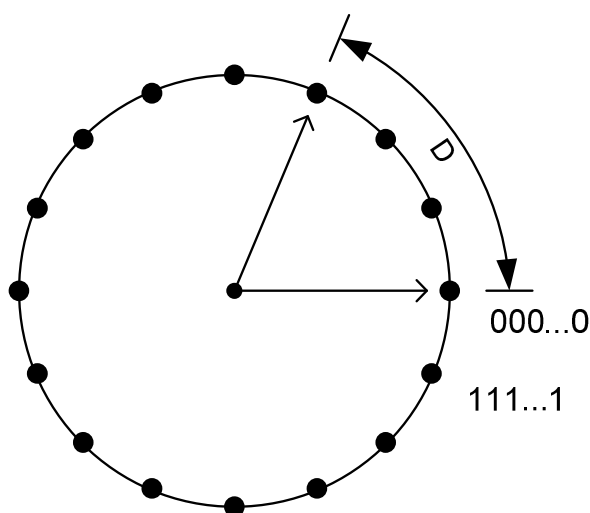
Jednou z hlavních částí syntezátoru je *fázový akumulátor*, jehož obsah se aktualizuje s každou periodou hodinového signálu $T_{\text{CLOCK}} = 1/f_{\text{CLOCK}}$. Pokaždé, když je fázový akumulátor aktualizován je do *fázového registru* přičtena hodnota D , která je uložena v *delta registru*. Koeficient v delta registru určuje generovaný kmitočet a fázový akumulátor obsahuje informaci o poloze (fázi) právě generovaného vzorku signálu. Budeme-li předpokládat, že delta registr obsahuje hodnotu $D = 00\dots01$ a výchozí stav fázového registru je $00\dots00$, tak s každou periodou hodinového signálu dojde ke zvýšení hodnoty fázového registru o jedničku. Pokud je $n = 32$, tak fázový registr přeteče, jakmile dosáhne hodnoty 2^{32} . Pokud bude $D = 00\dots10$, tak k přetečení registru dojde za poloviční čas a výstupní kmitočet bude dvojnásobný [2], [5]. Obecně lze tedy psát [2]

$$f_0 = \frac{D \cdot f_{\text{CLOCK}}}{2^n}, \quad (3)$$

kde f_0 je výstupní kmitočet, n vyjadřuje počet bitů fázového akumulátoru, D je hodnota uložená v delta registru a f_{CLOCK} je kmitočet hodinového signálu. Kmitočtový krok lze pak stanovit jako

$$\Delta f = \frac{f_{\text{CLOCK}}}{2^n}. \quad (4)$$

Přičítání fáze se často vysvětluje také pomocí tzv. kruhového fázového diagramu, který je na Obr. 2.2. Proces generování výstupního signálu je zde znázorněn rotujícím vektorem. Každý bod fázového diagramu odpovídá určitému bodu výstupního sinusového signálu, otočení vektoru o 360° tedy odpovídá jedné periodě generovaného signálu. Počet bodů diagramu je určen rozlišením fázového akumulátoru n a rotující vektor se pohybuje konstantní rychlostí s krokem D [5].



Obr. 2.2: Kruhový fázový diagram podle [5].

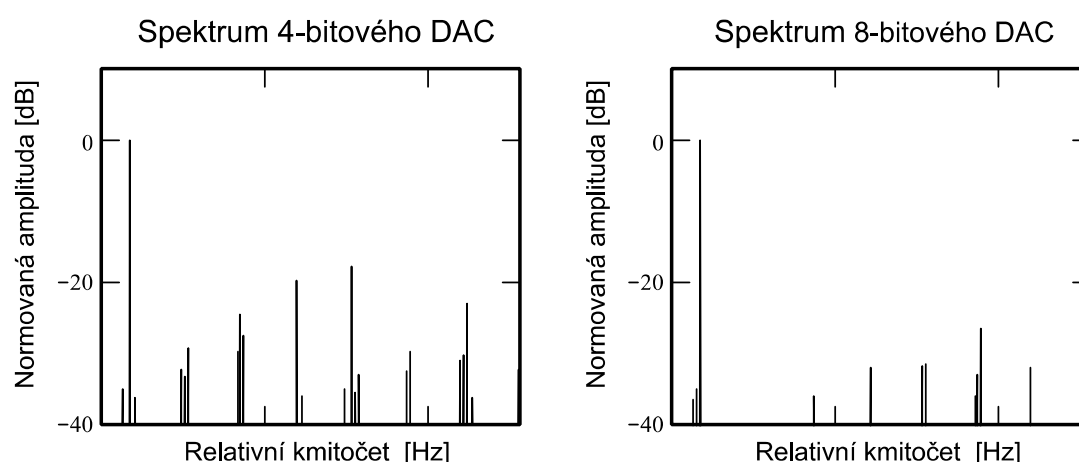
Abychom na výstupu syntezátoru dostali požadovanou funkci, jsou její vzorky uloženy v paměti ROM, která je adresována fázovým akumulátorem. Velmi často se používá funkce sinus popř. cosinus, ale obecně je možné generovat jakýkoliv periodický průběh signálu [4]. Je však nutné si uvědomit, že pokud bude například $n = 32$, pak by tabulka ROM musela obsahovat 2^{32} položek, což vyžaduje poměrně velkou paměť. Řešení tohoto problému spočívá v tom, že se pro adresaci použije pouze několik horních m bitů (např. $m = 16$), tím je možné použít menší paměť s 2^m vzorky. Toto řešení nemá vliv na kmitočtové rozlišení, přidává však do signálu fázový šum [6], [5]. Dalšího zmenšení paměti se dosahuje například tím, že se využije symetrie sinusového průběhu. V ROM tabulce je pak uložena pouze čtvrtina průběhu, kterou je pak možné rekonstruovat celou periodu signálu.

2.2 Spektrální vlastnosti

2.2.1 Vliv D/A převodníku

Pokud pomocí digitálního systému generujeme analogový signál, je nutné na výstupu použít D/A převodník. Právě D/A převodník je nejvíce omezující částí DDFS [4]. Protože je výstup převodníku kvantován, liší se od ideálního průběhu tzv. *kvantizační chybou*, což způsobuje *kvantizační šum*.

Kvantizační šum je závislý na rozlišení převodníku, vyšší rozlišení převodníku úroveň šumu snižuje a naopak. Na Obr. 2.3 je porovnáno spektrum 4-bitového a 8-bitového D/A převodníku.



Obr. 2.3: Kvantizační šum. Spektrum 4-bitového a 8-bitového D/A převodníku [5].

Pokud D/A převodník pracuje v celém rozsahu, lze poměr signálu k šumu vyjádřit jako [6]

$$SNR = 1,76 + 6,02B, \quad (5)$$

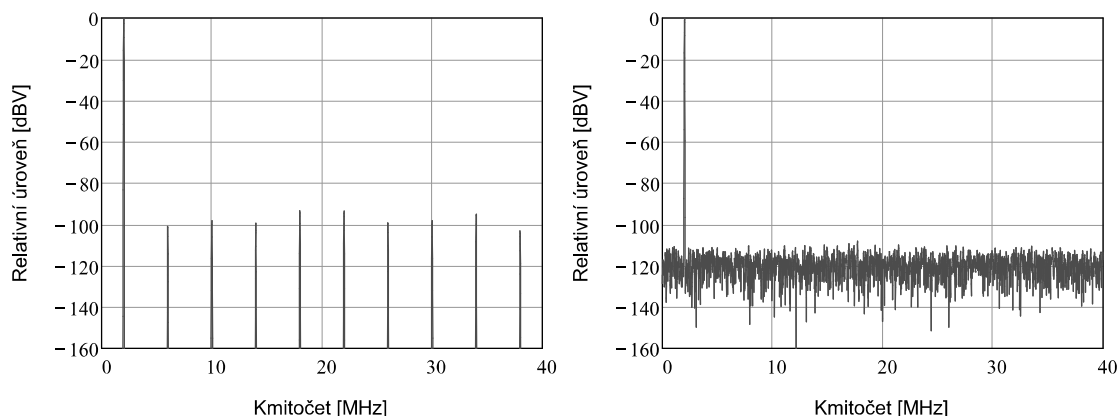
kde B je počet bitů D/A převodníku. Pokud však převodník nepracuje v celém rozsahu, je nutné vztah (5) upravit na [6]

$$SNR = 1,76 + 6,02B + 20 \cdot \log(\text{FFS}), \quad (6)$$

kde FFS vyjadřuje, v jaké části z plného rozsahu převodník pracuje. Pokud bude převodník pracovat například pouze v 70 % rozsahu ($\text{FFS} = 0,7$), dojde ke snížení SNR oproti plnému rozsahu o 3,1 dB [6].

Ve zdroji [5] je uvedena poznámka, že čistota spektra z D/A převodníku je také závislá na vztahu mezi kmitočtem generovaným a hodinovým. Pokud bude hodinový kmitočet celočíselným násobkem generovaného kmitočtu, budou parazitní složky vzniklé kvantizačním šumem soustředěny na násobcích generovaného kmitočtu. Pouze malá změna výstupního kmitočtu zapříčiní, že kvantizační šum se stane více náhodným a dojde ke zlepšení SFDR (Spurious-Free Dynamic Range). Na Obr. 2.4 je porovnání

spektra výstupního signálu o kmitočtu 2 MHz a 2,001 MHz, který je na výstupu 14-bitového A/D převodníku s hodinovým kmitočtem 80 MHz. Z obrázků je patrné, že spektrum posunutého kmitočtu vykazuje lepší SFDR. K simulaci byl použit skript pro Mathcad dostupný z [7]. Skript používá 8192-bodovou FFT, jejíž šumový strop je v tomto případě na úrovni -122 dBV.



Obr. 2.4: Spektrum na výstupu 14-bitového D/A převodníku při výstupním kmitočtu 2 MHz (vlevo) a 2,001 MHz (vpravo). Taktovací kmitočtem 80 MHz.

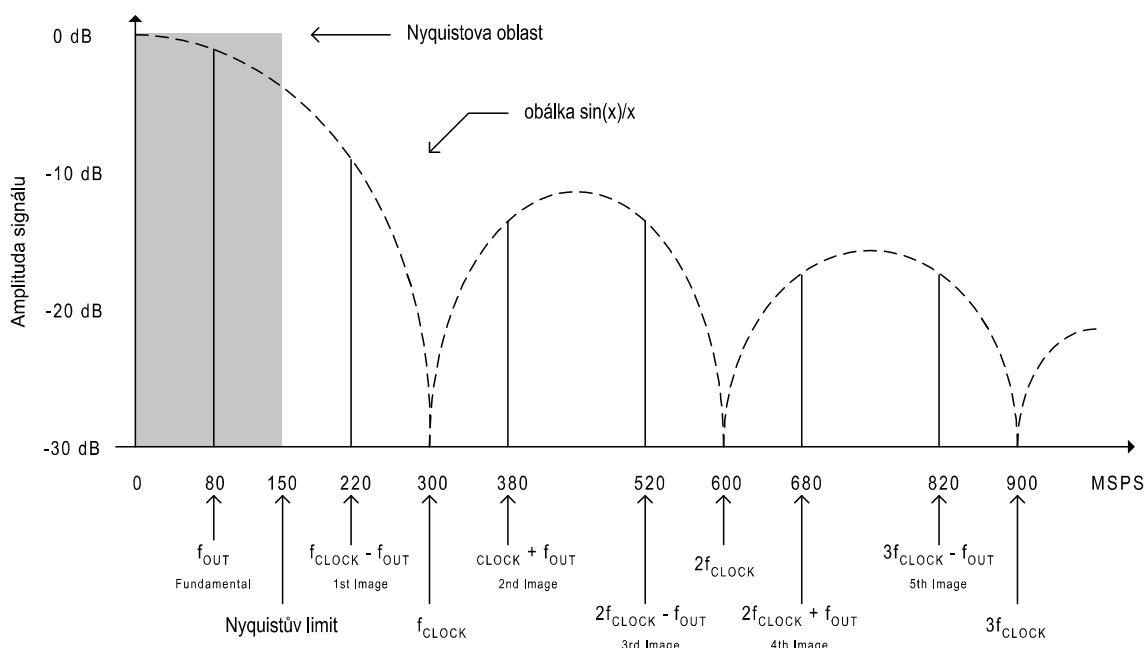
A/D převodník vytváří i další parazitní složky způsobené například integrální a diferenciální nelinearitou, přechodnými jevy D/A převodníku. Nelinearita se pak ve spektru projevuje jako vyšší harmonické složky.

2.2.2 Rekonstrukční filtr

Protože DDFS pracuje s diskretními vzorky, dochází k periodizaci spektra, jak to ukazuje Obr. 2.5. Je zde znázorněn případ, kdy je generován signál s kmitočtem $f_{OUT} = 80$ MHz při hodinovém kmitočtu $f_{CLOCK} = 300$ MHz. Z obrázku je také patrné, že úroveň jednotlivých zrcadlových kmitočtů kopíruje obálku $\sin(x)/x$. Následující vztah umožňuje spočítat teoretickou úroveň (dBc) požadovaného zrcadlového kmitočtu vztáženou k úrovni výstupního kmitočtu [12]

$$dBc = 20 \cdot \log \left\{ \left(\frac{f_{OUT}}{f} \right) \cdot \left(\left| \frac{\sin\left(\frac{\pi f}{f_C}\right)}{\sin\left(\frac{\pi f_{OUT}}{f_C}\right)} \right| \right) \right\}, \quad (7)$$

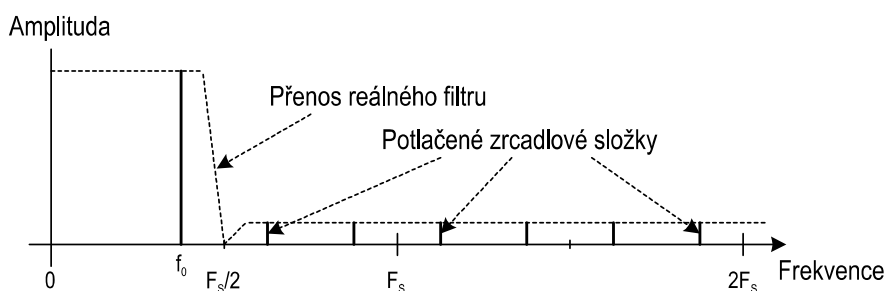
kde f_{OUT} je výstupní kmitočet, f je kmitočet zrcadlového kmitočtu a f_C je vzorkovací kmitočet D/A převodníku.



Obr. 2.5: Teoretické spektrum na výstupu DDFS (bez filtrace), převzato z [6].

Šedě zvýrazněná oblast (Obr. 2.5) je část spektra, která splňuje Nyquistův teorém. V této oblasti musí ležet generované kmitočty. Jakmile by generovaný signál překročil polovinu f_{CLOCK} , došlo by k aliasingu, kdy by se v Nyquistově oblasti objevila zrcadlová složka o kmitočtu $f_{\text{CLOCK}} - f_{\text{OUT}}$, kterou by nebylo možné odstranit dolní propustí.

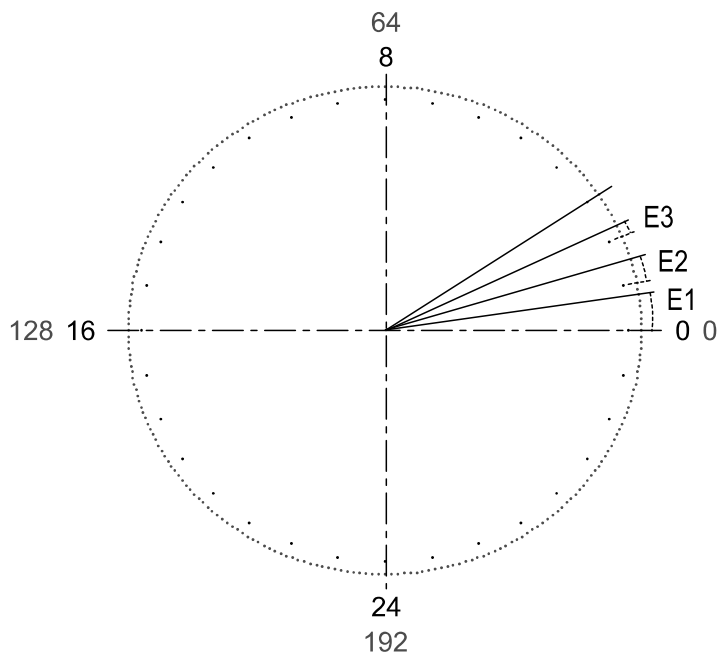
Jak již bylo naznačeno, k potlačení vyšších nežádoucích složek se používá filtr typu dolní propust, jehož teoretický mezní kmitočet je polovina f_{CLOCK} . Avšak vzhledem k reálným vlastnostem filtrů, zejména strmosti přechodu z propustné do nepropustné části charakteristiky, se mezní kmitočet v praxi volí přibližně 40 % f_{CLOCK} [6]. Útlum v nepropustné části musí být dostatečný, aby byly účinně potlačeny zrcadlové kmitočty (Obr. 2.6).



Obr. 2.6: Spektrum na výstupu rekonstrukčního filtru [6].

2.2.3 Fázový šum

Jak již bylo řečeno v kapitole 2.1, v DDFS systémech se používá z praktických důvodů zkrácené ladicí slovo pro adresaci ROM paměti. Následkem toho je vznik fázového šumu. Pro vysvětlení vzniku tohoto jevu poslouží kruhový fázový diagram na Obr. 2.7.



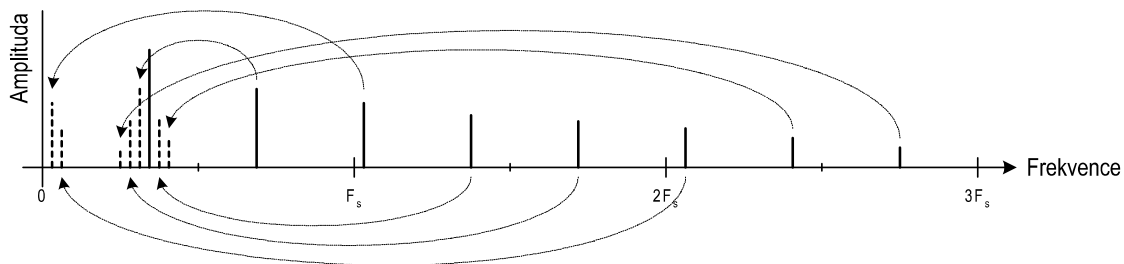
Obr. 2.7: Vznik fázového šumu v důsledku zkrácení ladicího slova, převzato z [6].

Pro jednoduchost předpokládejme DDFS architekturu s 8 bitovým fázovým akumulátorem. Pro adresaci ROM paměti je použito 5 horních bitů. Body na vnější kružnici (Obr. 2.7) reprezentují fázové rozlišení akumulátoru, které je přibližně $1,41^\circ$ ($360/2^8$). Vnitřní kruh pak představuje fázové rozlišení zkráceného řídicího slova, které je $11,25^\circ$ ($360/2^5$).

Nyní předpokládejme, že hodnota ladicího slova je 6, tedy po každém hodinovém taktu dojde ke zvýšení obsahu fázového akumulátoru o 6. Na Obr. 2.7 jsou zobrazeny první 4 takty. V prvním taktu se zvýší hodnota akumulátoru na 6, protože je však pro adresaci použito jen 5 prvních bitů, je výstupní hodnotou 0. To je patrné i z obrázku, kdy naznačený vektor je pod prvním bodem vnitřní kružnice. Výsledná chyba fáze, v obrázku označená jako E_1 je $8,46^\circ$. V druhém taktu je v akumulátoru hodnota 12, výstupní hodnotu je 1. Vektor je tedy mezi prvním a druhým bodem vnitřní kružnice, což odpovídá chybě fáze $5,64^\circ$ (E_2). Ve třetím taktu je chyba $2,82^\circ$ (E_3). Ve čtvrtém taktu není mezi body žádná fázová chyba. Pokud bychom pokračovali dále, zjistili bychom, že fázová chyba je periodická a má pilový průběh. Kmitočtové složky pilového průběhu se objeví ve výstupním spektru a vlivem periodizace spektra se projeví i v Nyquistově oblasti jako charakteristické špičky, viz Obr. 2.8. Kmitočet první složky lze spočítat podle vztahu [6]

$$f_{PPT} = f_{CLOCK} \cdot \left(\frac{ETW}{2^B} \right), \quad (8)$$

kde B je počet odstraněných bitů a ETW je dekadický ekvivalent odstraněné části ladicího slova. Velikost a rozložení těchto složek závisí na velikosti fázového registru, počtu bitů pro adresaci ROM a na ladicím slově [6].



Obr. 2.8: Vznik nežádoucích složek v důsledku zkrácení ladicího slova podle [6].

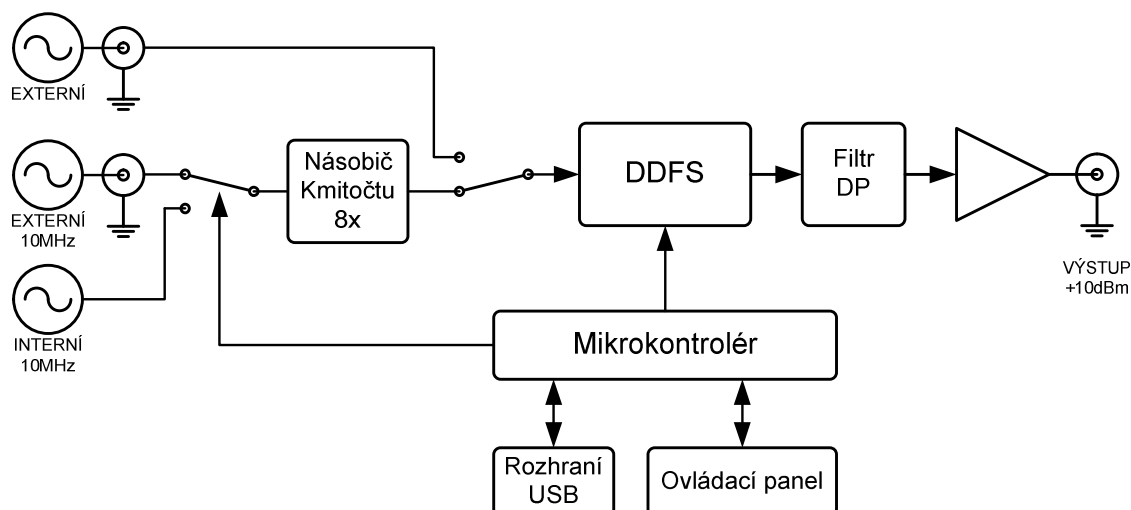
Fázový šum je však především určen kvalitou referenčního signálu, který taktuje obvod DDFS. Jednou z významných vlastností DDFS je, že fázový šum výstupního signálu s kmitočtem f_{OUT} je redukován o [6]

$$\Delta\alpha_{dB} = 20 \cdot \log \left(\frac{f_{OUT}}{f_{CLOCK}} \right), \quad (9)$$

oproti fázovému šumu referenčního hodinového signálu f_{CLOCK} . To tedy například znamená, že výstupní signál o kmitočtu 10 MHz bude mít fázový šum o 20 dB nižší, než signál hodinový s kmitočtem 100 MHz [6].

3 NÁVRH SYNTEZÁTORU

Jak již bylo zmíněno v úvodu, cílem je vytvořit přímý číslicový frekvenční syntezátor, jehož výstupem je harmonický signál s nastavitelným kmitočtem do 120 MHz s výkonem +10 dBm. Zdroj hodinového signálu je možné zvolit interní či z externího zdroje. Zařízení bylo navrženo pro použití s normálem o kmitočtu 10 MHz s úrovní 1 V_{RMS} na 50 Ω zátěži. Blokové schéma uvažovaného syntezátoru je na Obr. 3.1.



Obr. 3.1: Blokové schéma syntezátoru.

Základní částí je DDFS obvod od firmy Analog Devices, ovládaný osmibitovým mikrokontrolérem. Syntezátor je možné primárně ovládat pomocí počítače přes USB sběrnici, popřípadě i pomocí ovládacích prvků umístěných přímo na přípravku. Návrh a výběr jednotlivých bloků je popsán dále.

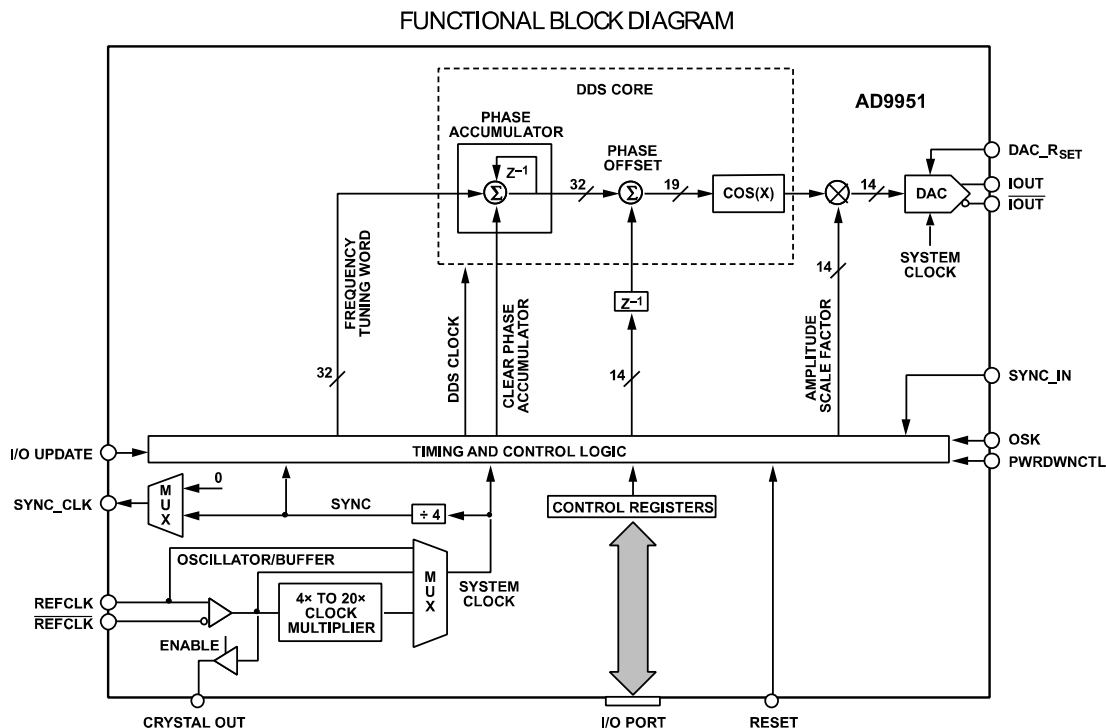
3.1 Výběr DDFS obvodu

Obvod DDFS byl vybírán z nabídky firmy Analog Devices, která patří k nejvýznamnějším výrobcům v této oblasti. Je možné vybírat z široké škály obvodů, pracujících s hodinovými kmitočty od 25 MHz do 1 GHz. Rozlišení D/A převodníků se pohybuje od 10 bitů do 14 bitů.

Základním kritériem pro výběr obvodu je maximální hodinový kmitočet. Teoreticky by dostačoval obvod, jehož maximální hodinový kmitočet je dvojnásobný oproti maximálnímu požadovanému výstupnímu kmitočtu, avšak v praxi se volí troj až čtyřnásobek, z důvodu reálných vlastností filtrů. Dalším nezanedbatelným kritériem je také cena, která roste s maximálním hodinovým kmitočtem. Nejlepší volba je tedy hodinový kmitočet 400 MHz či 500 MHz. Obvody s kmitočtem 500 MHz firma vyrábí s 10-bitovým rozlišením D/A převodníku, zatímco 400 MHz s rozlišením i 14 bitů.

K realizaci byl proto vybrán obvod AD9951 s maximálním hodinovým kmitočtem

400 MHz, rozlišením D/A převodníku 14 bitů a délkou ladicího slova 32 bitů. Obsahuje i registr umožňující změnu amplitudy a ofset fáze. Napájecí napětí je 1,8 V pro analogovou i digitální část. Blokový diagram je na Obr. 3.2 [8].



Obr. 3.2: Blokový diagram obvodu AD9915, převzato z [8].

Jako zdroj hodinového signálu lze použít vnitřní oscilátor řízený vnějším krystalem nebo lze připojit i externí oscilátor a využít také vnitřní fázový závěs k násobení kmitočtu 4× až 20×. Vstup pro externí oscilátor lze použít jako symetrický nebo nesymetrický se vstupní impedancí 1,5 kΩ. Úroveň hodinového signálu by neměla podle [8] překročit úroveň 3 dBm.

Výstup D/A převodníku je komplementární. Úroveň výstupního proudu lze nastavit externím rezistorem, jehož hodnota je dána

$$R_{SET} = \frac{39,19}{I_{OUT}}, \quad (10)$$

kde I_{OUT} je požadovaný výstupní proud, jehož maximální hodnota je 15 mA. Avšak pro dosažení nejlepšího SFDR je doporučena maximální hodnota 10 mA. Při návrhu je důležité si uvědomit, že výstupní napětí převodníku není vztaženo k zemi AGND, ale k AVDD.

Pro komunikaci s mikrokontrolérem je možné použít sériovou komunikaci ve dvou vodičovém či třívodičovém zapojení. Je možné nastavit komunikaci od méně významného bitu LSB či od nejvýznamnějšího bitu MSB. Detailní popis všech registrů a doporučené zapojení obvodu je možné najít v katalogovém listu [8] a v referenčním návrhu firmy Analog Devices [10].

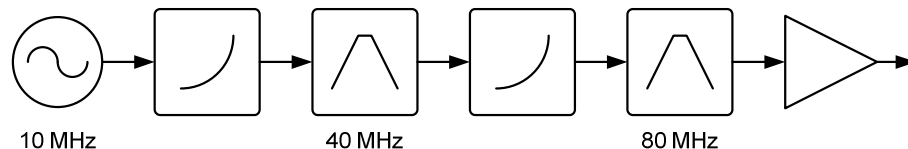
3.2 Násobič kmitočtu

Obvod AD9951 disponuje symetrickým vstupem hodinového signálu. Vstup je možné použít i jako nesymetrický, je však třeba mezi druhý vstup a kladné analogové napětí připojit 100 nF kondenzátor. Jak již bylo zmíněno v předchozí kapitole, obvod obsahuje integrovaný fázový závěs umožňující násobení vstupního kmitočtu v rozsahu $4\times$ až $20\times$. Hodinový kmitočet AD9951 může nabývat hodnot 1 MHz až 400 MHz.

Pro zajištění nízkého fázového šumu výstupního signálu, je nutné věnovat zvýšenou pozornost obvodům zpracovávajícím hodinový signál. V katalogovém listu obvodu AD9951 [8] je uvedeno, že zbytkový fázový šum při výstupním kmitočtu 40 MHz a offsetovém kmitočtu 1 kHz je -132 dBc/Hz. Při použití PLL s násobkem $4\times$ se fázový šum zvýší na hodnotu -115 dBc/Hz a při hodnotě $20\times$ až na -105 dBc/Hz.

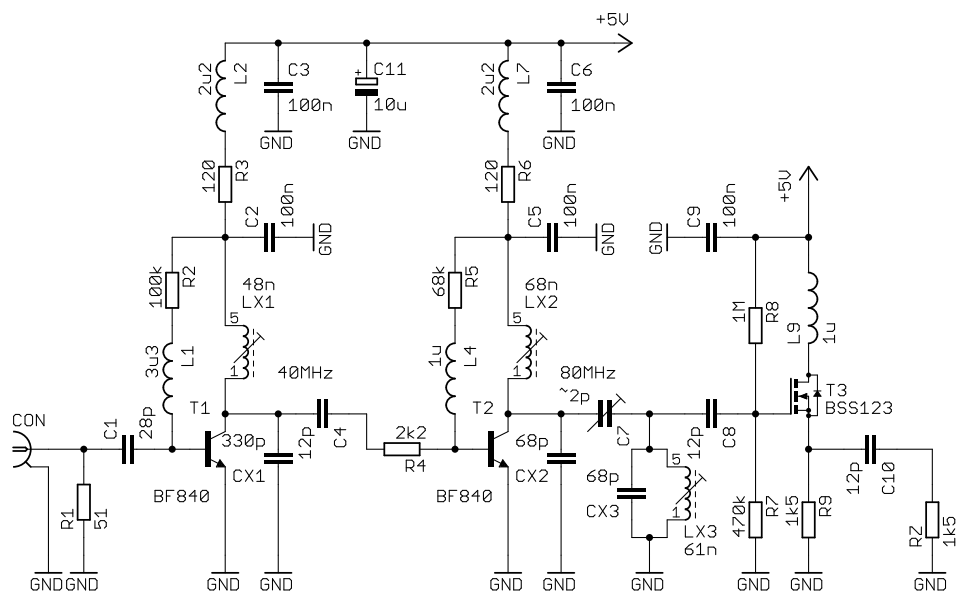
Výsledné zařízení má být navrženo na možnost připojení externího normálu s kmitočtem 10 MHz. Aby bylo dosaženo maximálního hodinového kmitočtu 400 MHz, je potřeba předřadit minimálně zdvojovač kmitočtu a PLL nastavit na maximální násobící faktor. V tomto případě však dojde k výraznému zhoršení fázového šumu. Z tohoto důvodu je vhodné předřadit násobič s vyšším násobícím faktorem. Proto byl navržen násobič $8\times$ a PLL je nastavena pouze na $5\times$. Na plošném spoji je osazen i konektor pro přivedení hodinového signálu přímo na obvod AD9951, viz blokové schéma na Obr. 3.1.

Násobič pracuje tak, že vstupní signál prochází přes aktivní nelineární prvek, čímž dojde k obohacení spektra o vyšší harmonické složky a následnou filtrací se vybere složka s požadovaným kmitočtem. Násobení $8\times$ není vhodné provádět v jednom stupni, protože požadovaná harmonická by měla příliš nízkou úroveň. Bylo proto zvoleno dvoustupňové řešení, jehož blokové schéma je na Obr. 3.3.

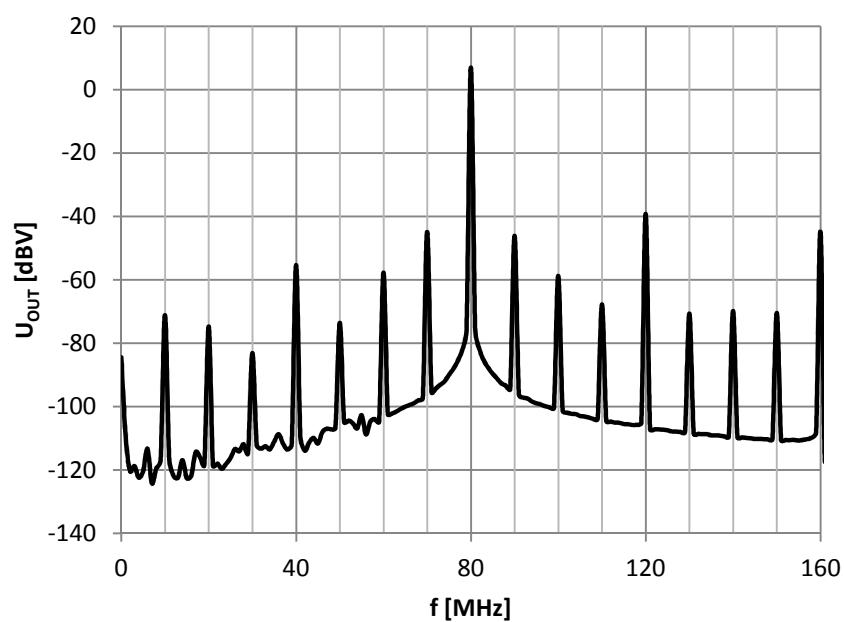


Obr. 3.3: Blokové schéma násobiče kmitočtu.

Navržené obvodové řešení je na Obr. 3.4. Vzhledem k nízkému výstupnímu kmitočtu, bylo zvoleno řešení z diskretních součástek, neboť interdigitální filtry by zde vyšly poměrně rozměrné. Návrh násobiče vychází z poznatků uvedených ve zdroji [11]. Jako nelineární prvek je zde použit bipolární tranzistor, který má v kolektoru zapojen rezonanční obvod (L_{X1} , C_{X1} a L_{X2} , C_{X2}) naladěný na příslušnou harmonickou. Pásmová propust (C_{X3} , L_{X3}) zlepšuje potlačení nežádoucích složek. Zátěž R_Z představuje vstupní odpor AD9951. Aby zátěž neovlivňovala rezonanční obvod, je na výstupu zařazen oddělovací stupeň s MOSFET tranzistorem. Hodnoty prvků rezonančních obvodů byly použity pouze pro simulaci, přesné hodnoty je potřeba stanovit experimentálně. Je také třeba najít optimální velikost odporů R_2 a R_5 , které určují pracovní bod tranzistorů. Zapojení bylo navrženo a simulováno v programu Pspice. Spektrum výstupního signálu získané simulací je na Obr. 3.5.



Obr. 3.4: Schéma navrženého násobiče.



Obr. 3.5: Spektrum výstupního signálu z násobiče získané simulací v Pspice.

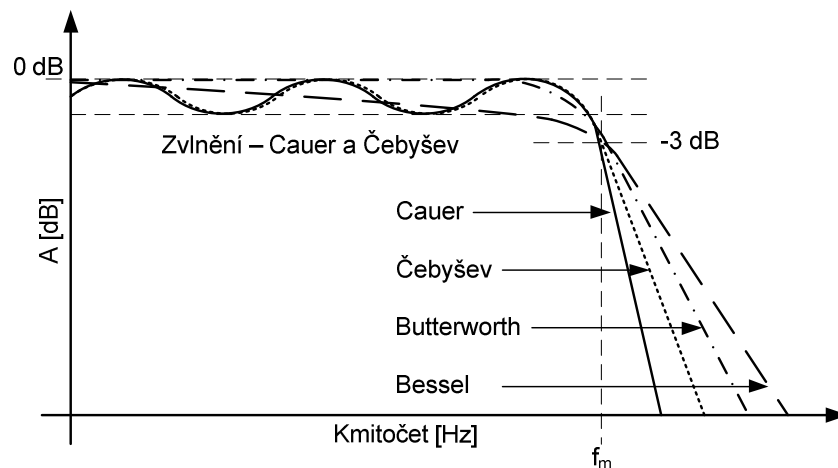
Násobením kmitočtu signálu dochází ke zhoršení fázového šumu. Ve zdroji [11] je uvedeno, že minimální zhoršení fázového šumu lze stanovit jako

$$\Delta\alpha_{dB} = 20 \cdot \log(N), \quad (11)$$

kde N je násobící faktor.

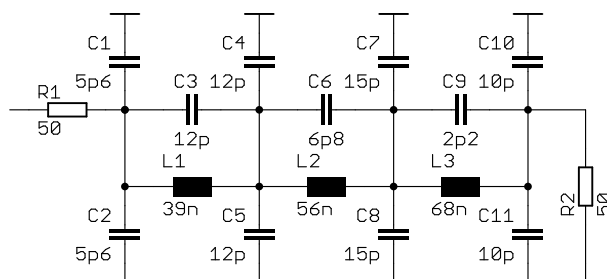
3.3 Výstup D/A převodníku a rekonstrukční filtr

Rekonstrukční filtr je velmi důležitou částí DDFS. Jeho úkolem je odstranit nežádoucí složky spektra, které obsahuje signál vycházející z číslicově analogového převodníku. Mezní kmitočet filtru by měl být ideálně polovina f_{clk} , avšak podle teorie rozebrané v kapitole 2.2 je vhodnější zvolit 40 % f_{clk} . Výběrem vhodné přenosové funkce lze dosáhnout požadovaných vlastností filtru, kterými je malé zvlnění v propustné části charakteristiky a strmý přechod do nepropustné části, kde musí být dostatečně velký útlum. Demonstrační porovnání jednotlivých používaných charakteristik je na Obr. 3.6.



Obr. 3.6: Porovnání jednotlivých typů filtrů, převzato z [12].

Nejlepší volbou je podle [12] Cauerův filtr, který umožňuje dosáhnout velmi strmého přechodu charakteristiky a velkého útlumu při nízkém řádu filtru. Nevýhodou je však větší zvlnění v propustné části charakteristiky. Schéma filtru, které vychází z aplikační poznámky Analog Devices [12] je na Obr. 3.7. Jedná se o Cauerův filtr 7. řádu s mezním kmitočtem 160 MHz a útlumem 60 dB v nepropustném pásmu.



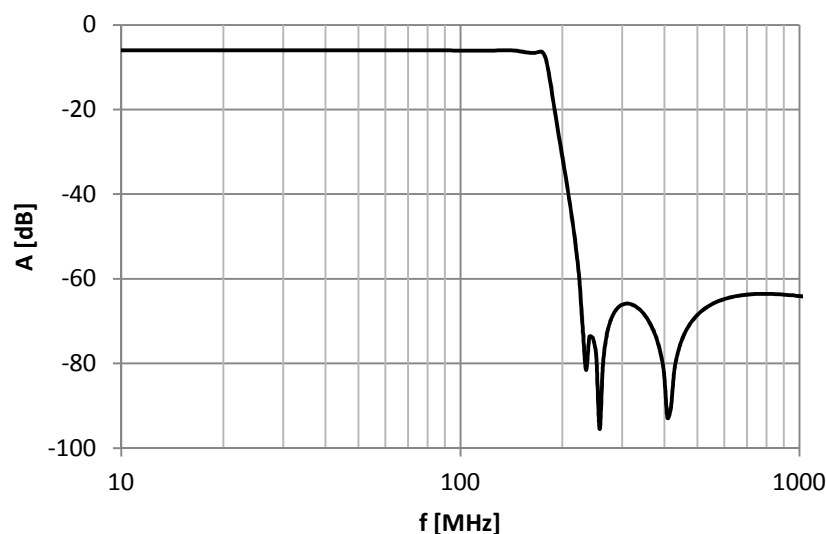
Obr. 3.7: Schéma Cauerovy dolní propusti 7. řádu.

Problémem při vlastní realizaci filtru jsou parazitní vlastnosti použitých součástek, které se projevují zvláště na vyšších kmitočtech. V případě indukčností je třeba zvolit součástky s dostatečně vysokým vlastním rezonančním kmitočtem, který je určen indukčností součástky a její mechanickou konstrukcí. Volba prvku v malém pouzdře je

tedy často dobrou volbou. Malá velikost součástky také omezí parazitní vazby s jinými prvky na plošném spoji [12].

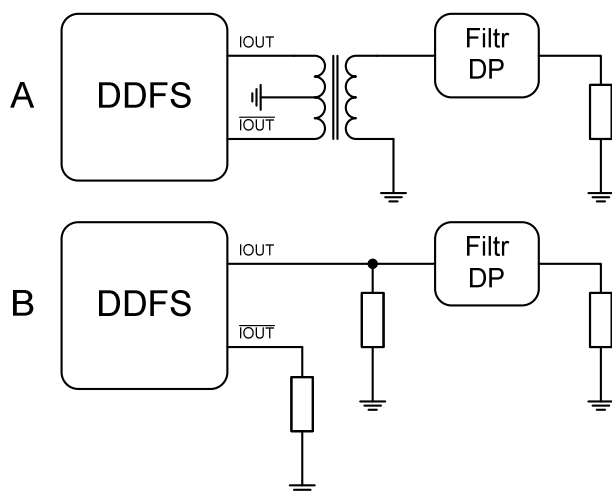
V případě kondenzátorů je třeba věnovat pozornost příčně zapojeným prvkům. Vlastní indukčnost je možné snížit paralelním zapojením kondenzátorů s poloviční kapacitou, což je vidět na Obr. 3.7. Dále je velmi důležité umístit prokovení se spodní zemní plochou co nejbližší k pouzdru kondenzátoru. Vícebodové prokovení snižuje indukčnost a tím zlepšuje parametry filtru. Také je nutné dodržet správnou charakteristickou impedanci přívodních vodičů [12].

Na Obr. 3.8 je přenosová charakteristika filtru získaná simulací v programu Pspice.



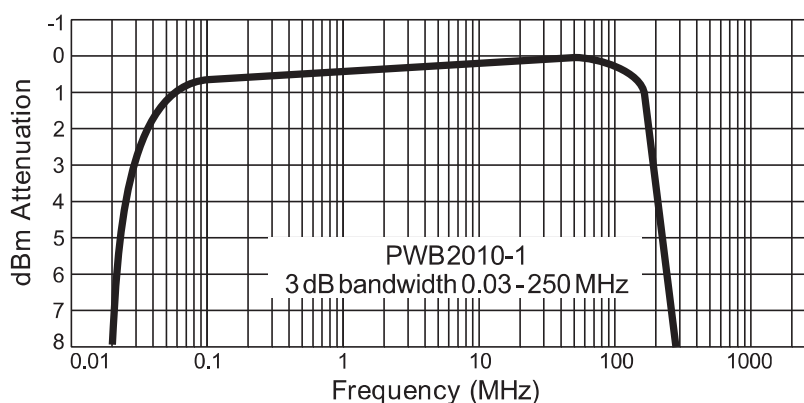
Obr. 3.8: Export simulace Cauerovy dolní propusti 7. řádu v Pspice.

Připojení filtru k obvodu DDFS je podle [5] možné dvěma způsoby, které jsou znázorněny na Obr. 3.9.



Obr. 3.9: Zapojení výstupu obvodu AD9951 [5].

Pro realizaci byla vybrána varianta s RF transformátorem, která má výhodu v tom, že účinně potlačuje souhlasné složky napětí (průnik hodinového signálu, rušivé signály z napájení atd.) na komplementárních výstupech. Transformátor však musí být dostatečně širokopásmový, aby pokryl celý rozsah generovaných kmitočtů. Jako nejlepší volba se jeví například transformátor PWB2010-1L firmy Coilcraft, jehož přenosová charakteristika je na Obr. 3.10. Z obrázku je patrné, že v požadovaném kmitočtovém rozsahu lze očekávat vložený útlum pod 1 dB.



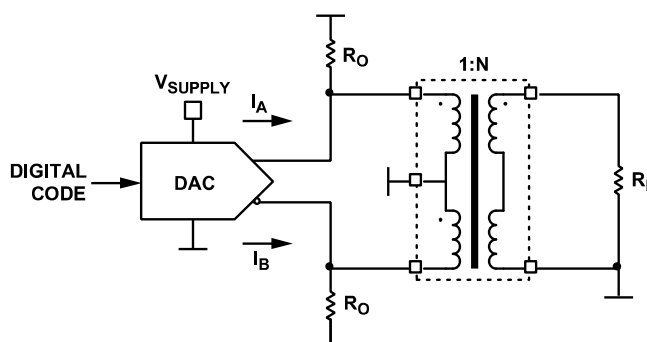
Obr. 3.10: Přenosová charakteristika transformátoru PWB2010-1L, převzato z [14].

3.3.1 Impedanční přizpůsobení výstupu D/A převodníku

Na Obr. 3.11 je znázorněno připojení transformátoru k výstupu D/A převodníku. Odpory R_O slouží jako zátěže pro proudové výstupy převodníku a odpor R_L představuje impedanci rekonstrukčního filtru, tedy 50 Ω . Pro impedanční přizpůsobení musí platit podle [13]

$$R_O = \frac{R_L}{2 \cdot N^2}, \quad (12)$$

kde N je převod transformátoru.



Obr. 3.11: Impedanční přizpůsobení výstupu D/A převodníku.

Výkon na zátěži R_L pak lze stanovit ze vztahu [13]

$$P_L = \frac{R_L}{2} \left(\frac{I_{MAX}}{4 \cdot N} \right)^2, \quad (13)$$

kde I_{MAX} je amplituda proudu. Pro zatěžovací impedanci 50Ω pak platí

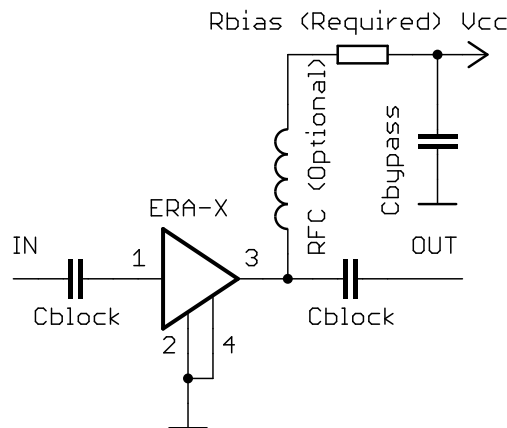
$$P_L [dBm] = 10 \cdot \log \left(\frac{P_L}{1 mW} \right). \quad (14)$$

3.4 Výstupní zesilovač

Pro dosažení výkonové úrovně $+10$ dBm na výstupu zařízení, je nutné na výstup zařadit zesilovač s dostatečným zesílením.

Výkon signálu na výstupu transformátoru lze vypočítat pomocí vztahů (13) a (14). Při proudu $I_{OUT} = 10$ mA (vysvětleno v kap. 3.1) z DDFS obvodu tak dostaneme úroveň -8 dBm. RF transformátor TT1-6-KK81 má vložený útlum přibližně $0,5$ dB [14]. U rekonstrukčního filtru počítejme s útlumem asi 1 dB v propustné části. Na výstupu filtru bude tedy signál s úrovní přibližně $-9,5$ dBm. Pro dosažení výstupní úrovně $+10$ dBm je tedy potřeba zařadit zesilovač se ziskem 20 dB.

Nejvhodnějším zesilovačem pro tyto účely je monolitický zesilovač ERA-5 od firmy Mini-Circuits, který má dostatečné zesílení a je na vstupu i výstupu přizpůsoben k impedanci 50Ω . Aby zesilovač pracoval v lineárním režimu, nesmí výstupní úroveň přesáhnout hodnotu $16,5$ dBm. Doporučené zapojení je na Obr. 3.12. Hodnotu rezistoru R_{bias} je možné určit z tabulky v katalogovém listu nebo stanovit z doporučeného pracovního proudu a napětí [15]. Kondenzátory C_{block} se volí podle nejnižšího přenášeného kmitočtu.



Obr. 3.12: Doporučené zapojení zesilovače ERA-5, podle [15].

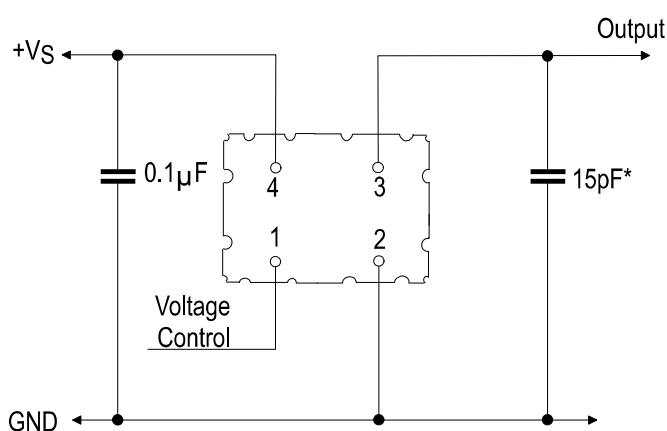
3.5 Interní oscilátor

Dalším požadavkem na zařízení byla možnost volby interního zdroje kmitočtu. Aby však byl výstupní kmitočet dostatečně přesný a stabilní, není vhodné použít jako interní zdroj kmitočtu klasický levný krystalový oscilátor. Vhodnější jsou termostatované nebo

teplotně kompenzované oscilátory.

Termostatované oscilátory mají velmi vysokou stabilitu, která je dosahována umístěním krystalu do vyhřívaného boxu řízeného termostatem. Z toho plynou zvýšené nároky na proudový odběr a velikost součástky. Cena těchto oscilátorů je relativně vysoká. Teplotně kompenzované jsou jednodušší a levnější, avšak nedosahují tak dobrých parametrů. Využívají termistoru k vytváření regulačního napětí, které kompenzuje změny kmitočtu způsobené změnou teploty krystalu.

Pro výsledný návrh byla vybrána levnější varianta, tedy teplotně kompenzovaný oscilátor CFPT-126 od firmy IQD Frequency Products, který vytváří 3,3 V pravoúhlý signál o kmitočtu 10 MHz se stabilitou $\pm 0,5$ ppm. Napájecí napětí je 3,3 V a proudový odběr přibližně 3 mA. Obvod disponuje vstupem pro přivedení řídicího napětí, které umožňuje jemné doladění kmitočtu v rozsahu ± 5 ppm.

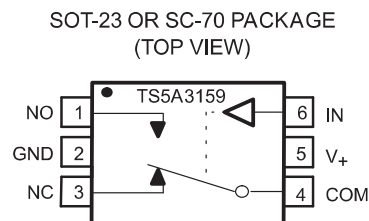


Obr. 3.13: Způsob zapojení oscilátoru CFPT-126, převzato z [16].

3.5.1 Elektronický přepínač

Aby bylo možné volit zdroj kmitočtu, je třeba před násobič zařadit přepínač, na jehož vstupy bude přiveden signál z interního oscilátoru a externí vstup. Je možné použít mechanické relé či elektronický analogový přepínač, avšak kvůli spolehlivosti byl vybrán přepínač elektronický. Polovodičové spínače mají sice vyšší sériový odpor v sepnutém stavu, ale tento odpor je stabilnější než v případě relé, u kterého se může časem měnit.

Jedním z vhodných přepínačů je TS5A3159 od firmy Texas Instruments. Napájecí napětí obvodu je 1,65 až 5,5 V. Spotřeba obvodu je velmi nízká a to kolem 0,1 μ A. Odpor v sepnutém stavu je přibližně 1 Ω a mezní kmitočet 100 MHz.



FUNCTION TABLE

IN	NC TO COM, COM TO NC	NO TO COM, COM TO NO
L	ON	OFF
H	OFF	ON

Obr. 3.14: Elektronický analogový přepínač TS5A3159 od firmy Texas Instruments.

3.6 Řídicí obvod

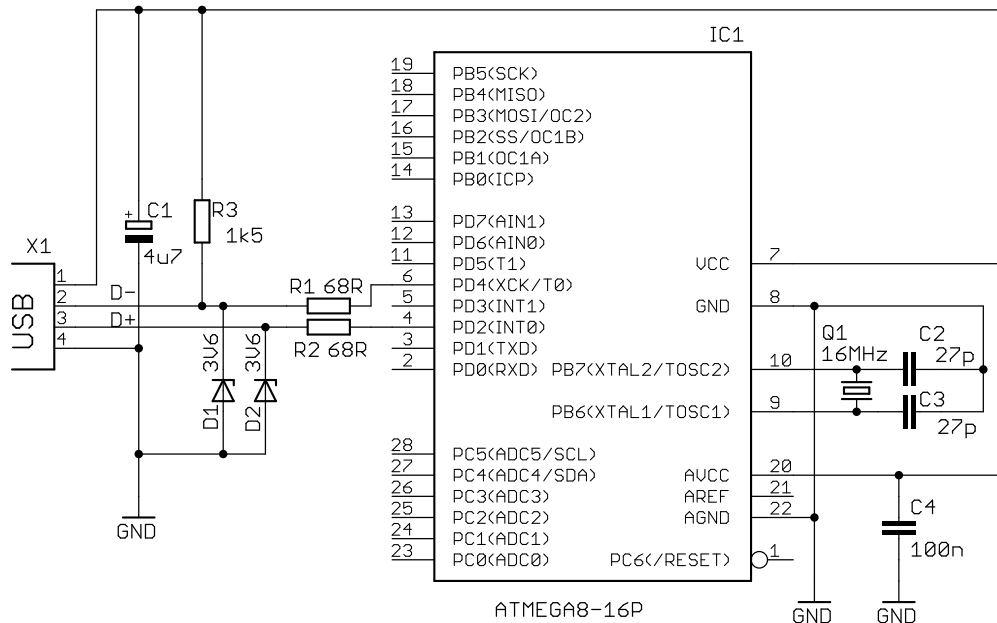
K řízení syntezátoru byl vybrán osmibitový mikrokontrolér ATmega16A z rodiny AVR od firmy Atmel. Obvod je Harvardské koncepce s oddělenou programovou a datovou pamětí. Programová paměť má velikost 16 kB a datová 1 kB. K dispozici je také 512 B paměti EEPROM, která dokáže uchovat data i při odpojení napájení. Obvod používá pro komunikaci s okolím 32 I/O pinů. Maximální hodinový kmitočet je 16 MHz.

3.6.1 USB rozhraní

Komunikace s počítačem je řešena pomocí USB sběrnice. Velmi často se pro tyto účely využívá obvodu FT232 od firmy Future Technology Devices Intl. Ltd., který slouží jako převodník USB ↔ UART. Protože však v tomto zařízení procesor nevykonává složité funkce a výpočty, byl USB protokol implementován v obvodu ATmega16A softwarově pomocí knihovny V-USB [19]. Výhodou je nižší cena konstrukce a zařízení se bude ze strany počítače tvářit jako obecné zařízení HID a nebude tedy potřeba instalovat žádný speciální ovladač. Minimální kmitočet procesoru pro správnou funkci USB je 12 MHz, proto je vhodné procesor napájet napětím 5 V, aby byla zaručena spolehlivost [18].

Zapojení bylo navrženo tak, aby byl procesor napájen z USB v případě, že není přivedeno 12 V. K oddělení obou zdrojů napětí bylo použito dvojité diody BAT54C. Zařízení se tedy k počítači přihlásí i v případě, když nebude napájeno z hlavního zdroje napětí.

Na obrázku Obr. 3.15 je schéma zapojení USB podle [19].

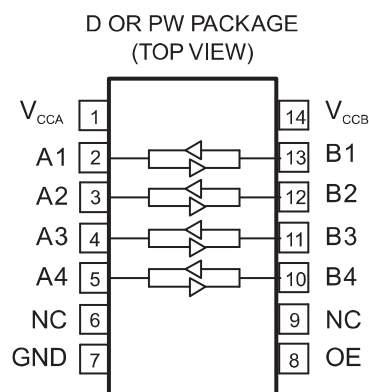


Obr. 3.15: Připojení USB sběrnice k mikrokontroléru při použití knihovny V-USB [19].

3.6.2 Komunikace s AD9951

Pro řízení obvodu AD9951 je použita sériová komunikace v dvouvodičovém zapojení. Jedná se o obdobu rozhraní SPI. Protože zde není kritická přenosová rychlost, je toto rozhraní softwarově emulováno. Bylo však třeba vyřešit problém rozdílných napětíových úrovní AD9951 a mikrokontroléru, který je nutné napájet napětím 5 V, aby byla zajištěna spolehlivá funkce USB rozhraní. Jednou z možností je přivést na pin DVDD_I/O napětí 3,3 V. Tento pin napájí digitální porty AD9951. Tak je možné zvýšit napětíové úrovně až na 5 V [8]. To by znamenalo použít další stabilizátor určený pouze pro tuto funkci.

Je však vhodné ošetřit případ, kdy by nebyl napájen obvod AD9951, tedy nebylo by připojeno napájení 12 V, ale pouze USB kabel. Vlivem poruchy procesoru či nevhodně napsaného softwaru by mohlo dojít k tomu, že by se na digitálních pinech AD9951 objevilo napětí. Proto byl z důvodu ochrany obvodu AD9951 pro komunikaci mezi AD9951 a procesorem použit 4-bitový konvertor napětíových úrovní TXB0104 od firmy Texas Instruments. Obě brány obvodu mají oddělené napájecí napětí, kterými se definují velikosti napětíových úrovní, viz Obr. 3.16. Konvertor se deaktivuje v případě odpojení některého z napájecích napětí. Umožňuje obousměrnou komunikaci, kterou lze využít například pro diagnostiku. Proudový odběr obvodu je maximálně 5 μ A [17], jedná se tedy z hlediska odběru o lepší volbu, než použití dalšího stabilizátoru.



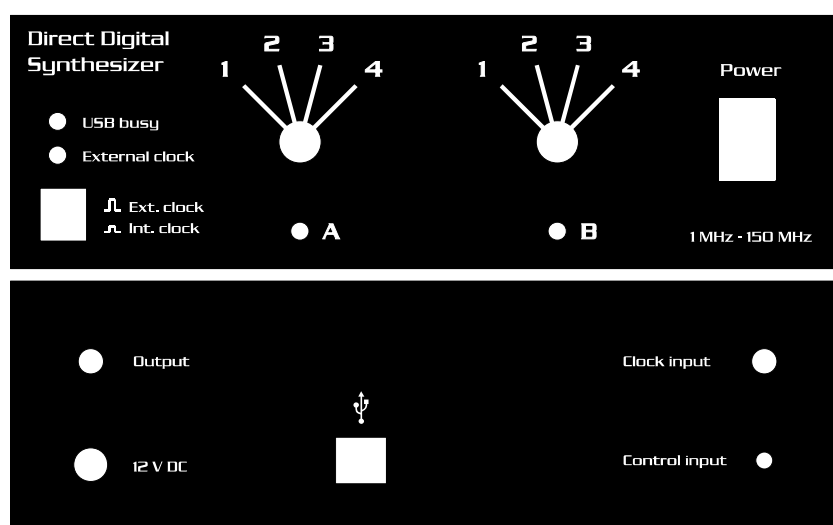
Obr. 3.16: Rozložení pinů konvertoru napět'ových úrovní TXB0104 od firmy Texas Instruments [17].

3.7 Ovládací panel a potisk přístroje

Ovládací panel zařízení je řešen netradičně. Přístroj bude použit pro konkrétní účely, kde je třeba přepínat mezi dvěma zvolenými předvolbami kmitočtů. Předvolby jsou čtyři a volí se pomocí dvou otočných přepínačů označených písmeny A a B, mezi kterými se přepíná pomocí dvouúrovňového řídicího signálu označeného na zadní straně jako „Control input“, viz Obr. 3.17. Zvolená předvolba je signalizována LED.

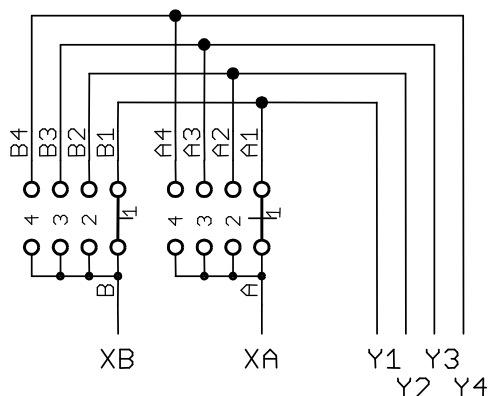
Na ovládacím panelu není osazen alfanumerický displej, což sice snižuje komfort ovládání, avšak jednoduchost panelu má pozitivní vliv na čistotu výstupního signálu. Nábojové pumpy použité pro vytváření potřebných napětí pro funkci displeje často pracují na nízkých kmitočtech v řádu kHz, což vytváří obtížně odstranitelné rušení.

Uživatel je informován LED označenou „USB busy“ o probíhající komunikaci s počítačem. LED „External clock“ svítí v případě, když je využit externí vstup hodinového signálu. Výběr zdroje hodinového signálu je možné provést pomocí příslušného tlačítka.



Obr. 3.17: Potisk přední a zadní strany přístroje.

Potisk přístroje (Obr. 3.17) byl proveden jednoduchou metodou. Motiv byl vytištěn na papír, který byl posléze zalaminován a přilepen na krabičku přístroje.



Obr. 3.18: Zapojení otočných přepínačů.

Přepínáním otočných přepínačů dochází ke zkratu sousedních pinů v mezipolohách, proto je třeba použít takový způsob čtení, který nebude mikrokontrolér proudově namáhat. Přepínače jsou zapojeny podobně jako na Obr. 3.18. Vodiče „Y“ jsou připojeny přímo k mikrokontroléru a piny jsou nastaveny jako vstupní s aktivovaným vnitřním pull-up rezistorem. Piny „XA“ a „XB“ jsou zpočátku nastaveny jako vstupní. Pro přečtení stavu ovladače „A“ je třeba pin připojený na „XA“ nastavit jako výstupní s hodnotou 0. Tím dojde podle polohy přepínače ke stažení příslušného signálu „Y“ na logickou 0. Ostatní jsou díky pull-up rezistorům v logické 1. Poloha přepínače je tedy určena stavem signálů „Y“. Přepínač „B“ nemá na výstupní signály vliv. Pro přečtení stavu přepínače „B“ je třeba analogicky nastavit „XA“ jako vstupní a „XB“ jako výstupní s hodnotou 0. Signály „Y“ opět určují polohu ovladače. V mezipoloze pouze dojde nejhůře ke stažení dvou pinů do logické 0, proud je omezen vnitřními rezistory. Toto řešení nevyžaduje kromě přepínačů žádné další externí součástky.

3.8 Napájecí obvody

Obvod AD9951 vyžaduje oddělené napájení analogové a digitální části. Napájecí napětí obou částí je 1,8 V. U digitální části lze zvlášť napájet vstupně/výstupní porty napětím 1,8 V nebo 3,3 V. Protože je použit konvertor úrovní, je nejjednodušším řešením společné napájení portů s digitálním jádrem obvodu. Podle katalogového listu [8] by spotřeba obvodu neměla překročit hodnotu 171 mW.

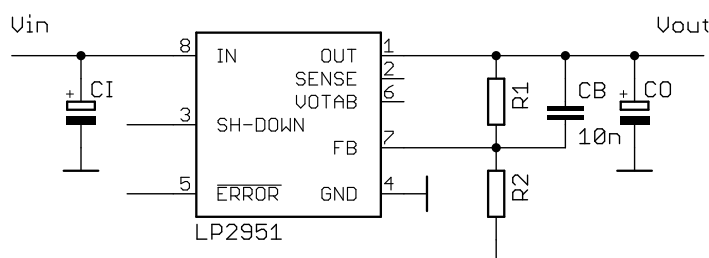
Dále je třeba přivést 5 V na násobič. Stejné napětí je také třeba pro mikrokontrolér. Zde je vhodné oddělit napájení analogových a digitálních obvodů, proto jsou tato napájecí napětí řešena pomocí dvou lineárních stabilizátorů. Odběr násobiče lze očekávat do 10 mA a odběr mikrokontroléru také maximálně 10 mA [18].

Jako poslední je třeba zajistit napájení výstupního zesilovače. Bylo vybráno napájecí napětí 7 V, čemuž odpovídá hodnota odporu R_{bias} přibližně 33 Ω [15]. Aby však nebyla výstupní impedance příliš ovlivněna nízkou hodnotou odporu, byla do

napájecí větve zařazena tlumivka od firmy Coilcraft.

Výsledné zapojení bylo navrženo tak, že napětí pro mikrokontrolér, zesilovač a násobič je odvozeno z hlavní 12 V větve. Z napětí pro násobič je dále vytvořeno napětí pro analogovou a digitální část AD9951, z čehož vyplývají zvýšené požadavky na proudový odběr 5 V stabilizátoru napětí. Proto zde byl zvolen stabilizátor 78M05 s maximálním proudovým odběrem 500 mA v pouzdře DPAK. Vzhledem k tomu, že na lineárním stabilizátoru vzniká poměrně značná výkonová ztráta, bylo by vhodné použít měnič napětí. Avšak činností měničů vzniká rušení, které by mohlo negativně ovlivnit vlastnosti zařízení, proto byl pro realizaci vybrán lineární stabilizátor.

Pro vytvoření ostatních napětí byl vybrán obvod LP2951CM v pouzdře SO08. Jedná se o stabilizátor s nízkým úbytkem napětí a maximálním výstupním proudem 100 mA. Vstupní napětí by nemělo překročit hodnotu 30 V. Výstupní napětí je možné nastavit v rozsahu 1,2 V až 30 V [22]. Doporučené zapojení obvodu je na Obr. 3.19.



Obr. 3.19: Doporučené zapojení obvodu LP2951 podle [22].

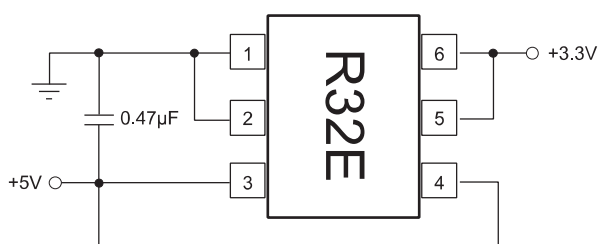
Vstup SH-DOWN umožňuje obvod deaktivovat a výstup ERROR signalizuje pokles výstupního napětí přibližně o 5 %. Ve výsledném zapojení tyto piny nebudou použity. Obvod bude trvale aktivován připojením pinu SH-DOWN na zem.

Hodnota výstupního napětí je dána velikostí rezistoru R_1 a R_2 podle vztahu [22]

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_1}{R_2}\right) + I_{FB} \cdot R_1, \quad (15)$$

kde V_{REF} je hodnota referenčního napětí, která je typicky 1,26 V. Druhý člen je možné zanedbat, protože I_{FB} nabývá velmi nízkých hodnot [22].

Pro napájení interního oscilátoru byla vybrána napěťová reference REF3233 firmy Texas Instruments (Obr. 3.20), aby byla zajištěna teplotní stabilita napájecího napětí.



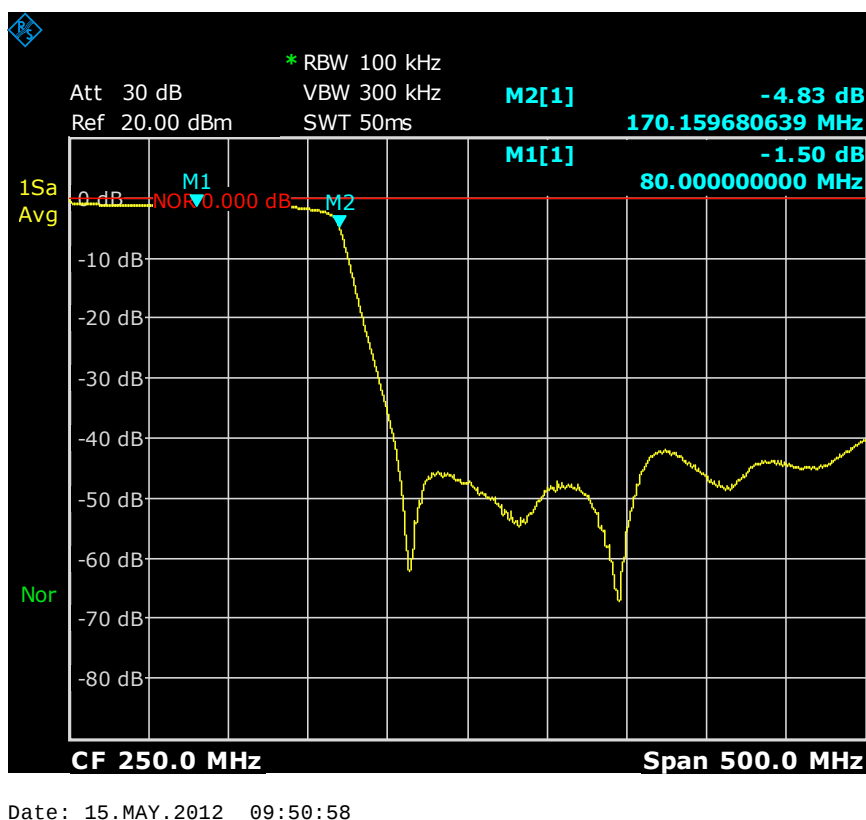
Obr. 3.20: Typické zapojení reference REF3233, podle [23].

4 REALIZACE SYNTEZÁTORU

V této kapitole jsou uvedeny výsledky měření dílčích částí syntezátoru a také popis programového vybavení.

4.1 Rekonstrukční filtr

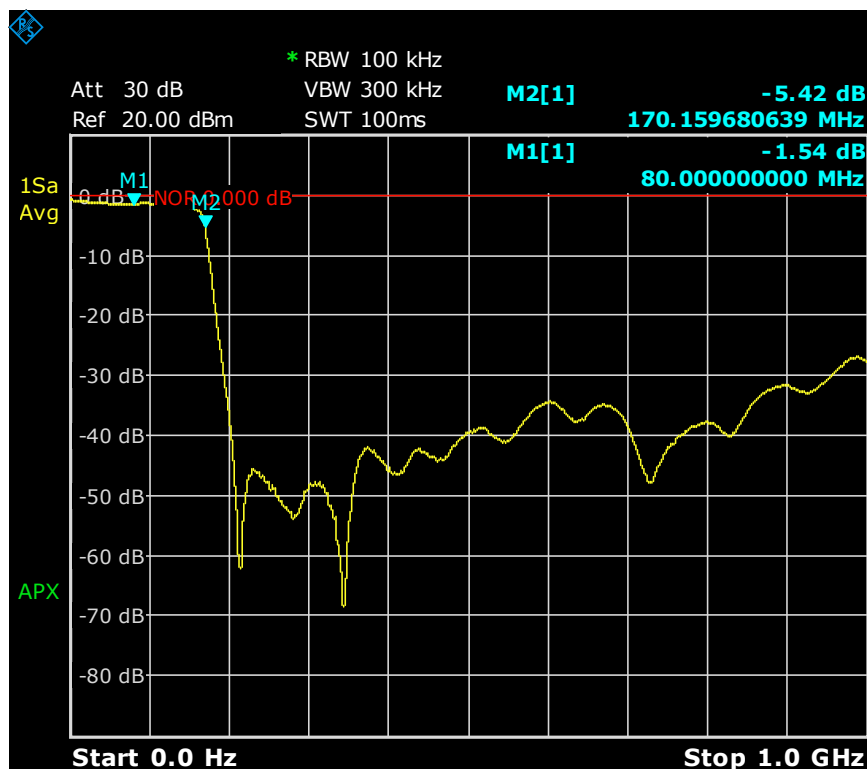
Na Obr. 4.1 a Obr. 4.2 jsou změřené přenosové charakteristiky realizovaného rekonstrukčního filtru, který byl navržen v kapitole 3.3.



Obr. 4.1: Frekvenční charakteristika realizovaného rekonstrukčního filtru v pásmu do 500 MHz.

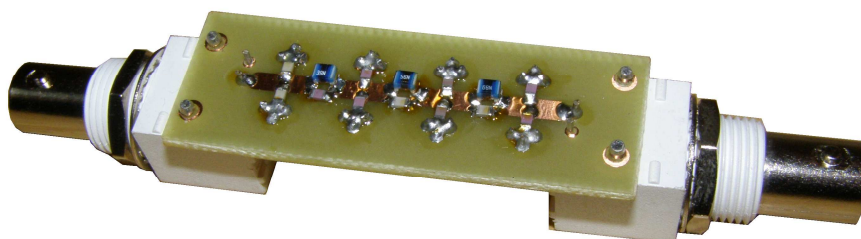
Mezní kmitočet filtru je 167 MHz což téměř odpovídá teoretické hodnotě. Útlum v nepropustné části je přibližně o 10 dB nižší než v simulaci. Na Obr. 4.2 je také vidět značné snížení útlumu na vyšších kmitočtech, který je způsoben parazitními vlastnostmi součástek. I tak lze výsledné parametry označit za vyhovující a tento filtr je možné použít ve výsledném zařízení.

Ve filtru byly použity SMD keramické kondenzátory velikosti 0805 a SMD indukčnosti velikosti 1008 od firmy FERROCORE.



Date: 15.MAY.2012 09:51:39

Obr. 4.2: Frekvenční charakteristika realizovaného rekonstrukčního filtru v pásmu od 0 Hz do 1 GHz.



Obr. 4.3: Přípravek na ověření parametrů rekonstrukčního filtru.

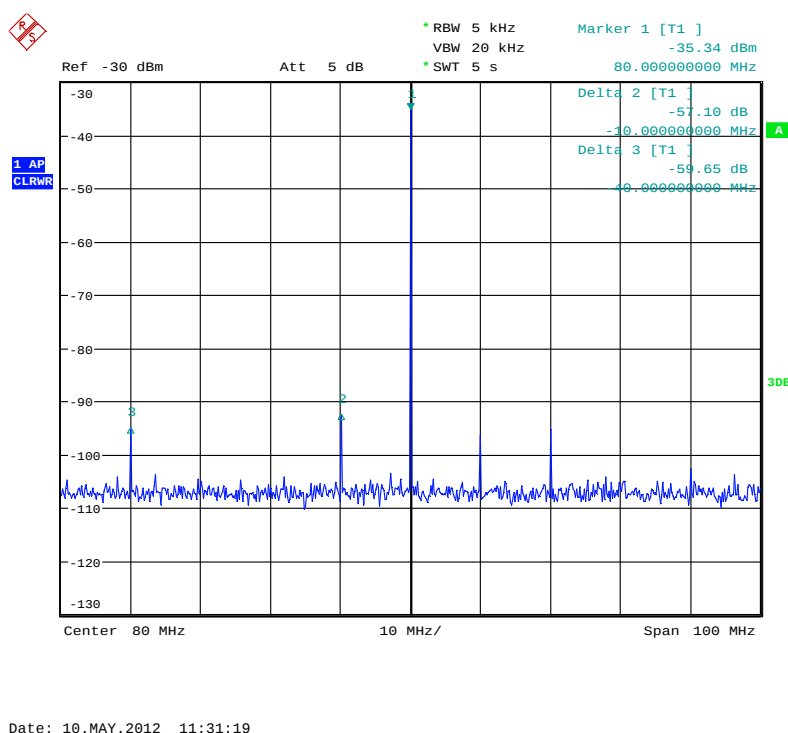
4.2 Násobič kmitočtu

Kmitočtový násobič byl sestaven podle návrhu, který je popsán v kapitole 3.2. Při realizaci byla na výrobu cívek rezonančních obvodů použita cívková sada RFC 71SE. Výhodou cívkových sad je, že jejich součástí je také stínící kryt. Protože byl problém s dostupností feritových jader pracujících na kmitočtu 80 MHz, byl pro vyladění do rezonance použit kapacitní trimr a feritová jádra nebyla použita.

Při oživování násobiče bylo třeba nejprve naladit první stupeň násobiče. To bylo provedeno tak, že byl přemostěn druhý stupeň a na výstupní sledovač byl přiváděn

signál z prvního stupně. Bylo nalezeno optimální nastavení pracovního bodu změnou odporu R_2 a vyladěn rezonanční obvod. Poté byl obvod zapojen podle schématu a doladěn druhý stupeň včetně pásmové propusti.

Pro buzení násobiče byl použit signál o úrovni +13 dBm o kmitočtu 10 MHz z VF generátoru SMIQ 02B od firmy Rohde & Schwarz. Na Obr. 4.4 je výstupní spektrum násobiče v pásmu od 30 MHz do 180 MHz, kde je vidět, že potlačení nejbližších nežádoucích složek je 57 dB. Na kmitočtu 40 MHz je signál pronikající z prvního stupně násobiče, avšak jeho úroveň je asi 60 dB pod úrovní požadovaného signálu. Vzhledem k tomu, že násobič pracuje do impedance 1,5 k Ω , byl 50 Ω vstup spektrálního analyzátoru ztrátově přizpůsoben.



Obr. 4.4: Spektrum výstupního signálu realizovaného násobiče.

Podle rovnice (11) uvedené v kapitole 3.2, by mělo dojít ke zhoršení fázového šumu minimálně o 18 dB. V Tab. 4.1 je porovnání fázového šumu signálu o kmitočtu 10 MHz z generátoru SMIQ 02B a fázový šum vynásobeného signálu o kmitočtu 80 MHz. Měření bylo provedeno pomocí analyzátoru Rohde & Schwarz FSQ 3. V posledním sloupci tabulky je zhoršení fázového šumu, které se shoduje s teorií.

Tab. 4.1: Porovnání fázového šumu generátoru a výstupního signálu násobiče.

f_m [kHz]	α_{dB} [dBc/Hz]		$\Delta\alpha_{dB}$
	generátor	násobič	
1	-105,31	-84,96	20,35
10	-118,02	-99,46	18,56
100	-119,72	-100,07	19,65
1000	-133,25	-115,07	18,18

4.3 Software

Tato kapitola se zabývá problematikou softwaru a to jak na straně mikrokontroléru, tak na straně počítače.

4.3.1 Ovladač AD9951

Aby bylo možné komunikovat s obvodem AD9951, byl vytvořen základní ovladač pro obvod AD9951 v prostředí Atmel AVR Studio 5. Ovladač se skládá ze souboru *dds_lbr.c*, ve kterém jsou těla jednotlivých funkcí a souboru *dds_lbr.h*, kde jsou definovány výchozí parametry, jako například port na kterém je připojen obvod AD9951, kmitočtový rozsah, výchozí hodnota násobiče a další.

Následující část této kapitoly popisuje jednotlivé funkce ovladače AD9951.

```
void dds_init(void);
```

Po zavolání této funkce dojde k nastavení směru portu mikrokontroléru, dále k resetu obvodu AD9951 a nastavení výchozích hodnot amplitudy, násobiče a kmitočtu.

```
void dds_reset(void);
```

Po zavolání této funkce dojde k resetu obvodu AD9951.

```
unsigned char dds_multiplier(unsigned char multiplier,  
                             unsigned char pump_curr);
```

Funkce umožňuje nastavit PLL násobič v rozsahu 4 až 20. Zápisem hodnoty 0 je fázový závěs deaktivován. Druhý parametr slouží k nastavení proudu nábojové pumpy (0b00 = 75 μ A, 0b01 = 100 μ A, 0b10 = 125 μ A, 0b11 = 150 μ A). Návrátová hodnota funkce je 0 v případě, že je požadovaný násobící faktor mimo rozsah, jinak vrátí 1.

```
unsigned char dds_frequency(unsigned long long int freq ,  
                             unsigned char fs);
```

Funkce nastavuje výstupní kmitočet v mHz. Je však nutné si uvědomit, že vzhledem k délce ladícího slova (32 bitů) a taktovacího kmitočtu (400 MHz), je krok ladění podle rovnice (4) přibližně 0,1 Hz. Druhý parametr funkce oznamuje, jestli je použit taktovací kmitočet 400 MHz (vstupní hodnota 0) či 320 MHz (vstupní hodnota 1), aby došlo ke korektnímu výpočtu ladícího slova. Výpočet je proveden pomocí rovnice (3). Funkce vrátí 0 v případě, že vstupní hodnota kmitočtu je mimo rozsah, jinak vrátí 1. Rozsah kmitočtů je definován v souboru *dds_lbr.h*.

```
unsigned char dds_power_uw(float out_power);
```

Vstupním parametrem je velikost výstupního výkonu v μW . Nastavení v jednotkách dBm nebylo vhodné z hlediska výpočetní náročnosti při počítání logaritmu. Maximální nastavitelný výkon je 10000 μW a minimální 0 μW . Nastavení výkonu je pouze přibližné. Pro přesné nastavení je třeba provést korekci, jejíž princip je popsán dále. Funkce vrátí 0 v případě, že vstupní hodnota je mimo rozsah, jinak vrátí 1.

```
void dds_powerdown(unsigned char enable_disable);
```

Funkce umožňuje aktivovat úsporný režim vstupní hodnotou 1. Vstupní hodnota 0 provede probuzení a novou inicializaci obvodu AD9951.

4.3.2 Korekce výkonu

V zařízení je použita metoda korekce výkonu. Je využit 14 bitový registr ASF, kterým je možné přímo ovlivňovat amplitudu výstupního signálu. Aby bylo možné tento registr použít, je třeba aktivovat funkci On/Off klíčování nastavením bitu "OSK enable" v registru CFR1.

Princip metody je jednoduchý. Na kmitočtech 10 MHz až 120 MHz s krokem 10 MHz byly měření stanoveny hodnoty, které je třeba předat funkci *dds_power_uw()*, aby na výstupu byla přesně úroveň +10 dBm. Tyto hodnoty jsou uloženy v EEPROM a slouží jako korekční konstanty K pro výpočet upravené hodnoty výkonu P_{KOR} podle jednoduchého vztahu

$$P_{KOR} = K \cdot \frac{P}{10000 \mu\text{W}}, \quad (16)$$

pro maximální výkon $P = 10 \text{ mW}$ je korigovaný výkon P_{KOR} roven právě korekční konstantě. Korekční funkce nejprve podle nastaveného kmitočtu vybere příslušnou konstantu a na základě požadovaného výkonu provede přepočet upravené hodnoty. Protože jsou k dispozici konstanty pouze na několika diskrétních kmitočtech, jsou pro mezilehlé kmitočty vypočteny aproximované hodnoty.

4.3.3 USB komunikace

Jak již bylo dříve napsáno, ke komunikaci se zařízením je využita sběrnice USB. Zařízení nevyžaduje instalaci žádného ovladače, protože pracuje v režimu HID.

Obslužný program do zařízení posílá pakety skládající se z osmi bajtů. Význam jednotlivých bajtů je naznačen na Obr. 4.5.

7	6	5	4	3	2	1	0
výkon		kmitočet					číslo příkazu

Obr. 4.5: Struktura paketu přijímaného zařízením.

Nultý bajt obsahuje informaci o tom, jaká data paket obsahuje. Příkaz číslo 0 slouží k okamžitému nastavení výkonu a kmitočtu. Tento příkaz se provede pouze v případě, že-li zařízení v režimu softwarového řízení, tedy není-li ovládané předním panelem.

Z obrázku je patrné, že hodnota kmitočtu vyžaduje 5 bajtů. To je dáno tím, že do zařízení se odesílá požadovaný kmitočet v mHz. V zařízení pak dochází k zaokrouhlování na desetiny Hz, což odpovídá kmitočtovému kroku. Výkon je odeslán v μW a vyžaduje 2 bajty.

Příkazy číslo 1 až 4 slouží k odeslání čtyř předvoleb kmitočtů, které je možné vybírat pomocí otočných ovladačů na předním panelu. Předvolby jsou uloženy do paměti EEPROM, tedy zůstávají uloženy i po odpojení napájení.

Příkazy 5 až 17 slouží k odeslání korekčních konstant výkonu. V tomto případě je využit pouze bajt číslo 7 a 6, ostatní jsou ignorovány. Konstanty jsou také uloženy v paměti EEPROM.

Příkaz 18 má odlišnou strukturu paketu zobrazenou na Obr. 4.6.

7	6	5	4	3	2	1	0
-		korekce výkonu		nábojová pumpa PLL		zdroj hodin	ovládání číslo příkazu

Obr. 4.6: Struktura paketu příkazu 18.

Nultý bajt obsahuje kromě čísla příkazu také informaci o způsobu ovládání, lze tedy zvolit, jestli bude zařízení ovládáno panelem či obslužným softwarem. Toto nastavení má význam pouze při připojení USB, po odpojení přechází zařízení automaticky do režimu ovládání pomocí předního panelu.

Dále je možné nastavit interní či externí zdroj hodinového signálu, velikost proudu nábojové pumpy, násobící faktor PLL nebo aktivovat či deaktivovat korekci výkonu. Jednotlivé bajty mají bit pro povolení zápisu, je tedy možné změnit pouze jeden parametr, aniž by byly ovlivněny ostatní. Nastavení PLL a korekce výkonu je uloženo do EEPROM. Podrobnosti je možné najít v komentářích zdrojového kódu.

Ze zařízení je možné i číst a získat tak informace o aktuálním nastavení. Pokud je potřeba přečíst například první předvolbu kmitočtu je třeba do zařízení odeslat paket s příkazem číslo 1 a zakázat zápis. Do počítače se pak jako odpověď odešle paket obsahující hodnotu kmitočtu a výkonu první předvolby, viz Obr. 4.7. Obsah sedmého bajtu je pro všechny odpovědi stejný. Bit označený „12V“ indikuje přítomnost hlavního napájecího napětí. Potvrzovací bit „ACK“ se používá v režimu zápisu. V případě

korektně provedené instrukce dojde k jeho inverzi. Význam ostatních bitů je zřejmý z obrázku.

7	6	5	4	3	2	1	0
korekce nábojová pumpa PLL ovládání ACK 12V zdroj hodin	výkon		kmitočet				

Obr. 4.7: Struktura paketu odesílaného zařízením.

4.3.4 Funkce softwaru v syntezátoru

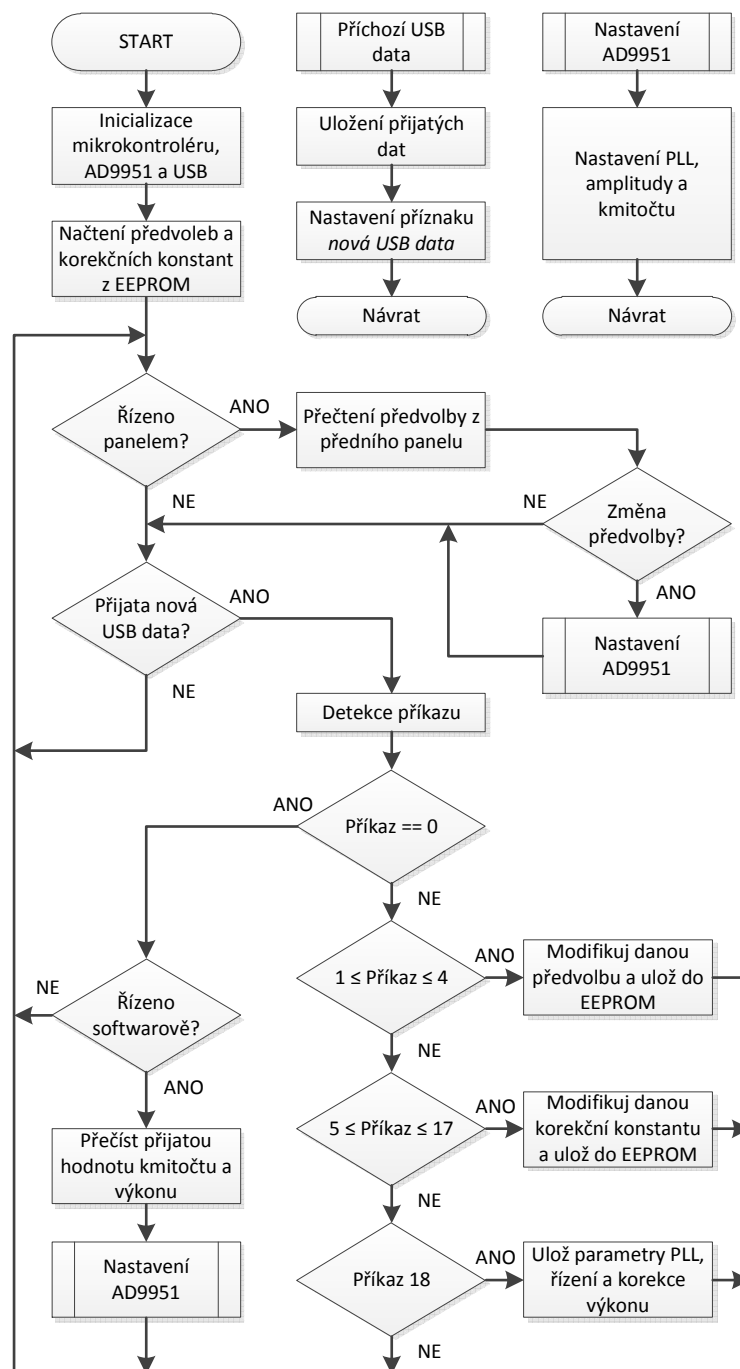
Na Obr. 4.8 je naznačeno, jakým způsobem program v zařízení funguje. Kvůli přehlednosti jsou v diagramu naznačeny pouze základní funkce.

Po zapnutí přístroje je provedena inicializace mikrokontroléru, AD9951 a USB rozhraní. Následně je proveden test LED diod na panelu a načtena data z EEPROM paměti do paměti SRAM. Jedná se o kmitočtové předvolby, korekční konstanty, hodnotu vzorkovací frekvence a nastavení fázového závěsu.

Pokud není připojen USB konektor, je zařízení ovládáno pomocí předního panelu. Detekce USB je provedena jednoduše kontrolováním přítomnosti napětí 5 V na konektoru USB. Mikrokontrolér periodicky čte stav ovládacích prvků na panelu, v případě změny provede nastavení AD9951. Pokud je aktivována korekce výkonu, jsou potřebné výpočty provedeny těsně před odesláním instrukcí do AD9951.

V případě že je připojeno USB a přijat paket z počítače, dojde po přečtení dat k nastavení příznaku *new_usb_data_flag*. Ten informuje funkci, která zpracovává přijatá data o tom, že došel nový paket. Tato funkce nejprve přečte první bajt, podle kterého zjistí, o jaká data se jedná a poté zpracuje zbylá data a provede potřebné akce. Následně je odeslán paket do počítače a nakonec smazán příznak *new_usb_data_flag*.

Mikrokontrolér také periodicky detekuje přítomnost napětí 12 V. V případě že není připojeno, je tato informace obsažena v odchozím paketu. Tato funkce je také použita pro automatickou inicializaci AD9951 v případě odpojení a připojení napájení 12 V.

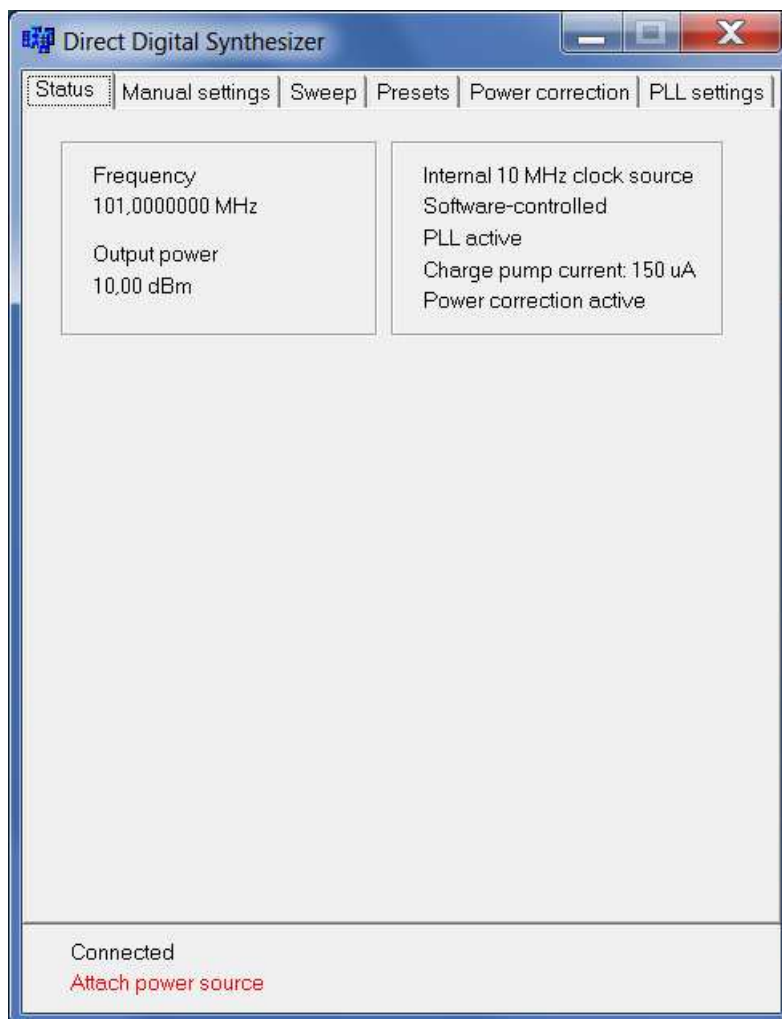


Obr. 4.8: Zjednodušený vývojový diagram softwaru v syntezátoru.

4.3.5 Software pro počítač

Pro komunikaci se zařízením byl napsán jednoduchý program pro operační systém Microsoft Windows v prostředí C++Builder 6.0. Aby bylo možné vytvořit program komunikující přes USB, byly použity knihovny projektu Jedi [20], po jejichž instalaci se v panelu objeví nový objekt *JvHidDeviceController*, který slouží pro práci se zařízením HID. Byla využita kostra projektu z předmětu MPOA vyučovaného na FEKT VUT [21]. Dále následuje stručný popis vytvořeného programu.

Ve spodní části okna je uživatel informován o úspěšném připojení zařízení a v případě, že není připojen 12 V zdroj, je uživatel vyzván k jeho připojení. První záložka obsahuje informace o aktuálním nastavení syntezátoru, tedy o nastaveném kmitočtu, výstupním výkonu, zvoleném zdroji kmitočtu a další údaje. Tyto informace jsou pravidelně získávány ze zařízení.

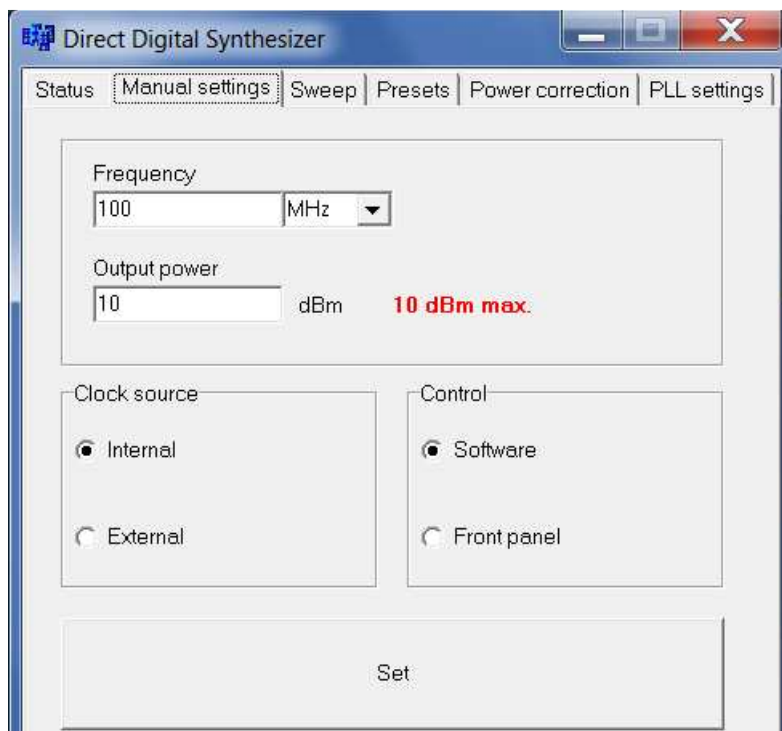


Obr. 4.9: Uživatelský program - záložka status.

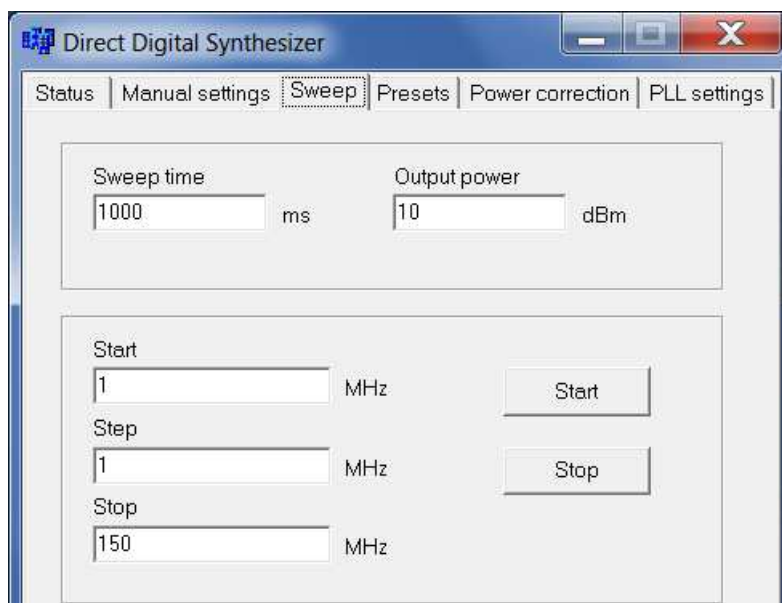
Na druhé záložce je možné nastavovat výstupní kmitočet v rozsahu 1 MHz až 150 MHz a výstupní výkon do +10 dBm. Dále je možné měnit zdroj kmitočtu a způsob ovládání. Výběrem položky „Front panel“ je zařízení ovládáno předním panelem. Do tohoto režimu zařízení přejde také v případě odpojení USB.

Na záložce „Sweep“ lze spustit rozmítání kmitočtu v nastavených mezích a určitým krokem. Je možné zvolit čas rozmítání a výstupní výkon. Záložka „Presets“ slouží k nastavení předvoleb kmitočtů, které je pak možné volit otočnými přepínači na panelu.

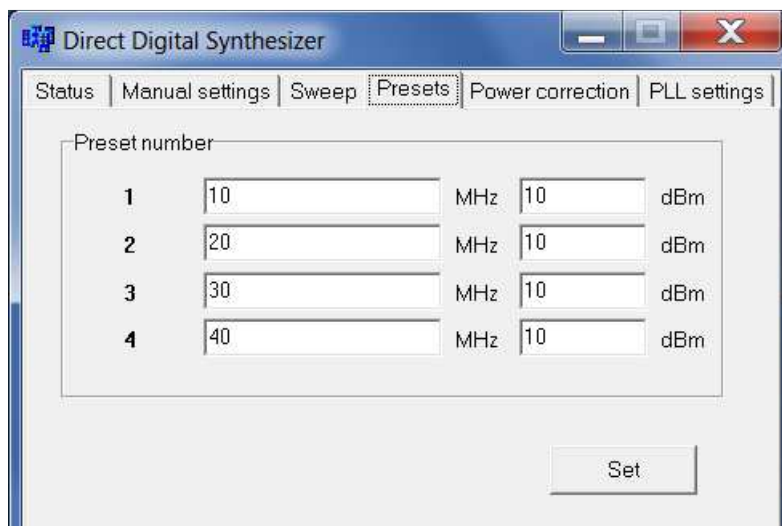
Korekční konstanty, které jsou použity pro vyrovnaní výkonu, je možné měnit na záložce „Power correction“, viz Obr. 4.13. Korekci je možné deaktivovat pro dosažení maximálního SFDR.



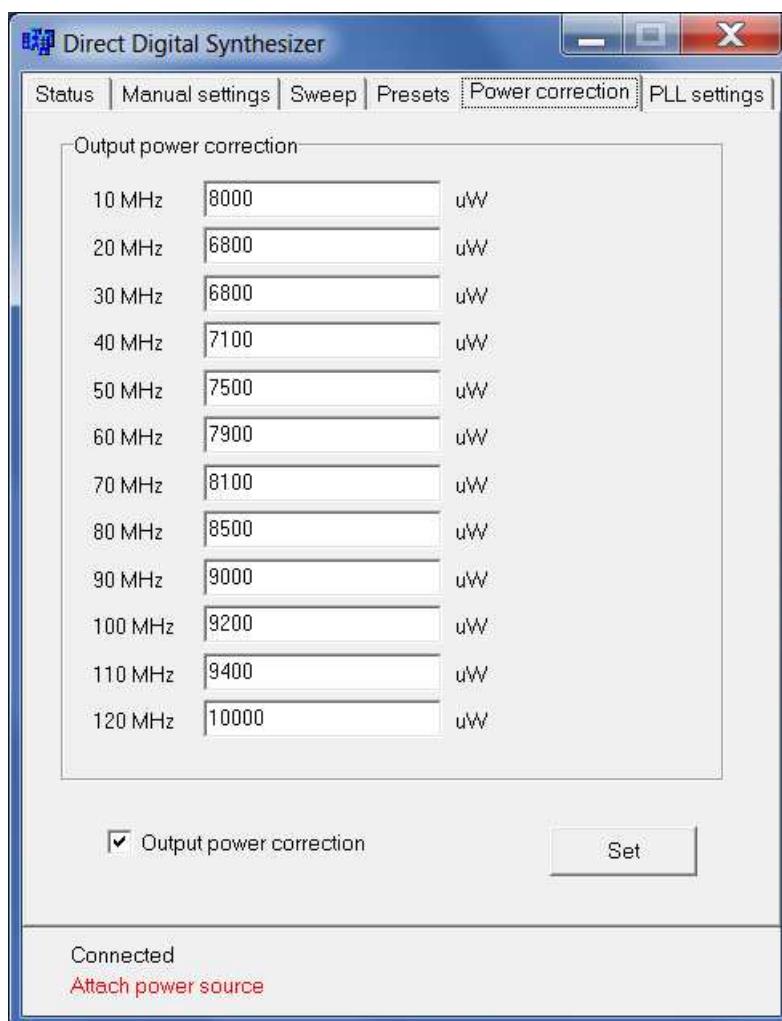
Obr. 4.10: Uživatelský program - nastavení kmitočtu a výkonu.



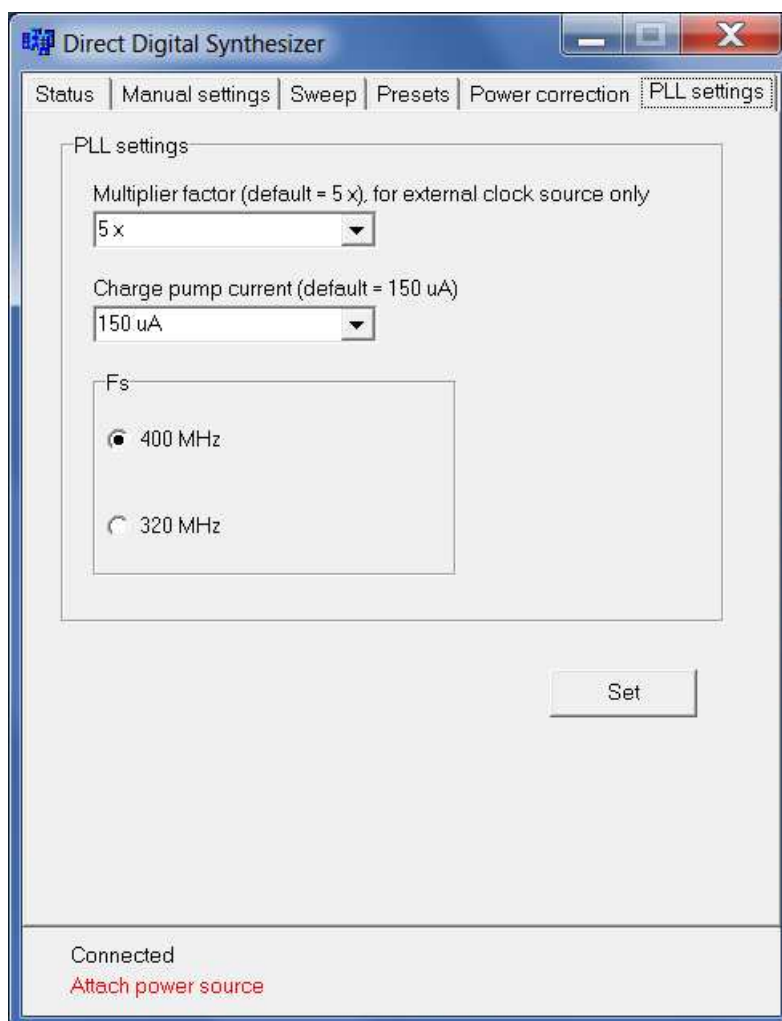
Obr. 4.11: Uživatelský program - rozmítání kmitočtu.



Obr. 4.12: Uživatelský program - nastavení předvoleb.



Obr. 4.13: Uživatelský program - korekce výkonu.



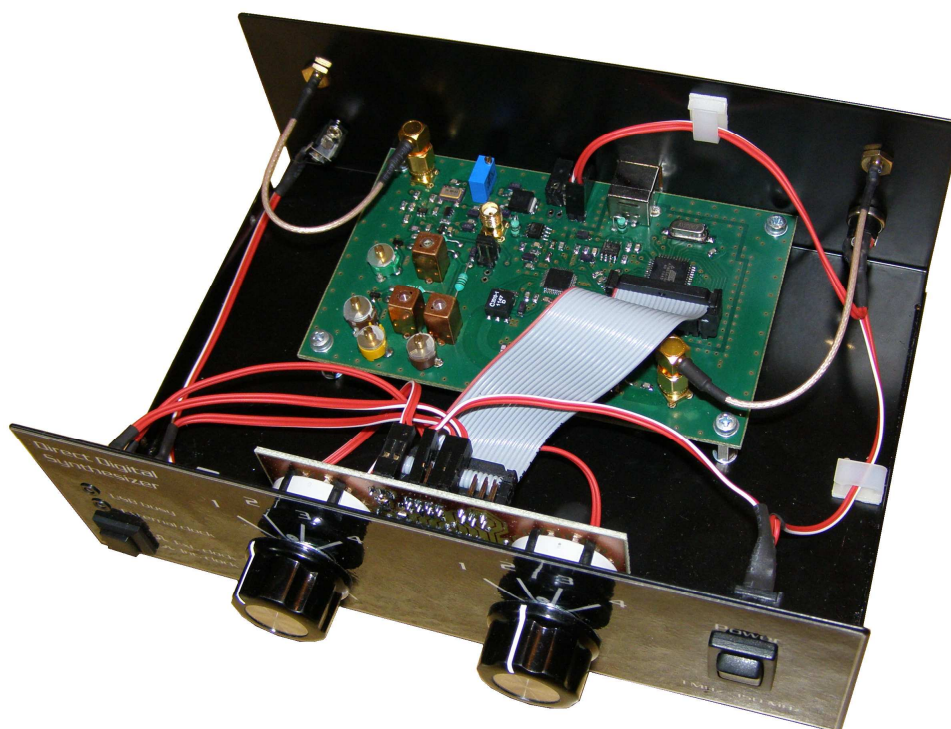
Obr. 4.14: Uživatelský program - nastavení fázového závěsu.

Na poslední záložce je možné měnit nastavení fázového závěsu, jehož násobící faktor lze zvolit v rozmezí $4\times$ až $20\times$. Toto nastavení je vhodné použít v případě, že je hodinový signál přiveden přímo na obvod AD9951, tedy až za násobič kmitočtu. V případě přivedení kmitočtu 400 MHz či 320 MHz je možné fázový závěs vypnout. Dále je možné měnit proud nábojové pumpy, který má vliv na fázový šum fázového závěsu. Jako poslední je třeba zvolit správný výsledný taktovací kmitočet, aby byl výpočet ladícího slova proveden korektně.

4.4 Fotografie realizovaného přístroje



Obr. 4.15: Fotografie realizovaného zařízení.



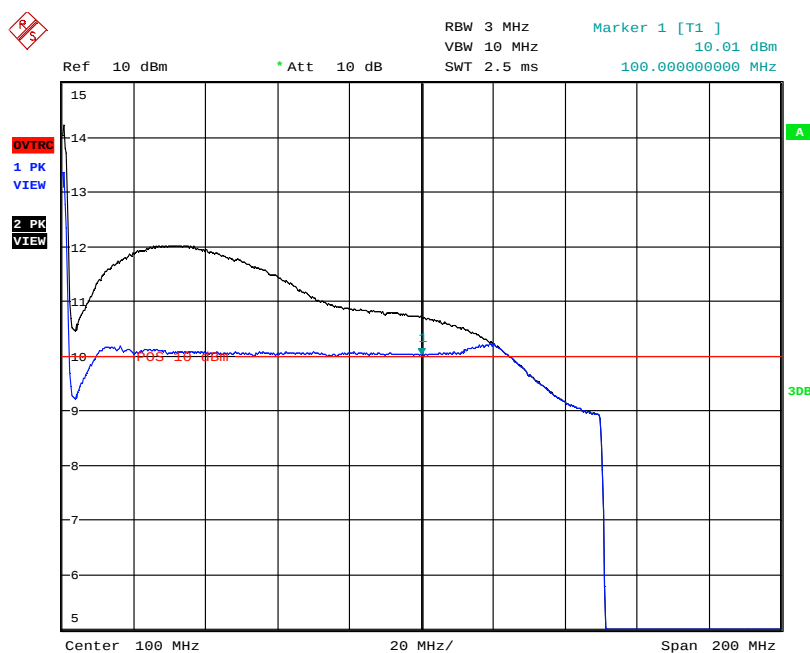
Obr. 4.16: Fotografie realizovaného zařízení - bez krytu.

5 PARAMETRY

Tato kapitola se zabývá měřením výsledných parametrů sestaveného přístroje.

5.1 Úroveň výstupního signálu

Při měření úrovně signálu byla použita funkce rozmítání, která je součástí uživatelského programu. Rozmítání bylo nastaveno v rozsahu od 1 MHz do 150 MHz s krokem 0,1 MHz. Výstupní výkon pak byl měřen přístrojem FSQ 3 od firmy Rohde & Schwarz pomocí funkce MAX HOLD.



Date: 9.MAY.2012 09:22:34

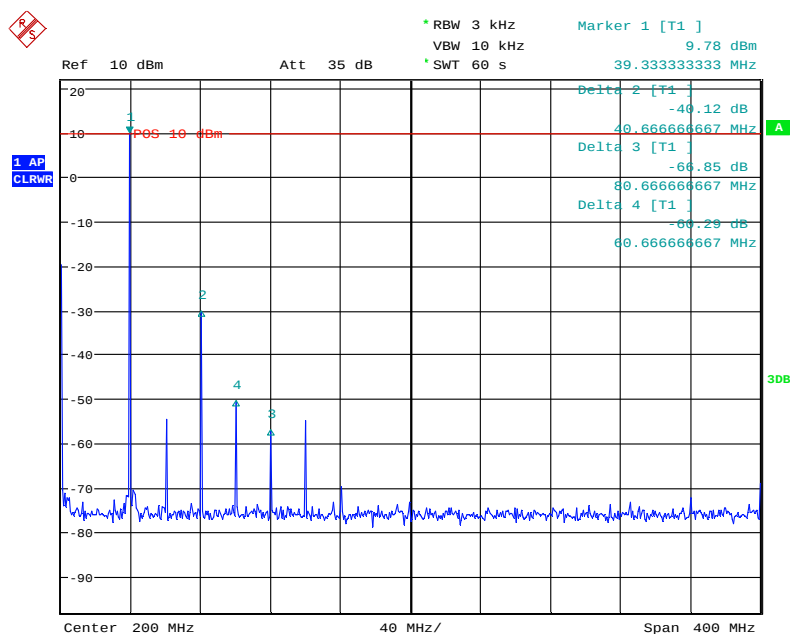
Obr. 5.1: Výstupní úroveň při širokopásmovém rozmítání. Porovnání aktivní a neaktivní korekce výkonu.

Na Obr. 5.1 je zachycena úroveň signálu při vypnuté a zapnuté korekci výkonu. Je patrné, že zesilovač ERA-5 má v požadovaném kmitočtovém rozsahu dostatečný zisk. Do kmitočtu přibližně 120 MHz je výstupní úroveň vyšší než požadovaných +10 dBm, což je možné bez problémů korigovat. Na vyšších kmitočtech nelze korekci použít, protože zde výkon klesá pod úroveň +10 dBm vlivem útlumu filtru a transformátoru.

5.2 Čistota spektra

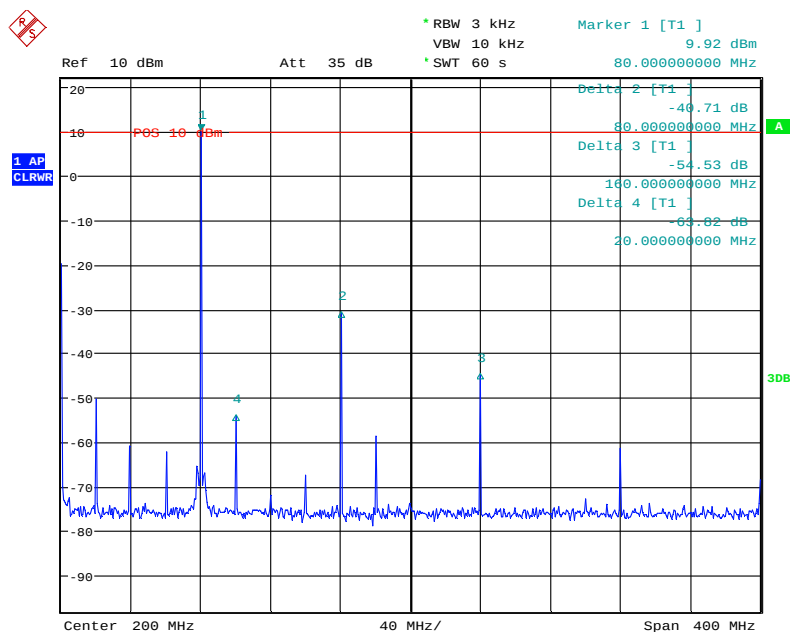
Čistota spektra byla proměřena v kmitočtovém pásmu do 400 MHz při výstupních kmitočtech 40 MHz (Obr. 5.2), 80 MHz (Obr. 5.3) a 120 MHz (Obr. 5.4). Na všech

změřených spektrech je patrné harmonické zkreslení vznikající na výstupním zesilovači. Druhá harmonická složka je potlačena přibližně o 40 dB, třetí o více jak 50 dB.



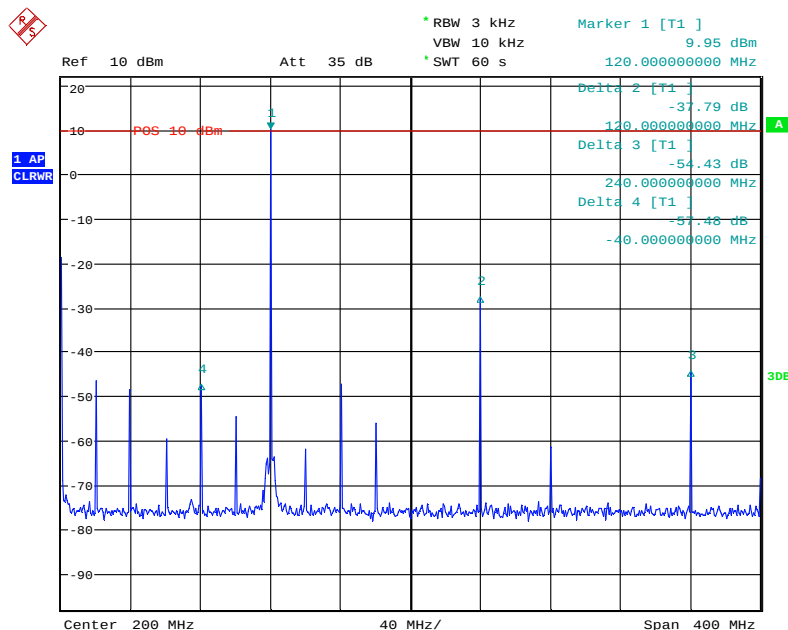
Date: 10.MAY.2012 14:13:20

Obr. 5.2: Spektrum signálu o kmitočtu 40 MHz.



Date: 10.MAY.2012 14:08:25

Obr. 5.3: Spektrum signálu o kmitočtu 80 MHz. Interní zdroj hodinového signálu.



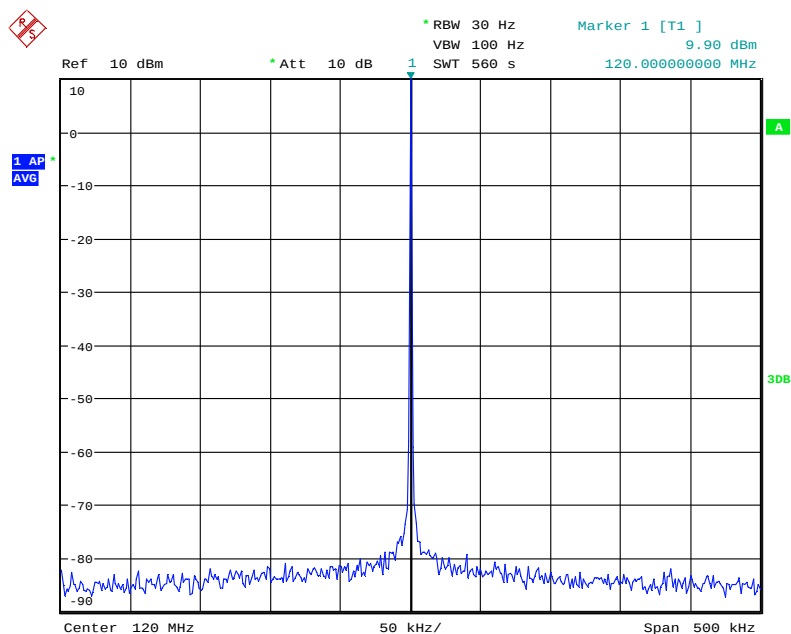
Date: 10.MAY.2012 14:03:05

Obr. 5.4: Spektrum signálu o kmitočtu 120 MHz. Interní zdroj hodinového signálu.

Další parazitní složky vznikají jako důsledek číslicového charakteru DDFS a směřováním složek vznikajících činností D/A převodníku. V obvodu AD9951 je dělička čtyřmi, jejíž výstup je použit pro synchronizaci s dalšími obvody. 100 MHz signál z děličky proniká na výstup a je 60 dB pod úrovní generovaného signálu. Pozici této složky lze změnit použitím jiného taktovacího kmitočtu, například při použití 320 MHz dojde k posunu složky na 80 MHz. Další nežádoucí složka je na kmitočtu 80 MHz a jedná se o průnik signálu z násobiče kmitočtu 8×. Potlačení této složky je 57 dB. Jedním z řešení by bylo vzdálit indukčnosti rezonančních obvodů od výstupních obvodů, zvláště od transformátoru a rekonstrukčního filtru. Dalším řešením by bylo použít přidavného stínění.

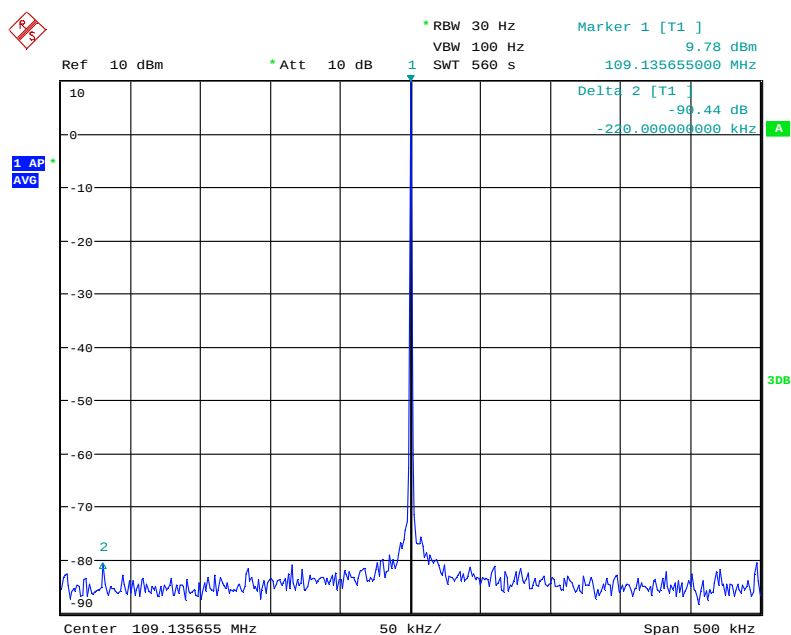
Ze změřených spekter je patrné, že čím vyšší je generovaný kmitočet, tím vyšší je úroveň parazitních složek. Lze však říci, že v pásmu požadovaných výstupních kmitočtů jsou nežádoucí složky kromě harmonického zkreslení potlačeny o více jak 50 dB.

Na obrázku Obr. 5.5 je detail spektra signálu o kmitočtu 120 MHz a 109,1357913 MHz v úzkém kmitočtovém pásmu. Jako zdroj hodinového signálu byl opět použit interní oscilátor. Z obou obrázků je patrné, že čistota spektra v blízkosti generovaného signálu je výborná. Potlačení nežádoucích signálů je větší jak 90 dB.



Date: 14.MAY.2012 15:32:20

Obr. 5.5: Detail spektra signálu o kmitočtu 120 MHz. Interní zdroj hodinového signálu.



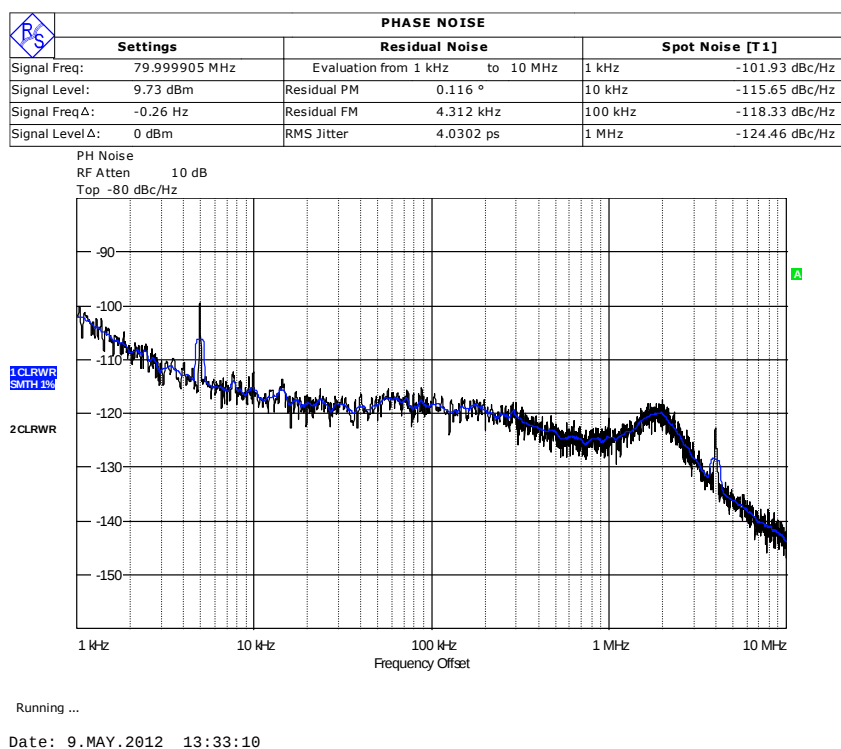
Date: 14.MAY.2012 15:20:35

Obr. 5.6: Detail spektra signálu o kmitočtu 109,1357913 MHz. Interní zdroj hodinového signálu.

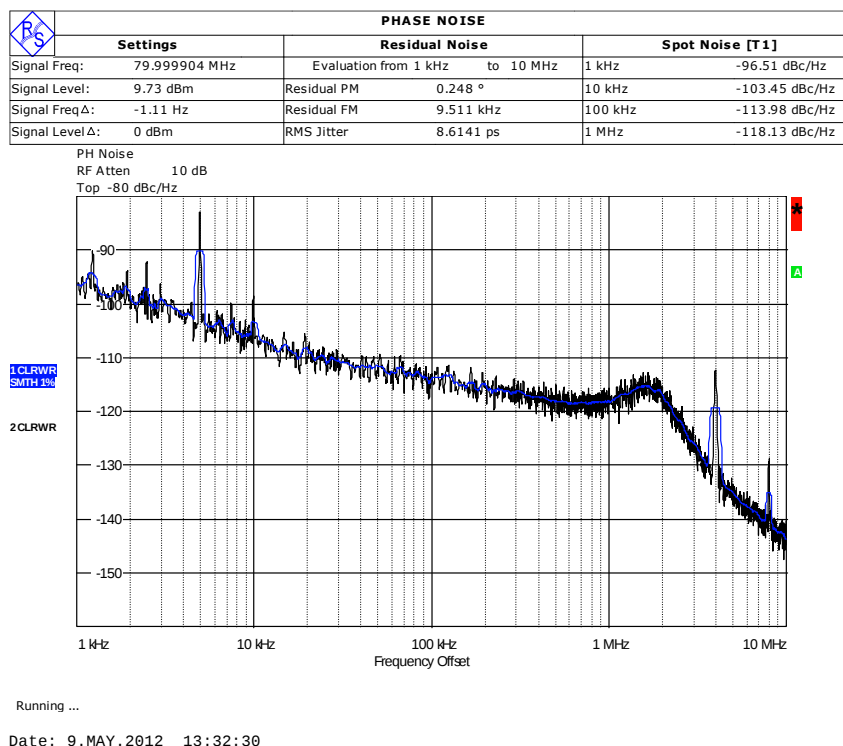
5.3 Fázový šum v závislosti na úrovni hodinového signálu

V katalogovém listu AD9951 je uvedeno, že pro zajištění nízké úrovně fázového šumu je třeba přivést hodinový signál s co možná nejvyšší úrovní v rámci specifikace. Tuto skutečnost ukazuje Obr. 5.7 a Obr. 5.8. Obvod AD9951 byl v tomto případě nastaven tak, aby generoval signál o kmitočtu 80 MHz. Jako hodinový kmitočet byl přiveden signál z generátoru SMIQ 02B s kmitočtem 80 MHz nastavený na výkon +3 dBm a poté -15 dBm, což jsou mezní hodnoty uvedené v katalogovém listu obvodu AD9951 [8]. Z výsledků je patrné zhoršení fázového šumu při nízkých úrovních hodinového signálu. Změřený fázový šum generátoru je v příloze C.

Pro zajištění nízkého fázového šumu je třeba na násobič $8\times$ přivést signál s úrovní 1 V_{RMS} na $50\ \Omega$, což odpovídá výkonu 13 dBm. Tato úroveň je na výstupu 10 MHz kmitočtového normálu, který se bude pro synchronizaci zařízení používat.



Obr. 5.7: Fázový šum signálu 80 MHz při hodinového signálu s úrovní +3 dBm.



Obr. 5.8: Fázový šum signálu 80 MHz při hodinového signálu s úrovní -15 dBm.

5.4 Fázový šum

Měření ukázalo, že interní fázový závěs vykazuje zvýšený fázový šum na offsetovém kmitočtu přibližně 2 MHz. Jediný možný způsob jak bylo možné ovlivnit vlastnosti PLL, byla změna proudu nábojové pumpy nebo modifikace filtru smyčky.

V katalogovém listu AD9951 [8] je uvedeno, že filtr smyčky má být složen z rezistoru o hodnotě 1 kΩ a kondenzátoru 100 nF. Avšak v katalogovém listu obvodu ze stejné rodiny AD9954 [9] je uvedena tabulka zobrazená na Obr. 5.9.

Multiply Value	Resistor Value	Capacitor Value (μF)
4×	0 Ω	0.1
10×	1 kΩ	0.1
20×	243 Ω	0.01

Obr. 5.9: Tabulka optimálních hodnot součástek filtru smyčky.

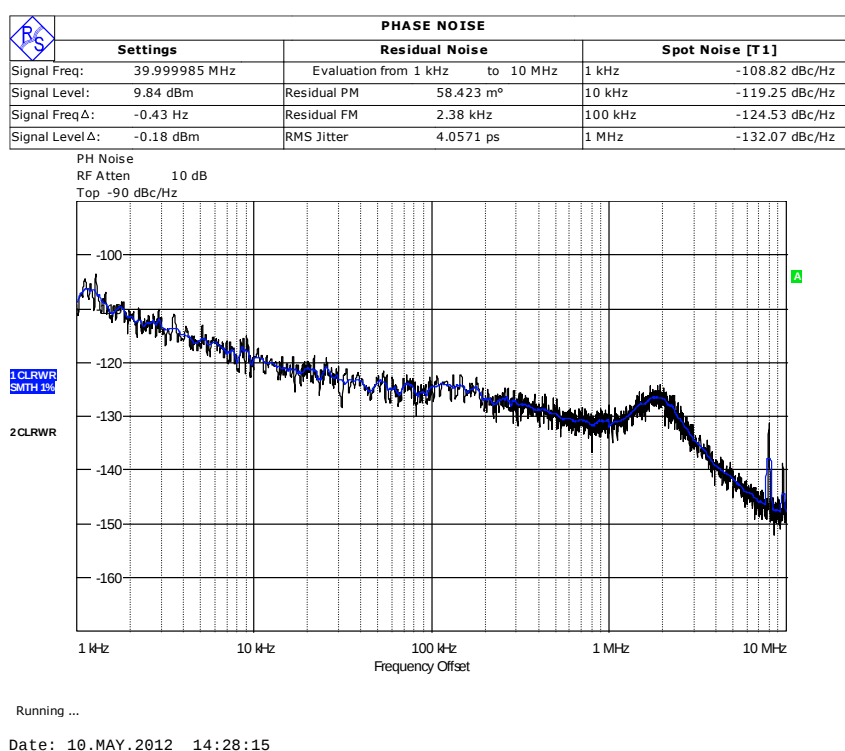
Z tabulky je patrné, že pro násobení 5× je vhodnější nahradit rezistor zkratem. Po provedení této úpravy došlo k výraznému zlepšení fázového šumu. Další zlepšení bylo dosaženo zvýšením proudu nábojové pumpy na 125 μA, za cenu mírného zvýšení šumu na nízkých offsetových kmitočtech. Hodnotu proudu lze jednoduše měnit pomocí programu v počítači. Následující měření byla provedena s touto konfigurací.

Fázový šum byl proměřen při aktivním interním oscilátoru a to opět na kmitočtech 40 MHz (Obr. 5.10), 80 MHz (Obr. 5.11) a 120 MHz (Obr. 5.12) pomocí přístroje

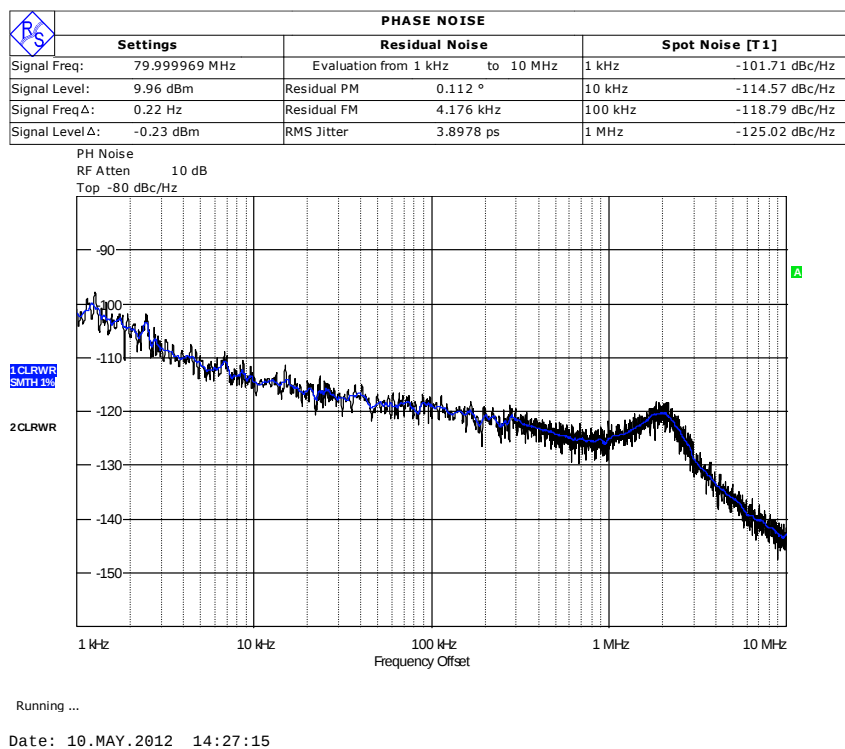
FSQ 3. Poté byl na AD9951 přímo přiveden 80 MHz signál z generátoru SMIQ 02B. Fázový závěs byl stále nastaven na násobení kmitočtu $5\times$. Výsledný fázový šum je na Obr. 5.13. Nakonec byl na obvod přiveden hodinový kmitočet 400 MHz a fázový závěs byl deaktivován, výsledek ukazuje Obr. 5.14 a Obr. 5.15.

Ze všech změřených průběhů je patrné, že i přes všechna vylepšení, není fázový závěs v AD9951 příliš kvalitní. Je vidět, že dochází ke zhoršení fázového šumu zvláště v oblasti vyšších offsetových kmitočtů, kde se objevuje výrazná špička.

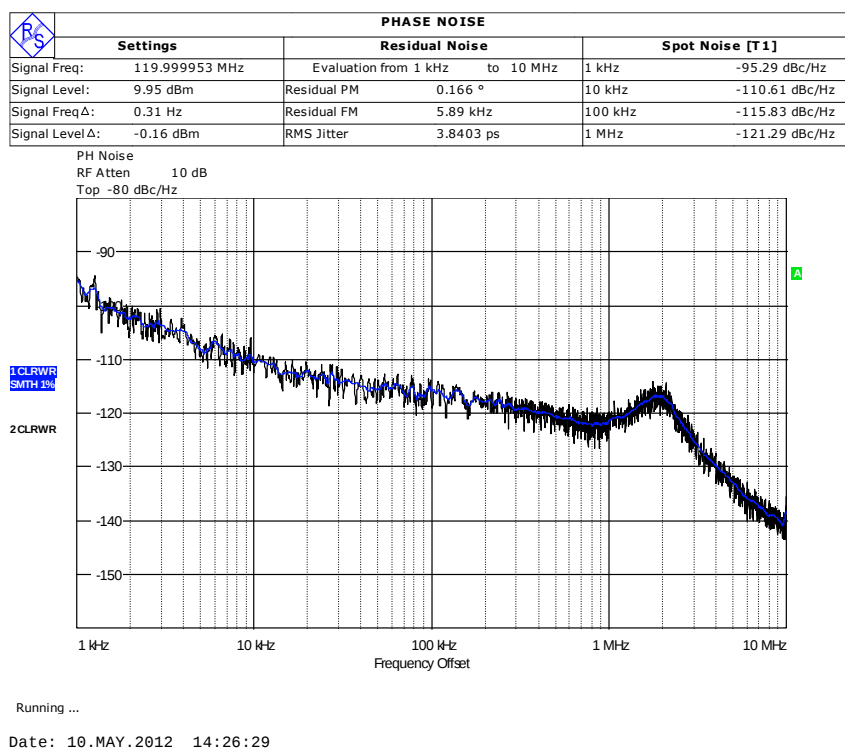
Pro náročné aplikace je přístroj vybaven konektorem pro připojení hodinového signálu přímo k AD9951. Jedno z možných řešení je vybavit stávající násobič $8\times$ dalším stupněm, který by kmitočet 80 MHz vynásobil na 400 MHz či 320 MHz. Z časových důvodů však tento blok nebyl realizován.



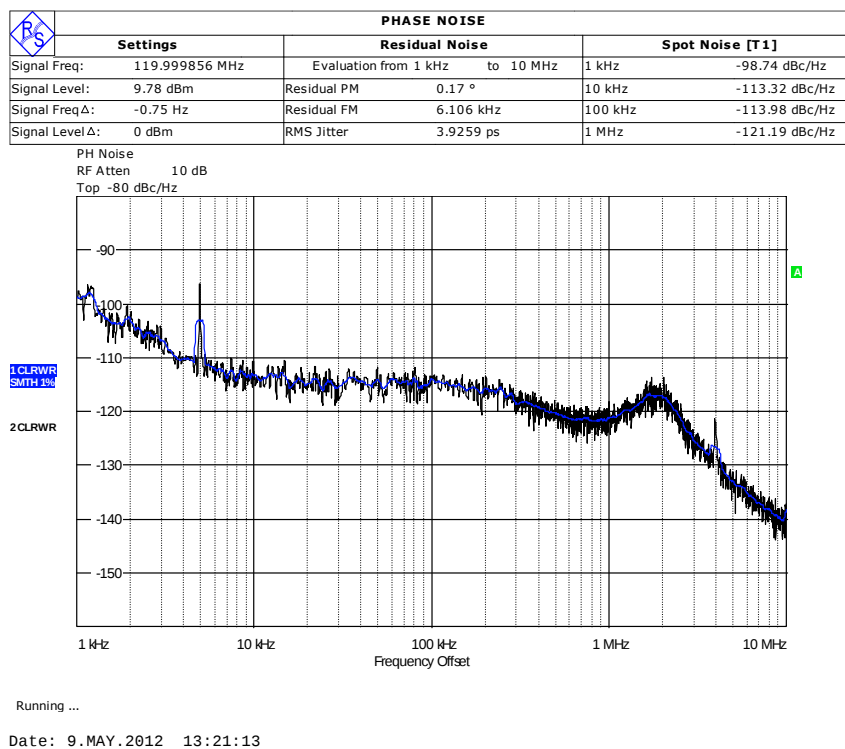
Obr. 5.10: Fázový šum výstupního signálu 40 MHz. Interní 10 MHz oscilátor.



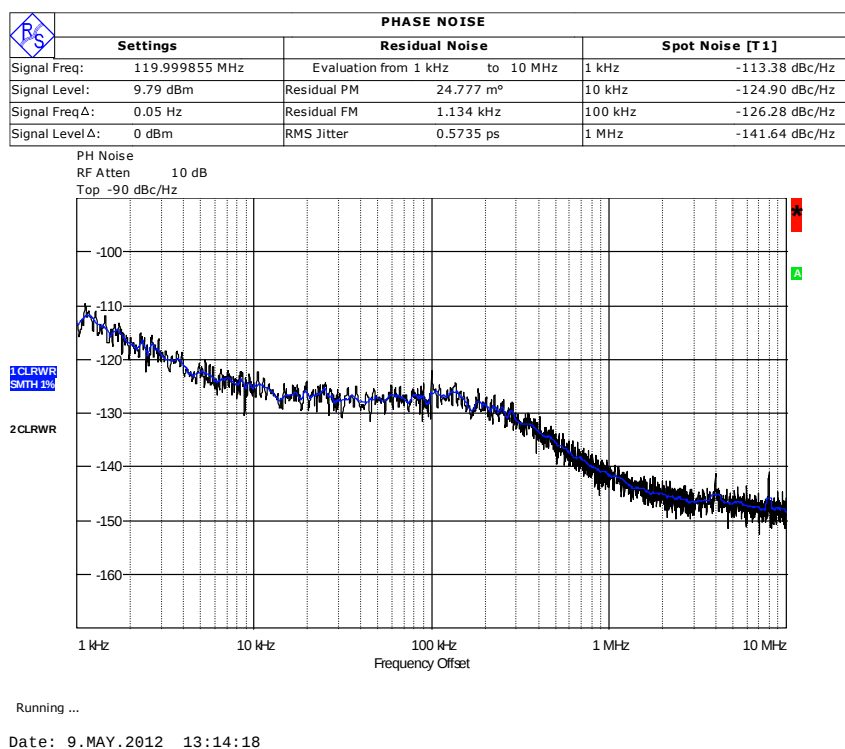
Obr. 5.11: Fázový šum výstupního signálu 80 MHz. Interní 10 MHz oscilátor.



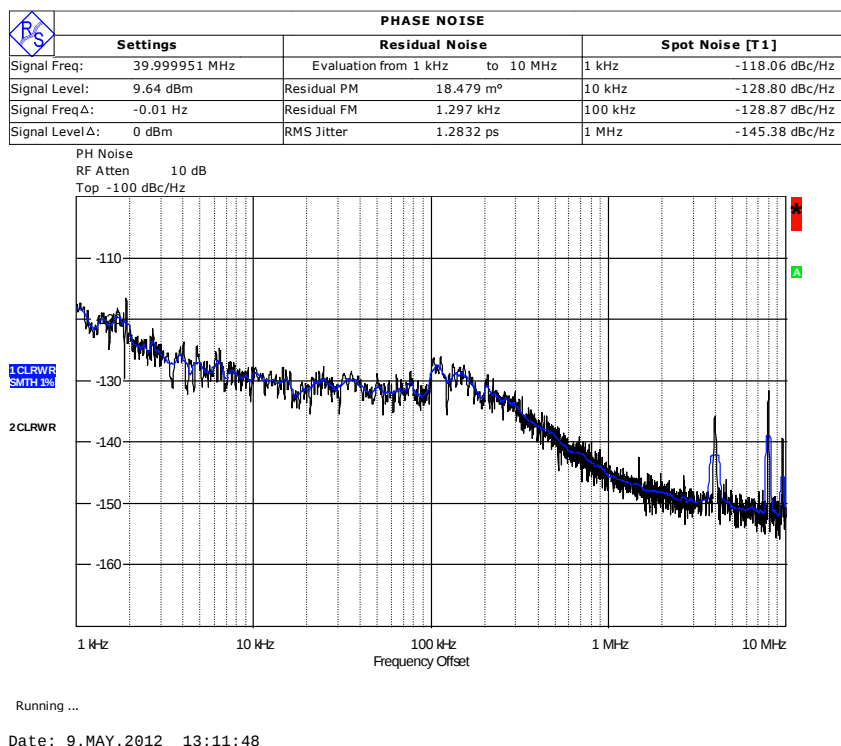
Obr. 5.12: Fázový šum výstupního signálu 120 MHz. Interní 10 MHz oscilátor.



Obr. 5.13: Fázový šum výstupního signálu 120 MHz. Externí 80 MHz hodinový signál.



Obr. 5.14: Fázový šum výstupního signálu 120 MHz. Externí 400 MHz hodinový signál.



Obr. 5.15: Fázový šum výstupního signálu 40 MHz. Externí 400 MHz hodinový signál.

Po deaktivaci PLL je fázový šum výstupního signálu určen fázovým šumem generátoru a zbytkovým fázovým šumem DDS obvodu, který má hodnotu -132 dBc/Hz na offsetovém kmitočtu 1 kHz při výstupním kmitočtu 40 MHz. Použitím generátoru SMIQ 02B jako zdroj 400 MHz hodinového kmitočtu, dojde při generování 40 MHz výstupního signálu k redukci fázového šumu podle rovnice (9) o 20 dB. Fázový šum generátoru -106 dBc/Hz na offsetovém kmitočtu 1 kHz (viz příloha C.2) se tedy sníží na hodnotu -126 dBc/Hz. Při uvažování zbytkového fázového šumu DDS je výsledný fázový šum -125 dBc/Hz. Na obrázku Obr. 5.15 je však úroveň šumu vyšší. V tomto případě je výsledek měření silně ovlivněn fázovým šumem referenčního oscilátoru použitého měřicího přístroje FSQ 3 [24]. Měření nízkých hodnot fázového šumu je tedy pouze orientační.

5.5 Napájení zařízení

Zařízení je primárně navrženo na napájecí napětí 12V, lze použít i nižší napětí, ale to by nemělo klesnout pod 9 V. Maximální trvalý odběr přístroje je přibližně 180 mA, což odpovídá výkonu 2,16 W při napětí 12 V. Velká část výkonu se ztrácí na lineárních stabilizátorech. Protože však velikost proudového odběru nebyla při návrhu kritická, byla dána přednost čistotě spektra, viz kapitola 3.8. Zařízení bylo ponecháno několik hodin v činnosti a nebyla pozorována žádná negativní změna funkce.

6 ZÁVĚR

V úvodu práce byl stručně vysvětlen princip přímé číslicové syntézy a popsány vlastnosti ve frekvenční oblasti. Dále se práce zabývá návrhem přímého frekvenčního číslicového syntezátoru.

Pro výslednou realizaci byl vybrán DDFS obvod AD9951 od firmy Analog Devices, jehož parametry splňují podmínky uvedené v zadání. Maximální hodinový kmitočet obvodu je 400 MHz a k nastavení kmitočtu se používá 32 bitový registr. Výhodou obvodu je, že obsahuje PLL násobič hodinového kmitočtu a umožňuje také digitálně měnit výstupní výkon. Jako rekonstrukční filtr byl použit eliptický filtr 7. řádu. Jeho vlastnosti byly ověřeny simulací a následně proměřeny na prototypu.

Pro úpravu hodinového signálu z externího normálu byl navržen a realizován násobič kmitočtu, založený na principu filtrování zkresleného signálu. Vzhledem k tomu, že násobí 8×, bylo zvoleno dvoustupňové řešení. Měření realizovaného násobiče ukázalo, že odstup nežádoucích složek je větší jak 55 dB, což je dostatečné pro použití v aplikaci. Pro zesílení výstupního signálu byl zvolen monolitický zesilovač ERA-5 od firmy Mini-Circuits se ziskem 20 dB, který zajišťuje požadovanou výstupní úroveň signálu +10 dBm. Výhodou je jednoduché zapojení, velký zisk a 50 Ω přírůstek vstupu i výstupu. Zřízení bylo sestaveno a umístěno do kovové krabičky.

Program pro mikrokontrolér byl vytvořen v prostředí Atmel AVR studio 5. Byl napsán ovladač obvodu AD9951 a zprovozněna softwarová USB komunikace. Jednoduchý uživatelský software pro počítač byl napsán v programu C++Builder 6.0. Uživatelský program dovoluje měnit nejen výstupní kmitočet a výkon, ale také nastavení fázového závěsu což zvyšuje rozsah použitelných kmitočtů referenčních zdrojů hodinového signálu. Další funkcí je kmitočtové rozmítání, modifikace korekčních konstant výkonu a předvoleb.

Na závěr práce bylo provedeno měření důležitých parametrů zařízení. Výstupní výkon dosahuje v celém požadovaném pásmu kmitočtů hodnoty +10 dBm. Zapnutím korekce lze generovat přesnou hodnotu výkonu. Dále byla proměřena čistota spektra v širším kmitočtovém pásmu. Harmonické zkreslení dosahuje přijatelných hodnot, ostatní parazitní složky jsou více jak 50 dB pod úrovní generovaného signálu. Na výstup proniká 100 MHz signál z vnitřních obvodů AD9951 a také 80 MHz signál z násobiče. Obě složky jsou potlačeny minimálně o 57 dB. Čistota v úzkém kmitočtovém pásmu je výborná, potlačení nežádoucích složek je větší jak 90 dB.

Měření fázového šumu bylo zjištěno, že interní fázový závěs se na offsetových kmitočtech kolem 2 MHz projevuje výraznou špičkou. Úpravou filtru smyčky byla tato špička snížena. Pro náročné aplikace je však vhodné fázový závěs nepoužívat. Pro tyto účely je možné přivést hodinový signál přímo na AD9951.

LITERATURA

- [1] HANUS, Stanislav; SVAČINA, Jiří. *Vysokofrekvenční a mikrovlnná technika*. Brno : FEKT VUT v Brně, 2002. 208 s.
- [2] PROKEŠ, Aleš. *Rádiové přijímače a vysílače*. Brno : FEKT VUT v Brně, 2005. 178 s.
- [3] VANKKA, Jouko. *Direct Digital Synthesizers: Theory, Design and Applications*. Helsinki, 2000. 208 s. Dizertační práce. Helsinki University of Technology.
- [4] KASAL, Miroslav. *Frekvenční syntéza v komunikačních systémech experimentální družice*. Brno : Vutium, 2005. 35 s.
- [5] *Fundamentals of Direct Digital Synthesis (DDS)* [online]. Massachusetts : Analog Devices, 2008 [cit. 2011-04-23]. Dostupné z WWW: <<http://www.analog.com/static/imported-files/tutorials/MT-085.pdf>>.
- [6] *A Technical Tutorial on Digital Signal Synthesis* [online]. Massachusetts : Analog Devices, 1999 [cit. 2011-04-23]. Dostupné z WWW: <http://www.analog.com/static/imported-files/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf>.
- [7] Signal Simulations of DDS in Mathcad worksheets. [online]. [cit. 2012-05-16]. Dostupné z: <<http://www.hit.bme.hu/~papay/sci/DDS/simul.htm>>.
- [8] Analog Devices. *400 MSPS 14-Bit, 1.8 V CMOS Direct Digital Synthesizer AD9951* [online]. Massachusetts : Analog Devices, 2009 [cit. 2011-04-24]. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD9951.pdf>.
- [9] Analog Devices. *400 MSPS 14-Bit, 1.8 V CMOS Direct Digital Synthesizer AD9954* [online]. Massachusetts : Analog Devices, 2009 [cit. 2011-04-24]. Dostupné z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD9954.pdf>.
- [10] Analog Devices. *AD9859, AD9951, AD9952, AD9953 and AD9954 Evaluation Board Schematics, Rev. D*. [online]. D. 2004 [cit. 2011-12-30]. Dostupné z WWW: <http://www.analog.com/static/imported-files/eval_boards/46543170023221AD9954_Rev_D_schem.pdf>.
- [11] ROSU, Iulian. *Frequency Multipliers* [online]. 2010 [cit. 2011-12-22]. Dostupné z WWW: <http://www.qsl.net/va3iul/Frequency_Multipliers/Frequency_Multipliers.pdf>.
- [12] Analog Devices. *DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance* [online]. Massachusetts, 2006 [cit. 2011-04-23]. Dostupné z WWW: <http://www.analog.com/static/imported-files/application_notes/351016224AN_837.pdf>.
- [13] Analog Devices. *AN-912 Driving a Center-Tapped Transformer with a Balanced Current-Output DAC*. [online]. 2007 [cit. 2012-05-12]. Dostupné z: <http://www.analog.com/static/imported-files/application_notes/AN_912.pdf>.
- [14] Coilcraft. *Surface Mount Wideband RF Transformers*. [online]. 2011 [cit. 2012-05-05]. Dostupné z WWW: <<http://www.coilcraft.com/pdfs/pwb.pdf>>.
- [15] Mini-Circuits. *Datasheet ERA-5+* [online]. New York : [s.n.], 2011 [cit. 2011-12-22]. Dostupné z WWW: <<http://minicircuits.com/pdfs/ERA-5+.pdf>>.
- [16] IQD Frequency Products. *CFPT-126 SMD TCVCXO*. [online]. 2010 [cit. 2012-05-07]. Dostupné z: <<http://www.iqdfrequencyproducts.com/products/details/cfpt-126-5-01.pdf>>.

- [17] Texas Instruments. *TXB0104 4-Bit Bidirectional Voltage-Level Translator*. [online]. 2006 [cit. 2012-05-12]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/txb0104.pdf>>.
- [18] Atmel. *Datasheet ATmega16A* [online]. USA : [s.n.], 2009 [cit. 2011-04-24]. Dostupné z WWW: <http://www.atmel.com/dyn/resources/prod_documents/doc8154.pdf>.
- [19] *V-USB Virtual USB port for AVR microcontrollers* [online]. 2011 [cit. 2011-05-02]. Dostupné z WWW: <<http://www.obdev.at>>.
- [20] Projekt JEDI Portal [online]. 2011 [cit. 2012-05-09]. Dostupné z: <<http://www.delphi-jedi.org/>>.
- [21] *MPOA – CV07: USB I - návod na počítačová cvičení*. 2009, 16s.
- [22] Fairchild Semiconductor. *LP2951 Adjustable Micro Power Voltage Regulator*. [online]. 1.0.3. 2010 [cit. 2011-12-30]. Dostupné z: <<http://www.fairchildsemi.com/ds/LP/LP2951.pdf>>.
- [23] Texas Instruments. *4ppm/°C, 100μA, SOT23-6 SERIES VOLTAGE REFERENCE*. [online]. 2011 [cit. 2012-05-17]. Dostupné z: <<http://www.ti.com/lit/gpn/ref3233>>.
- [24] Rohde & Schwarz. *Signal Analyzer R&S FSQ - Specifications*. [online]. 2005 [cit. 2012-05-16]. Dostupné z: <http://www.testbuyer.com/pdf/specs.cfm?pdf_id=5C0159B7>.

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

f_{CLOCK}	kmítočet hodinového signálu
f_0	kmítočet výstupního signálu
T_{CLOCK}	perioda hodinového signálu
D	hodnota v delta registru
FFS	fraction of fullscale
ACK	acknowledge
ASF	Amplitude Scale Factor; registr AD9951 sloužící ke změně amplitudy
CFR1	Control Function Register No.1; registr AD9951
DAC	D/A převodník
DDFS	Direct Digital Frequency Synthesis
DDS	Direct Digital Synthesis
FFT	fast Fourier transform
FTW	frequency tuning word; ladicí slovo
HID	Human interface device
I/O	input/output; vstup/výstup
LED	Light-Emitting Diode
LSB	Least Significant Bit
MOSFET	metal–oxide–semiconductor field-effect transistor
MSB	Most Significant Bit
OSK	shaped on/off keying
PLL	phase-locked loop; smyčka fázového závěsu
PPT	Primary Phase Truncation Spur
RBW	resolution bandwidth
RF	radiofrekvenční
ROM	Read-Only Memory
SRAM	Static Random Access Memory
SFDR	spurious-free dynamic range
UART	Universal Synchronous / Asynchronous Receiver and Transmitter
USB	Universal Serial Bus

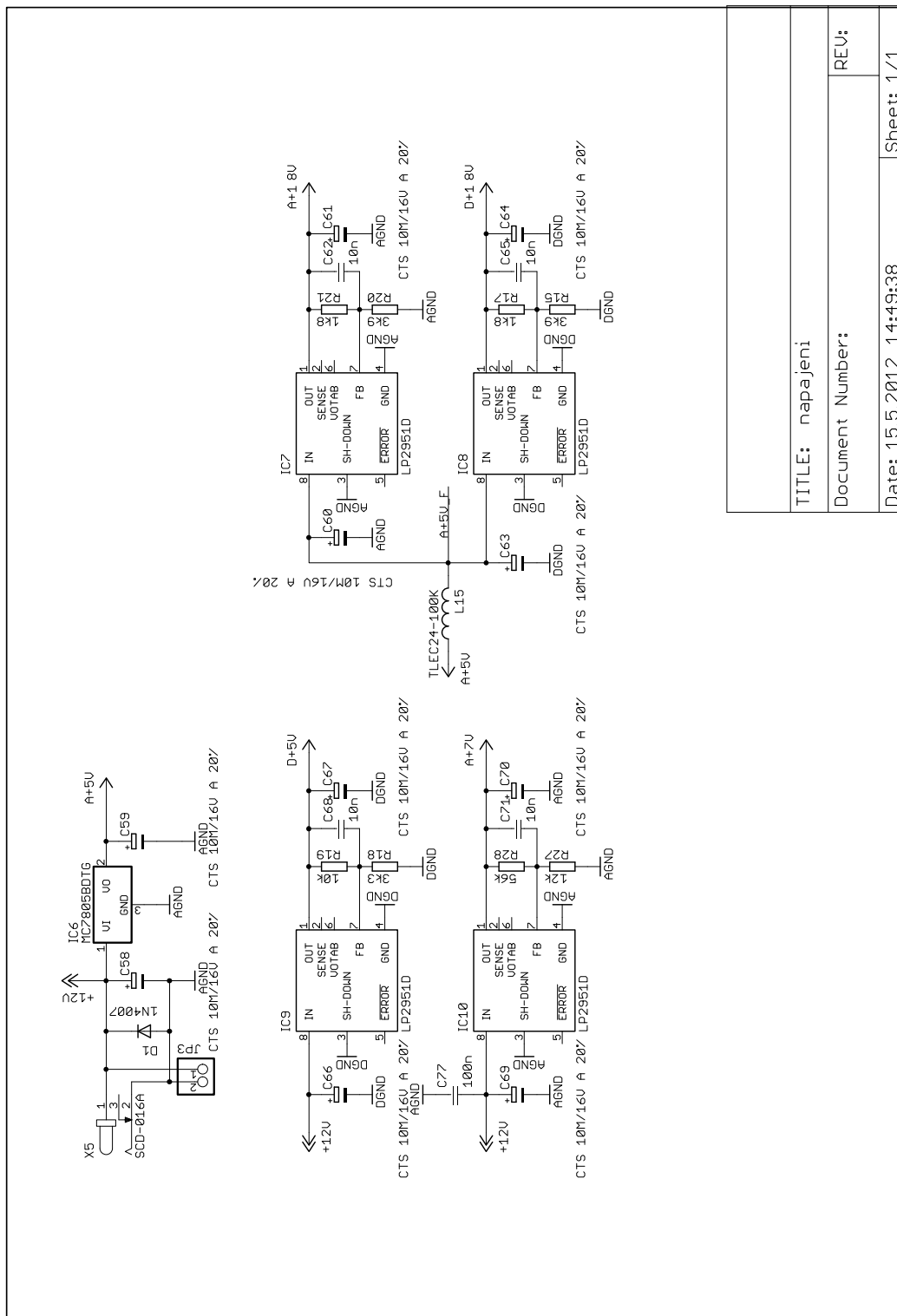
SNR	signal-to-noise ratio; poměr signál-šum
SPI	Serial Peripheral Interface
SSB	Single Side Band
VF	vysokofrekvenční

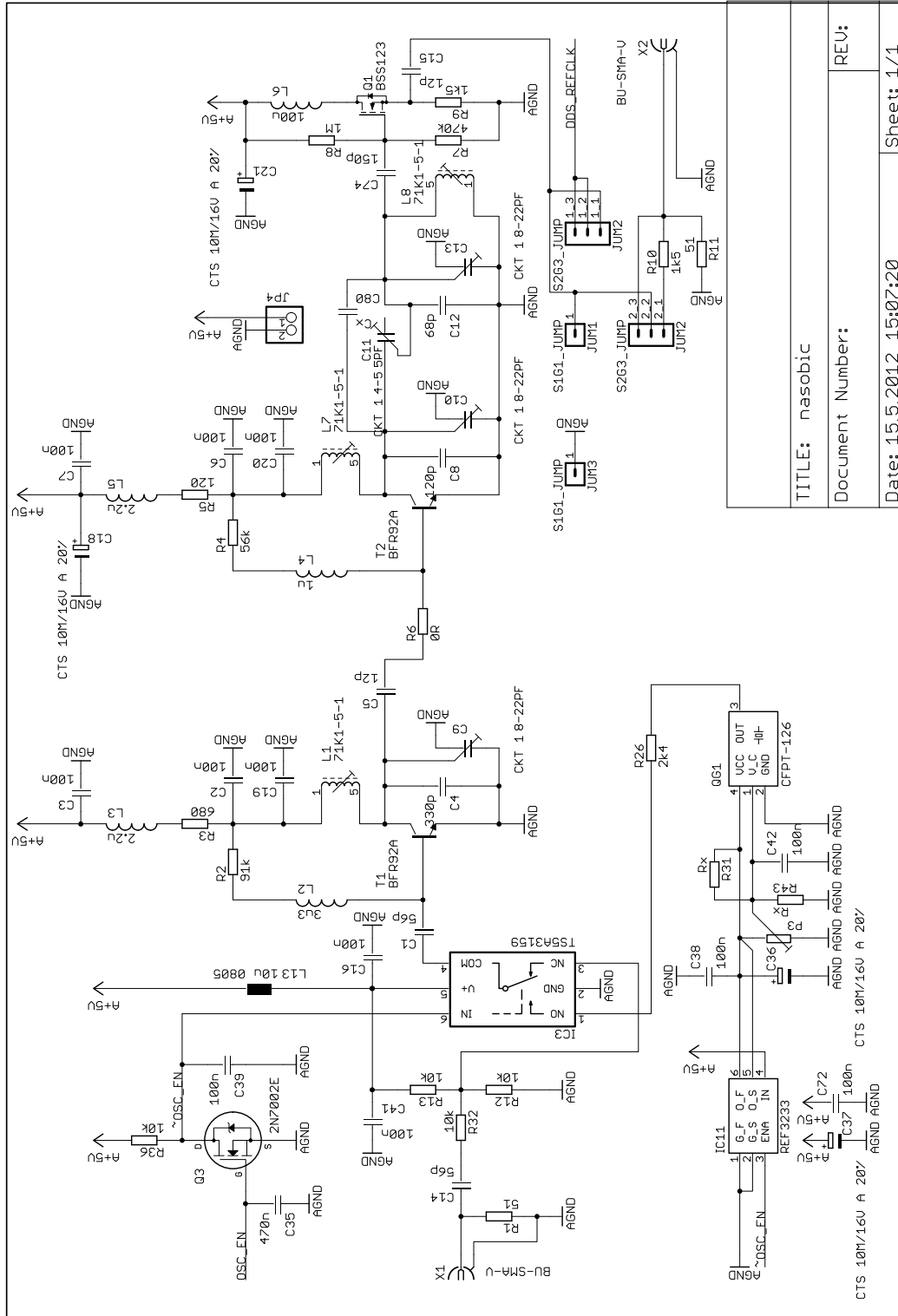
SEZNAM PŘÍLOH

A	Návrh zařízení - hlavní část	67
A.1	Obvodové zapojení hlavní části	67
A.2	Deska plošného spoje hlavní části – top (strana součástek)	71
A.3	Deska plošného spoje hlavní části – bottom (strana spojů)	71
A.4	Osazovací plán hlavní části - top	72
A.5	Osazovací plán hlavní části - bottom	72
A.6	Seznam součástek hlavní části	73
B	Návrh zařízení - přední panel	76
B.1	Obvodové zapojení předního panelu	76
B.2	Deska plošného spoje předního panelu - top (strana součástek)	77
B.3	Deska plošného spoje předního panelu - bottom (strana spojů)	77
B.4	Osazovací plán předního panelu - top	77
B.5	Osazovací plán předního panelu - bottom	78
B.6	Seznam součástek hlavního panelu	78
B.7	Potisk předního panelu a zadní strany přístroje	79
C	Fázový šum generátoru SMIQ 02B	80
C.1	Výstupní signál o kmitočtu 80 MHz	80
C.2	Výstupní signál o kmitočtu 400 MHz	80

A NÁVRH ZAŘÍZENÍ - HLAVNÍ ČÁST

A.1 Obvodové zapojení hlavní části



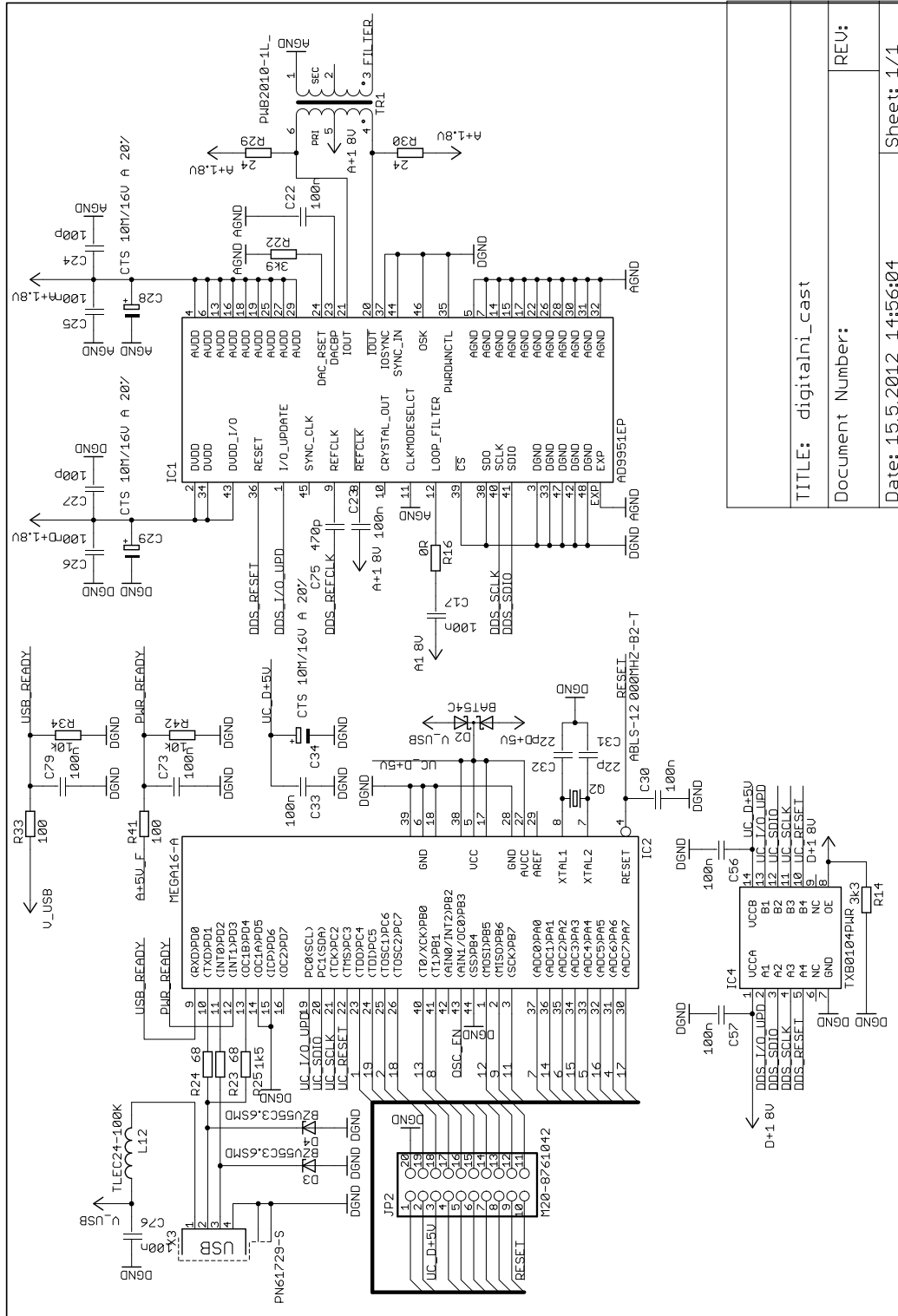


TITLE: nasobic

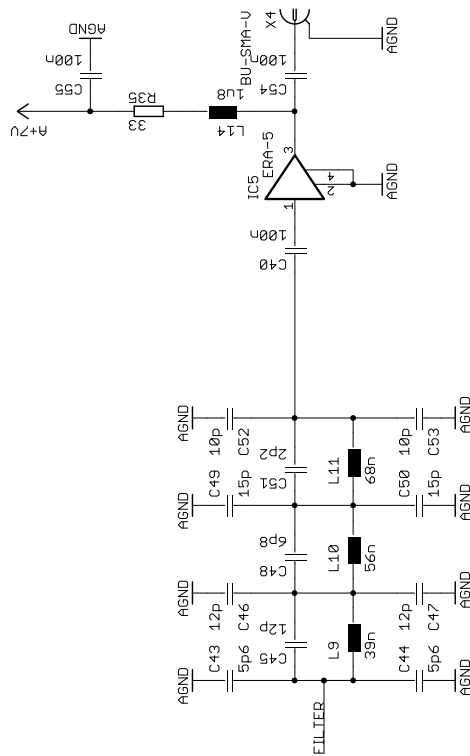
Document Number:

REV:

Date: 15.5.2012 15:07:20 Sheet: 1/1

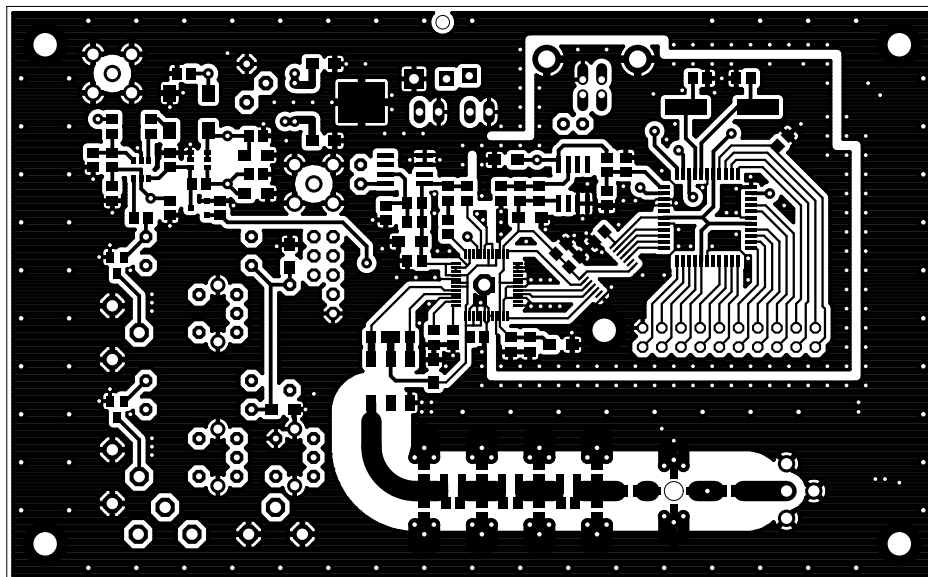


TITLE: digitalini_cast	
Document Number:	REV:
Date: 15.5.2012 14:56:04	Sheet: 1/1



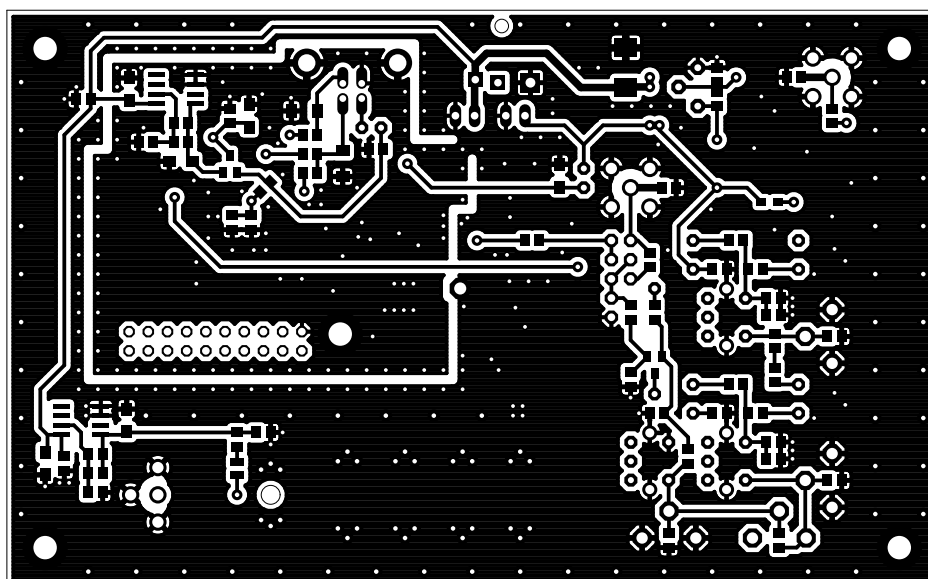
TITLE: filtr_a_zesilovac		
Document Number:		REV:
Date: 15.5.2012 14:43:20	Sheet: 1/1	

A.2 Deska plošného spoje hlavní části - top (strana součástek)



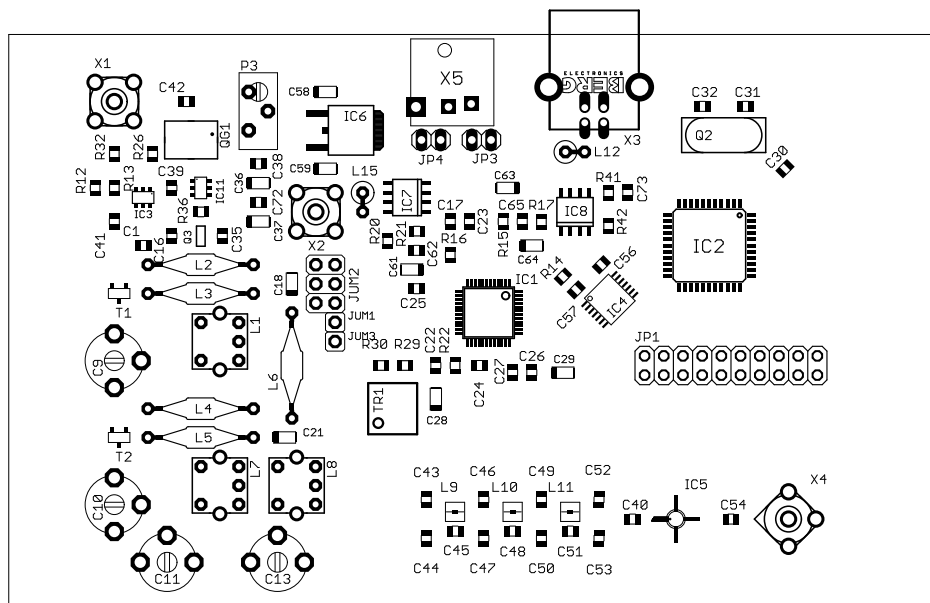
Rozměr desky 77 x 124 [mm], měřítko M1:1

A.3 Deska plošného spoje hlavní části - bottom (strana spojů)

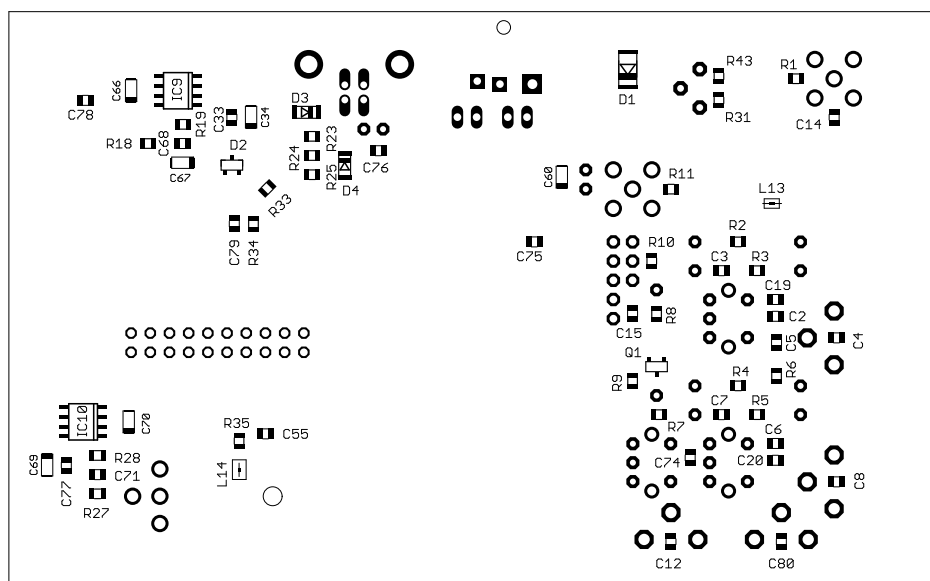


Rozměr desky 77 x 124 [mm], měřítko M1:1

A.4 Osazovací plán hlavní části - top



A.5 Osazovací plán hlavní části - bottom



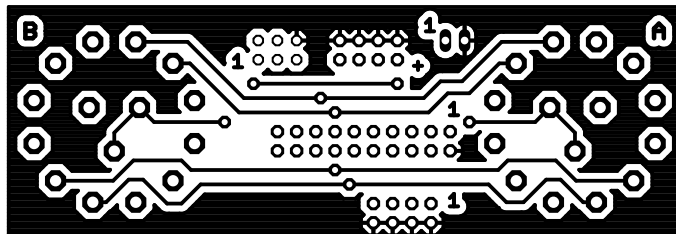
A.6 Seznam součástek hlavní části

Označení	Hodnota	Pouzdro	Popis
C1	56p	C0805	Keramický kondenzátor
C2	100n	C0805	Keramický kondenzátor
C3	100n	C0805	Keramický kondenzátor
C4	330p	C0805	Keramický kondenzátor
C5	12p	C0805	Keramický kondenzátor
C6	100n	C0805	Keramický kondenzátor
C7	100n	C0805	Keramický kondenzátor
C8	120p	C0805	Keramický kondenzátor
C9	CKT 1.8-22PF	CKT	Kapacitní trimr
C10	CKT 1.8-22PF	CKT	Kapacitní trimr
C11	CKT 1.4-5.5PF	CKT	Kapacitní trimr
C12	68p	C0805	Keramický kondenzátor
C13	CKT 1.8-22PF	CKT	Kapacitní trimr
C14	56p	C0805	Keramický kondenzátor
C15	12p	C0805	Keramický kondenzátor
C16	100n	C0805	Keramický kondenzátor
C17	100n	C0805	Keramický kondenzátor
C18	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C19	100n	C0805	Keramický kondenzátor
C20	100n	C0805	Keramický kondenzátor
C21	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C22	100n	C0805	Keramický kondenzátor
C23	100n	C0805	Keramický kondenzátor
C24	100p	C0805	Keramický kondenzátor
C25	100n	C0805	Keramický kondenzátor
C26	100n	C0805	Keramický kondenzátor
C27	100p	C0805	Keramický kondenzátor
C28	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C29	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C30	100n	C0805	Keramický kondenzátor
C31	22p	C0805	Keramický kondenzátor
C32	22p	C0805	Keramický kondenzátor
C33	100n	C0805	Keramický kondenzátor
C34	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C35	470n	C0805	Keramický kondenzátor
C36	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C37	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C38	100n	C0805	Keramický kondenzátor
C39	100n	C0805	Keramický kondenzátor
C40	100n	C0805	Keramický kondenzátor
C41	100n	C0805	Keramický kondenzátor
C42	100n	C0805	Keramický kondenzátor
C43	5p6	C0805	Keramický kondenzátor
C44	5p6	C0805	Keramický kondenzátor
C45	12p	C0805	Keramický kondenzátor
C46	12p	C0805	Keramický kondenzátor
C47	12p	C0805	Keramický kondenzátor
C48	6p8	C0805	Keramický kondenzátor
C49	15p	C0805	Keramický kondenzátor
C50	15p	C0805	Keramický kondenzátor
C51	2p2	C0805	Keramický kondenzátor
C52	10p	C0805	Keramický kondenzátor
C53	10p	C0805	Keramický kondenzátor

C54	100n	C0805	Keramický kondenzátor
C55	100n	C0805	Keramický kondenzátor
C56	100n	C0805	Keramický kondenzátor
C57	100n	C0805	Keramický kondenzátor
C58	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C59	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C60	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C61	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C62	10n	C0805	Keramický kondenzátor
C63	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C64	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C65	10n	C0805	Keramický kondenzátor
C66	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C67	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C68	10n	C0805	Keramický kondenzátor
C69	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C70	CTS 10M/16V A 20%	SMC_A	Tantalový kondenzátor
C71	10n	C0805	Keramický kondenzátor
C72	100n	C0805	Keramický kondenzátor
C73	100n	C0805	Keramický kondenzátor
C74	150p	C0805	Keramický kondenzátor
C75	470p	C0805	Keramický kondenzátor
C76	100n	C0805	Keramický kondenzátor
C77	100n	C0805	Keramický kondenzátor
C78	100n	C0805	Keramický kondenzátor
C79	100n	C0805	Keramický kondenzátor
C80	Cx	C0805	Keramický kondenzátor
D1	1N4007	MELF-MLL41	Usměrňovací dioda
D2	BAT54C	SOT23	Schottkyho dioda
D3	BZV55C3.6SMD	SOD80C	Zenerova dioda
D4	BZV55C3.6SMD	SOD80C	Zenerova dioda
IC1	AD9951EP	QFP-7X7-48	Obvod DDS
IC2	MEGA16-A	TQFP44	Mikrokontrolér
IC3	TS5A3159	SOT23-6	Elektronický přepínač
IC4	TXB0104PWR	TSSOP(PW)-14	Konvertor napětových úrovní
IC5	ERA-5	VV	Monolitický zesilovač
IC6	MC7805BDTG	TO252	Stabilizátor napětí
IC7	LP2951D	SO08	Stabilizátor napětí
IC8	LP2951D	SO08	Stabilizátor napětí
IC9	LP2951D	SO08	Stabilizátor napětí
IC10	LP2951D	SO08	Stabilizátor napětí
IC11	REF3233	SOT23-6	Napětová reference
JP1	-	2X10	Pinová lišta
JP3	-	1X02	Pinová lišta
JP4	-	1X02	Pinová lišta
JUM1	S1G1_JUMP	S1G1_JUM	Pinová lišta
JUM2	S2G3_JUMP	S2G3_JUM	Pinová lišta
JUM3	S1G1_JUMP	S1G1_JUM	Pinová lišta
L1	RFC 71SE	71K	Cívková sada
L2	3u3	IRF24	Tlumivka - axiální drátové vývody
L3	2.2u	IRF24	Tlumivka - axiální drátové vývody
L4	1u	IRF24	Tlumivka - axiální drátové vývody
L5	2.2u	IRF24	Tlumivka - axiální drátové vývody
L6	100u	IRF24	Tlumivka - axiální drátové vývody
L7	RFC 71SE	71K	Cívková sada
L8	RFC 71SE	71K	Cívková sada
L9	39n	WE-KI_1008_B	SMD cívka
L10	56n	WE-KI_1008_B	SMD cívka
L11	68n	WE-KI_1008_B	SMD cívka
L12	TLEC24-100K	TLEC24V	Tlumivka - axiální drátové vývody

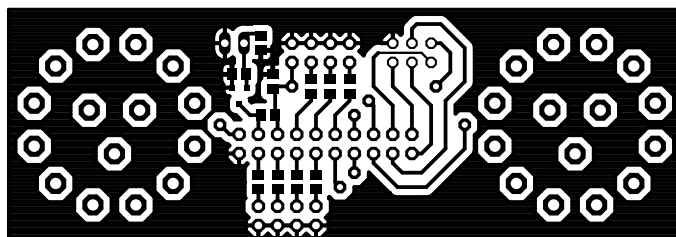
L13	10u 0805	0805	SMD tlumivka
L14	1.8u	WE-KI_0805_B	SMD tlumivka
L15	TLEC24-100K	TLEC24V	Tlumivka - axiální drátové vývody
P3	10k	64Y	Víceotáčkový trimr
Q1	BSS123	SOT23	Tranzistor MOSFET
Q2	ABLS-12.000MHZ-B2-T	CSM-7X-DU	SMD krystal
Q3	2N7002E	SOT-23	Tranzistor MOSFET
QG1	CFPT-126	CFPT-126	TCXO
R1	51	R0805	Rezistor
R2	91k	R0805	Rezistor
R3	680	R0805	Rezistor
R4	56k	R0805	Rezistor
R5	120	R0805	Rezistor
R6	0R	R0805	Rezistor
R7	470k	R0805	Rezistor
R8	1M	R0805	Rezistor
R9	1k5	R0805	Rezistor
R10	1k5	R0805	Rezistor
R11	51	R0805	Rezistor
R12	10k	R0805	Rezistor
R13	10k	R0805	Rezistor
R14	3k3	R0805	Rezistor
R15	3k9	R0805	Rezistor
R16	0R	R0805	Rezistor
R17	1k8	R0805	Rezistor
R18	3k3	R0805	Rezistor
R19	10k	R0805	Rezistor
R20	3k9	R0805	Rezistor
R21	1k8	R0805	Rezistor
R22	3k9	R0805	Rezistor
R23	68	R0805	Rezistor
R24	68	R0805	Rezistor
R25	1k5	R0805	Rezistor
R26	2k4	R0805	Rezistor
R27	12k	R0805	Rezistor
R28	56k	R0805	Rezistor
R29	24	R0805	Rezistor
R30	24	R0805	Rezistor
R32	1k6	R0805	Rezistor
R33	100	R0805	Rezistor
R34	10k	R0805	Rezistor
R35	33	R0805	Rezistor
R36	10k	R0805	Rezistor
R41	100	R0805	Rezistor
R42	10k	R0805	Rezistor
T1	BFR92A	SOT23-BEC	Bipolární tranzistor
T2	BFR92A	SOT23-BEC	Bipolární tranzistor
TR1	PWB2010-1L_	PWB	SMD VF transformátor
X1	BU-SMA-V	BU-SMA-V	SMA konektor
X2	BU-SMA-V	BU-SMA-V	SMA konektor
X3	PN61729-S	PN61729-S	USB konektor
X4	BU-SMA-V	BU-SMA-V	SMA konektor
X5	SCD-016A	SDC-016A	Napájecí konektor

B.2 Deska plošného spoje předního panelu - top (strana součástek)



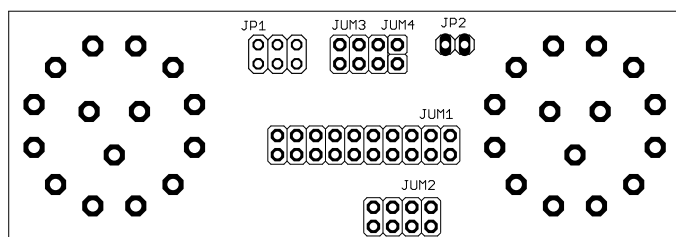
Rozměr desky 31 x 89 [mm], měřítko M1:1

B.3 Deska plošného spoje předního panelu - bottom (strana spojů)

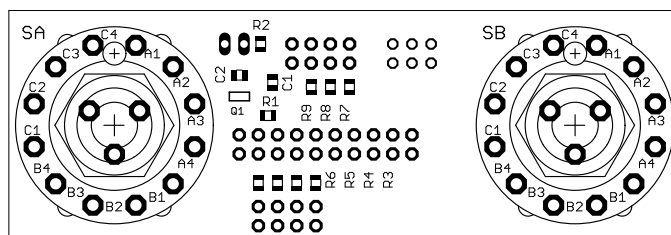


Rozměr desky 31 x 89 [mm], měřítko M1:1

B.4 Osazovací plán předního panelu - top



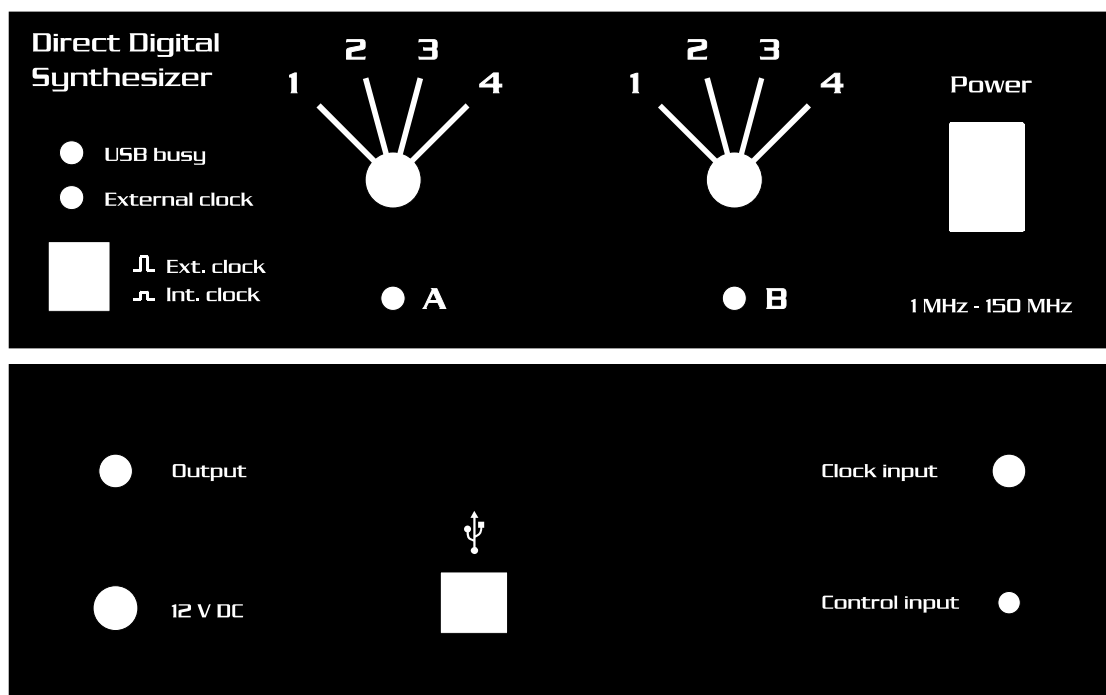
B.5 Osazovací plán předního panelu - bottom



B.6 Seznam součástek hlavního panelu

Označení	Hodnota	Pouzdro	Popis
C1	100n	C-EUC0805	Keramický kondenzátor
C2	100n	C-EUC0805	Keramický kondenzátor
JP1	-	PINHD-2X3	Pinová lišta
JP2	-	PINHD-1X2	Pinová lišta
JUM1	S2G10_JUMP	S2G10_JUMP	Pinová lišta
JUM2	S2G4_JUMP	S2G4_JUMP	Pinová lišta
JUM3	S2G3_JUMP	S2G3_JUMP	Pinová lišta
JUM4	S1G2_JUMP	S1G2_JUMP	Pinová lišta
Q1	2N7002 SMD	2N7002_SOT23	Tranzistor MOSFET
R1	10k	R-EU_R0805	Resistor
R2	10k	R-EU_R0805	Resistor
R3	3k3	R-EU_R0805	Resistor
R4	3k3	R-EU_R0805	Resistor
R5	3k3	R-EU_R0805	Resistor
R6	3k3	R-EU_R0805	Resistor
R7	3k3	R-EU_R0805	Resistor
R8	0R	R-EU_R0805	Resistor
R9	0R	R-EU_R0805	Resistor
SA	-	CK103X04	Otočný přepínač - 4 polohy
SB	-	CK103X04	Otočný přepínač - 4 polohy

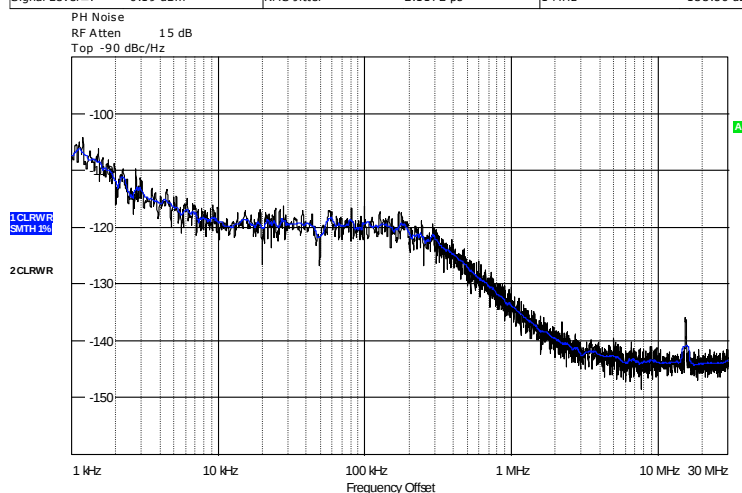
B.7 Potisk předního panelu a zadní strany přístroje



C FÁZOVÝ ŠUM GENERÁTORU SMIQ 02B

C.1 Výstupní signál o kmitočtu 80 MHz

PS	PHASE NOISE			
	Settings	Residual Noise		Spot Noise [T1]
Signal Freq:	79.999912 MHz	Evaluation from 1 kHz	to 30 MHz	1 kHz -107.48 dBc/Hz
Signal Level:	15.49 dBm	Residual PM	60.974 m°	10 kHz -119.18 dBc/Hz
Signal FreqΔ:	0.03 Hz	Residual FM	8.722 kHz	100 kHz -119.39 dBc/Hz
Signal LevelΔ:	-0.19 dBm	RMS Jitter	2.1172 ps	1 MHz -133.86 dBc/Hz

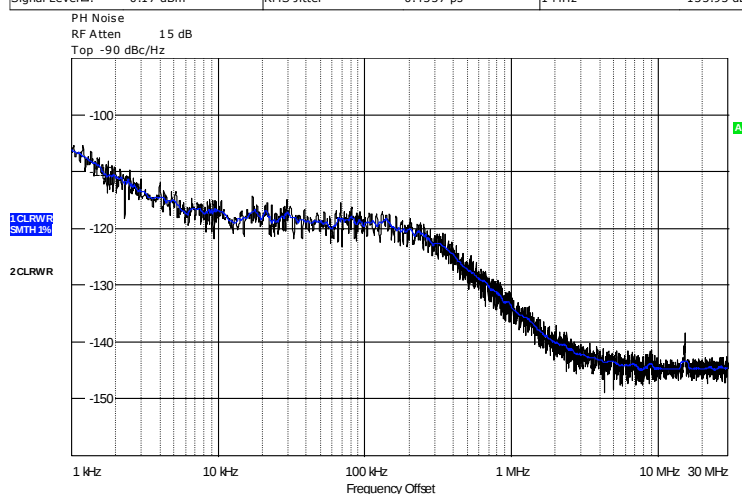


Running ...

Date: 3.MAY.2012 10:38:59

C.2 Výstupní signál o kmitočtu 400 MHz

PS	PHASE NOISE			
	Settings	Residual Noise		Spot Noise [T1]
Signal Freq:	399.999562 MHz	Evaluation from 1 kHz	to 30 MHz	1 kHz -106.21 dBc/Hz
Signal Level:	15.06 dBm	Residual PM	62.449 m°	10 kHz -116.85 dBc/Hz
Signal FreqΔ:	-0.24 Hz	Residual FM	8.019 kHz	100 kHz -119.08 dBc/Hz
Signal LevelΔ:	-0.17 dBm	RMS Jitter	0.4337 ps	1 MHz -133.93 dBc/Hz



Running ...

Date: 3.MAY.2012 10:37:49