

Abstrakt

Disertační práce představuje nové polovodičové struktury, které lze použít jako elektrostatické ochrany v integrovaných obvodech. Základem pro návrh zmíněných struktur se stala horizontální čtyřvrstvá tyristorová struktura, která byla dále modifikována tak, aby umožňovala variabilitu spouštěcího a udržovacího napětí v závislosti na rozměrech masky. Na základě výsledků z modelování byly vyrobeny vzorky těchto struktur a jejich vlastnosti byly ověřeny měřením. Dále byly navrženou ochranou byl systém s bipolárním tranzistorem jako spínačem elektrostatické ochrany. Tento přístup byl simulován a ověřován na vyrobených vzorcích. Výhody a nevýhody představených ochran jsou v práci rozebrány.

Abstract

The thesis introduces new semiconductor structures that are used as protections against Electrostatic Discharge occurring in integrated circuits. The fundamental structure for modeling and simulation has been lateral Silicon Controlled Rectifier. This SCR structure has been modified to enable tuning of the triggering and holding voltages by changing geometrical mask dimensions. On the base of modeling and simulation the new proposed structures have been published. Also several protection structures have been designed to be manufactured and measured on a testchip. The final electrical behavior has been verified by measurement. Finally, the focus has been aided to protection circuit with bipolar transistor. This approach has been also simulated and verified by measurement. Advantages and disadvantages of the proposed protection structures are commented in the thesis.

Obsah

1. ÚVOD	3
2. DOSAVADNÍ VÝVOJ.....	5
2.1 PŘEHLED PROBLEMATIKY	5
2.2 MODELÝ ELEKTROSTATICKEHO VÝBOJE.....	7
2.3 ROZMÍSTĚNÍ ESD OCHRAN V INTEGROVANÝCH OBVODECH	9
2.4 VÝVOJ NAPĚŤOVĚ SPOUŠTĚNÝCH OCHRAN PRO IO A JEJICH VLASTNOSTI.....	17
2.5 STRUČNÝ POPIS SIMULAČNÍHO PROGRAMU ISE TCAD	30
3. CÍLE DISERTACE	32
4. REALIZACE CÍLŮ DISERTAČNÍ PRÁCE	34
4.1 STANOVENÍ PŘÍSTUPU K ŘEŠENÍ	34
4.2 ROZBOR ČINNOSTI OCHRANNÉ TYRISTOROVÉ STRUKTURY	37
4.3 FYZIKÁLNÍ PODSTATA VÝPOČTŮ SIMULAČNÍHO NÁSTROJE TCAD.....	43
4.3.1 Rekapitulace vodivosti polovodičů	43
4.3.2 Rovnice polovodiče ve výpočtech nástroje TCAD	43
4.3.2 Lavinová ionizace závěrně polarizovaného přechodu.....	44
4.4 VOLBA VHODNÝCH POLOVODIČOVÝCH STRUKTUR PRO ŘEŠENÍ	48
4.5 TYRISTOR S NÍZKÝM SPOUŠTĚCÍM NAPĚTÍM (LVTSCR).....	50
4.5.1 Výsledky z modelování a simulace.....	51
4.5.2 Výsledky měření vzorků vyrobených v CMOS technologii.....	57
4.5.3 Výsledky měření vzorků vyrobených v BiCMOS technologii.....	58
4.6 TYRISTOR S LADITELNÝM UDRŽOVACÍM NAPĚTÍM (HVASCR)	59
4.6.1 Výsledky z modelování a simulace.....	60
4.6.2 Výsledky měření vzorků vyrobených v CMOS technologii.....	67
4.6.3 Výsledky měření vzorků vyrobených v BiCMOS technologii.....	69
4.7 VARIABILNÍ HORIZONTÁLNÍ TYRISTOR (VLSCR).....	71
4.7.1 Výsledky z modelování a simulace.....	71
4.7.2 Výsledky měření vzorků vyrobených v CMOS technologii.....	80
4.7.3 Výsledky měření vzorků vyrobených v BiCMOS technologii.....	82
4.7.4 Zhodnocení laditelnosti struktury VLSCR.....	83
4.8 ESD OCHRANA SE SPÍNACÍM BIPOLÁRNÍM TRANZISTOREM	85
5. ZÁVĚR.....	93
LITERATURA	98
PUBLIKACE DOKTORANDA	103
SEZNAM OBRÁZKŮ A GRAFŮ.....	104
SEZNAM TABULEK	107
SEZNAM POUŽITÝCH ZKRATEK.....	108
PŘÍLOHY.....	110

1. Úvod

Přitahování a odpuzování nabitých těles je pozorováno už od starověku. V současném pojetí se za zdroje přitažlivých a odpudivých sil označují elektrické náboje, které vznikají třením na povrchu některých předmětů. Vyrovnáváním různých napěťových potenciálů, které při tření mohou vznikat, dochází k elektrostatickému výboji (ESD = electrostatic discharge). Tento jev může mít mnoho podob, přičemž mezi nejznámější patří jiskření a blesk, které fascinují svým doprovodným světelným a zvukovým efektem. Jiskry jsou také výsledkem ionizace vzdušné mezery mezi nabitým lidským tělem a nulovým potenciálem povrchu kovového předmětu. Elektrická pevnost vzduchu se může pohybovat v rozmezí od 4 do 30 kV/cm, záleží na aktuální vlhkosti vzduchu [25].

Z historie existuje mnoho příkladů, kdy elektrostatická elektřina způsobila vážné škody na majetku a na zdraví lidí. Jedním z nich je i nešťastná havárie vzducholodi LZ 129 Hindenburg, která byla zničena požárem 6. května v roce 1937. Za nejpravděpodobnější příčinu havárie je dodnes považován elektrostatický výboj, který zřejmě vznikl po dotyku kotvících lan se zemí v momentě, kdy drobný déšť způsobil, že lana začala být vodivá.

Hrozba elektrostatického výboje uvnitř integrovaného obvodu vznikla především kvůli zmenšování rozměrů polovodičových struktur. Polovodičový průmysl se musel začít touto skutečností vážně zabývat, protože elektrostatické výboje způsobovaly destruktivní průrazy součástek. Ekonomické ztráty polovodičového průmyslu začaly být značné. To vedlo k intenzivnímu výzkumu této problematiky a k postupnému zavádění ochranných prvků do struktury integrovaných obvodů. V roce 2006 bylo asi 37 % z celkového objemu reklamovaných integrovaných obvodů

poškozeno elektrostatickým výbojem v průběhu výroby [60]. Asi 26 % z celkového objemu reklamací má původ v nedokonalé výrobě, 14 % v montáži a za zbytek mohou jiné příčiny [60]. Proto je v současnosti věnována problematice ESD velká pozornost.

Postupně nastal pokrok při rozpoznání různých druhů časového průběhu elektrostatického výboje. Toto umožnilo definici a realizaci testovacích metod, které charakterizují konkrétní druh ESD. Bylo zjištěno, že v IO nastávají především dva typy výboje.

První typ předpokládá přístup elektrostaticky nabitě osoby k součástce nebo k integrovanému obvodu. Při styku nabitého člověka s vývodem integrovaného obvodu dojde k vybití kapacity lidského těla skrz integrovaný obvod do země. Tento model ESD se nazývá Model lidského těla (Human Body Model) a označuje se zkratkou HBM [3]. Původně byl v Japonsku zaveden tzv. Model stroje (Machine Model) označovaný MM, který je obdobou HBM, ale má přísnější kritéria.

Druhý typ výboje v IO vychází ze skutečnosti, že se IO při výrobě dostane do styku s nabitými částmi jiných přístrojů nebo průmyslového vybavení. Model, který popisuje průběh takového výboje se označuje Model nabitého zařízení (Charged Device Model) neboli CDM [54, 9]. Někdy se také zavádí model „Field Induced Charged Device Model“ (FCDM)[50, 39]. Existují i jiné modely, které jsou určitou obdobou výše zmíněných modelů. Všechny modely jsou definovány mezinárodními standardy ISO, IEC nebo IEEE.

Od chvíle kdy se začaly ESD události simulovat pomocí definovaných modelů, se vyvíjí strategie ochrany IO proti ESD. Strategií ochrany IO existuje celá řada, koncepty ochran v integrovaném obvodu využívají dvou-pólové ochrany, které odvádí výboj bezpečnou cestou uvnitř IO. Tyto ochrany jsou tvořeny polovodičovými součástkami, které použitá technologie nabízí. Nejčastější ochranou je dioda pracující v závěrném či propustném směru. Velmi častým ochranným prvkem je také MOS tranzistor s uzemněným hradlem zapojený v konfiguraci diody. Podle způsobu sepnutí ESD ochrany se rozlišují ochrany spínané napětově, kapacitně nebo frekvenčně.

Tato práce je zaměřena na modelování a návrh napěťově spouštěných ESD ochran a byla prováděna ve spolupráci se společností ON Semiconductor v návrhovém středisku Czech Design Centre v Rožnově pod Radhoštěm. Předmětem prvotního výzkumu a modelování bylo zkoumání tyristorových struktur a možnosti jejich aplikace v návrhu ESD ochran, následně ladění jejich AV charakteristik. Všechny cíle výzkumu jsou rozebrány v kapitole Cíle disertace. Základem pro modelování a návrh ochran byly informace ze společnosti ON Semiconductor a informace získané z odborných článků. Pro modelování byl použit simulační program TCAD. Konečné ověření funkčnosti modelovaných a navržených ochranných struktur, včetně struktury se spínacím bipolárním tranzistorem, bylo provedeno měřením vyrobených vzorků v technologii BiCMOS a CMOS v Rožnově pod Radhoštěm.

2. Dosavadní vývoj

2.1 Přehled problematiky

Elektrický náboj je jednou ze základních vlastností částic, které tvoří náš svět. Velikost náboje v předmětech kolem nás si obvykle neuvědomujeme, protože tyto předměty obsahují stejné množství kladného a záporného náboje. Proto jsou takové předměty jako celek elektricky neutrální. V případě, že náboje nejsou v rovnováze, projeví se jejich rozdíl jako volný náboj, který může interagovat s jinými nabitými předměty. Tehdy můžeme říci, že předmět je nabitý. Náboje stejného znaménka se odpuzují a náboje opačného znaménka se přitahují. Tuto skutečnost popisuje Coulombův zákon (2.1) pro elektrostatickou sílu [25]. Termín elektrostatická síla zdůrazňuje, že elektrické náboje jsou vůči sobě v klidu nebo se navzájem pohybují jen zanedbatelnou rychlostí. Platí tedy vztah:

$$F = \frac{1}{4\pi\epsilon_0} \frac{|Q_1||Q_2|}{r^2} \quad (2.1)$$

Tedy rovnice (2.1) definuje Coulombův zákon, který udává velikost síly F , která působí na dva bodové náboje Q_1 a Q_2 ve vzdálenosti r . Konstanta ε_0 je permitivita vakua. Tento zákon nemá bohužel tvar, který by usnadňoval výpočty pro různé případy symetrie. Jinou formulací Coulombova zákona je Gaussův zákon elektrostatiky [25], který vyjadřuje vztah mezi intenzitou elektrického pole na uzavřené Gaussově ploše a celkovým nábojem, který je uvnitř této plochy:

$$Q = \varepsilon_0 \Phi_E \quad (2.2)$$

$$Q = \varepsilon_0 \oint \vec{E} d\vec{S} \quad (2.3)$$

Rovnice (2.2) definuje elektrický náboj jako celkový tok intenzity Φ_E Gaussovou plochou vynásobený permitivitou vakua ε_0 . Rovnice (2.3) je součástí Maxwellových rovnic v integrálním tvaru a formuluje Gaussův zákon. Definuje tok intenzity Gaussovou plochou jako integraci násobků nekonečně malých symetrických plošek $d\vec{S}$ vektorem intenzity $\vec{E}$.

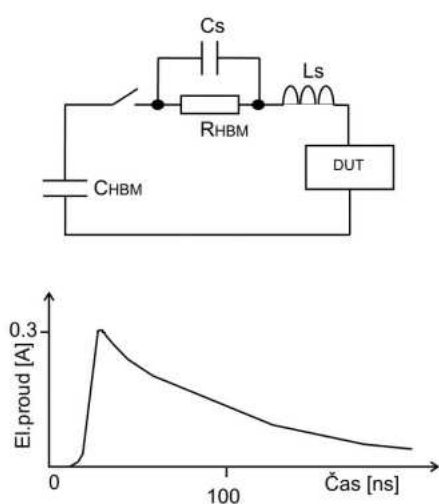
Výše zmíněné dva zákony jsou základními zákony elektrostatiky. Pro tuto práci je důležitý spíše fakt existence elektrostatického pole a jevy, ke kterým dochází vlivem interakce dvou nábojů opačné polarity.

Lidské tělo může být nabito vlivem tření s okolním prostředím na elektrický náboj o velikosti řádově v nC. Čas vybití takového náboje je opět řádově v nanosekundách, což znamená, že maximální hodnota elektrického proudu při takovémto výboji může činit i jednotky ampérů ($I = \Delta Q / \Delta t$) [25].

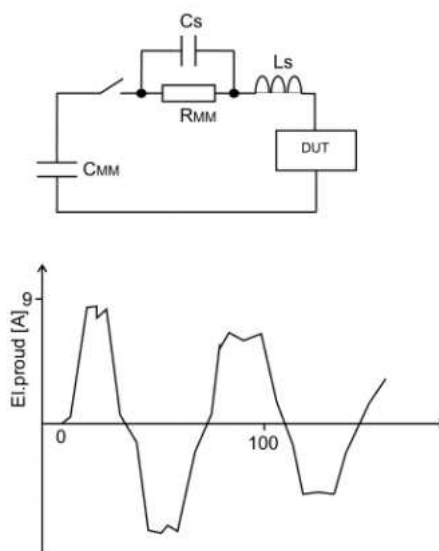
Kromě velkých proudů, které ohrožují jakékoliv polovodičové struktury v integrovaném obvodu, se největším problémem stává prudký nárůst napětí při výboji. Vzhledem k odolnosti hradlových oxidů (mající plošnou elektrickou pevnost pohybující se od 8000 do 12000 kV/cm² při teplotě 150° C) ve standardních technologiích CMOS, vydrží tranzistory NMOS a PMOS o rozměrech $W=100 \mu\text{m}$ a $L=1 \mu\text{m}$ napětí maximálně 12 V.

2.2 Modely elektrostatického výboje

Jak již bylo zmíněno v úvodu, s postupem času bylo nezbytné zavést modely, které napodobují skutečný elektrostatický výboj. Tyto modely jsou realizovány v laboratorních podmínkách pomocí obvodu RLC, který má přesně definovány hodnoty prvků RLC podle druhu použité normy. Na výstup takového RLC obvodu je připojen integrovaný obvod připravený pro test (DUT = device under test). Ze zdroje napětí se nabije kondenzátor (C_{HBM} , C_{MM} , C_{CDM} , C_{IEC}), který se v určitém okamžiku vybije přes testovaný IO. Na obr. 2.1 je znázorněno zapojení RLC obvodu pro HBM model (model nabitého lidského těla) a typický průběh proudového impulsu [3]. Hodnoty součástek pro všechny zmíněné modely jsou uvedeny v tabulce 1.



Obr. 2.1 Zapojení RLC obvodu modelu HBM a jeho charakteristický průběh proudu v závislosti na čase



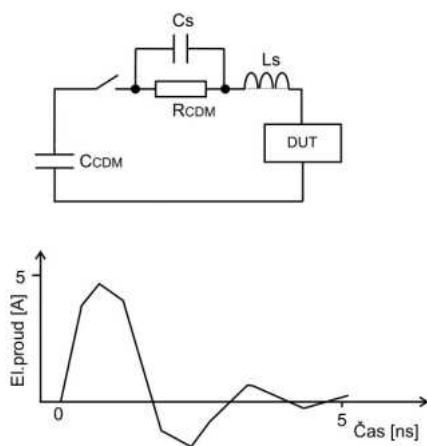
Obr. 2.2 Zapojení RLC obvodu modelu MM a jeho charakteristický průběh proudu v závislosti na čase

Tabulka 1 Přehled RLC modelů s uvedenými hodnotami součástek

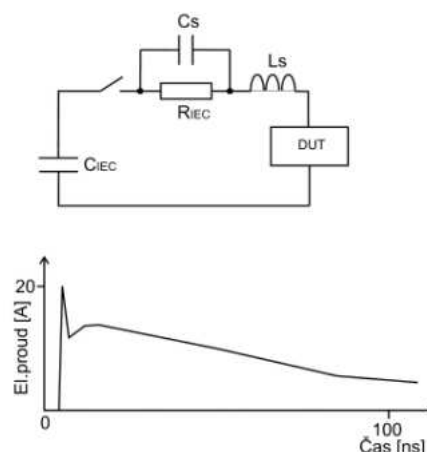
HBM (čas = 10 ns) (human body model)	MM (čas = 15 ns) (machine model)	CDM (čas = 0,4 ns) (charged device model)	IEC 61000-4-2 (čas = 1ns)
$C_{HBM} = 100 \text{ pF}$	$C_{MM} = 200 \text{ pF}$	$C_{CDM} = 6,8 \text{ pF}$	$C_{IEC} = 150 \text{ pF}$
$R_{HBM} = 1500 \Omega$	$R_{MM} = 20 \Omega$	$R_{CDM} = 1 \Omega$	$R_{IEC} = 330 \Omega$
$L_s = 7,5 \mu\text{H}$	$L_s = 0,75 \mu\text{H}$	$L_s = 50 \text{ nH}$	$L_s = 0,06 \mu\text{H}$
$C_s = 1 \text{ pF}$	$C_s = 0 \text{ pF}$	$C_s = 0 \text{ pF}$	$C_s = 0 \text{ pF}$

I _{peak} pro 2kV = 1,3 A	I _{peak} pro 200V = 3,3 A	I _{peak} pro 500V = 5,8 A	I _{peak} pro 5kV = 18 A
-----------------------------------	------------------------------------	------------------------------------	----------------------------------

Další model představuje „dotyk stroje“ a je označován MM (z angl. Machine Model). RLC obvod a typický průběh proudového impulsu je zobrazen na obr. 2.2. Model nabitého zařízení je označen CDM [50, 39] (z angl. Charged Device Model). Časový průběh proudového impulsu pro model CDM je zobrazen na obr.2.3.



Obr. 2.3 Zapojení RLC obvodu modelu CDM a jeho charakteristický průběh proudu v závislosti na čase



Obr. 2.4 Zapojení RLC obvodu modelu IEC a jeho charakteristický průběh proudu v závislosti na čase

Posledním z modelů, který uvádím, je standard mezinárodní elektrotechnické komise IEC 61000-4-2 (IEC = International Electrotechnical Commission). Tento model je ze zmíněných nejnovějším modelem. Má ještě přísnější kritéria než původní modely, které byly uvedeny. Typický průběh standardu IEC je uveden na obr. 2.4.

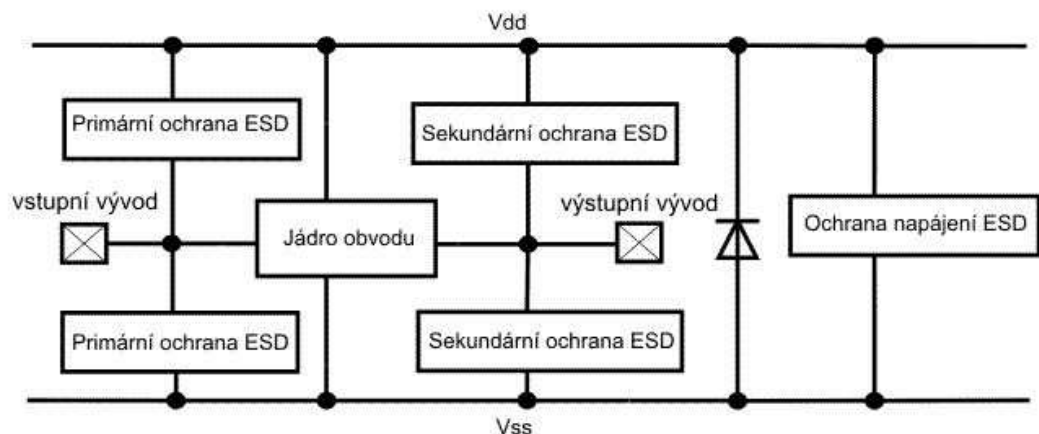
V současné době vzniká celá řada dalších standardů pro simulaci ESD události. Pro orientační představu, zda ESD ochrana obstojí či neobstojí, stačí HBM a CDM test, případně jejich obdoba. Velmi novou metodou ověřování funkčnosti ESD ochran je takzvaná TLP analýza. TLP znamená techniku přenosu impulsů přímo na testované zařízení (Transmission Line Pulse technique) [60]. Díky této nové metodě je možné provádět zároveň test ESD ochrany na odolnost a přitom zároveň sledovat podle aktuálního proměrování AV charakteristiky, ve kterém místě charakteristiky se nachází úroveň proudu či napětí při změně vlastností impulsů. Tyto TLP impulsy většinou mění velikost a frekvenci podle odolnosti ESD ochrany. ESD ochranu lze takto

zatěžovat až po hranici destruktivního průrazu. TLP analýza patří mezi nedestruktivní testy, protože je přesně známa hranici destrukce. Ostatní modely toto neumožňují, protože po jejich aplikaci ochrana buď ob stojí anebo je zničena. Díky TLP analýze je možné provádět optimalizaci ochran tak, aby se jejich činnost zlepšila v případě, že by neobstály na testu HBM nebo CDM.

Modely se také mohou použít pro simulaci elektrostatického výboje v integrovaném obvodu ještě ve fázi návrhu. Při tomto testu lze zjistit, zda ochrany správně fungují a lze monitorovat napětí a proud v obvodu.

2.3 Rozmístění ESD ochran v integrovaných obvodech

Pro kvalitní ochranu integrovaného obvodu před elektrostatickým výbojem je zapotřebí vytvořit strategii rozmístění ESD ochran při komplexním návrhu obvodu. Na obr. 2.5 je zobrazena konfigurace ESD ochran, která obsahuje obousměrné ochrany vstupů a výstupů a také ochranu napájení [3]. Funkce primární ochrany spočívá v ochraně jádra obvodu před vyšším napětím, které by se mohlo objevit na vývodu, a které by tranzistory v jádru obvodu jinak zničilo.



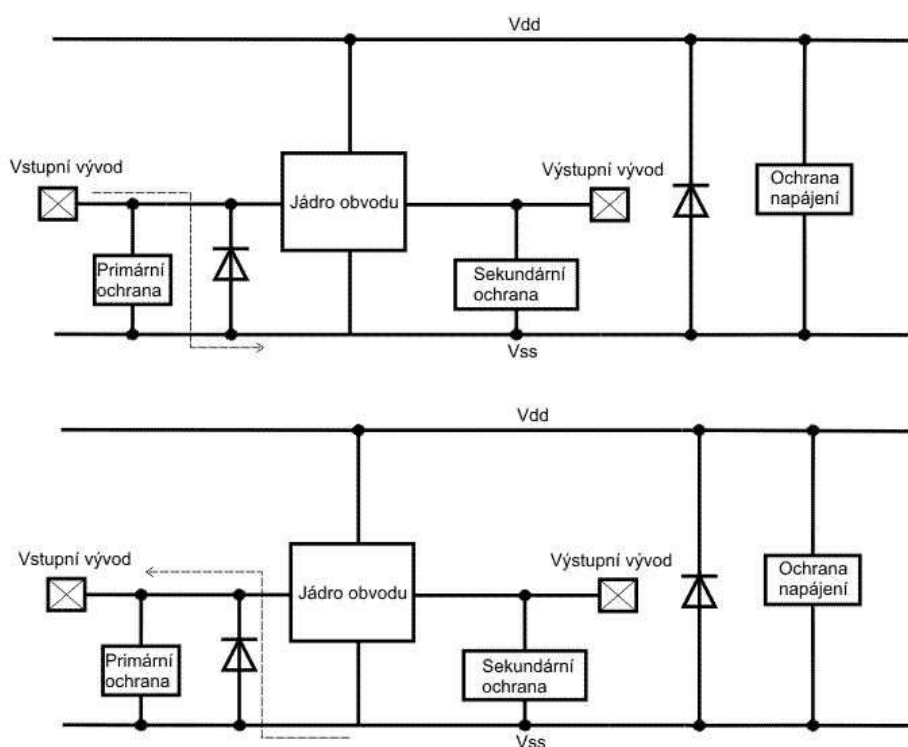
Obr. 2.5 Principiální rozmístění ESD ochran v integrovaném obvodu [3].

Sekundární ESD ochrana slouží především k ochraně proti výboji typu CDM. Poslední je ochrana napájení, která je umístěna mezi napěťovými uzly Vdd a Vss.

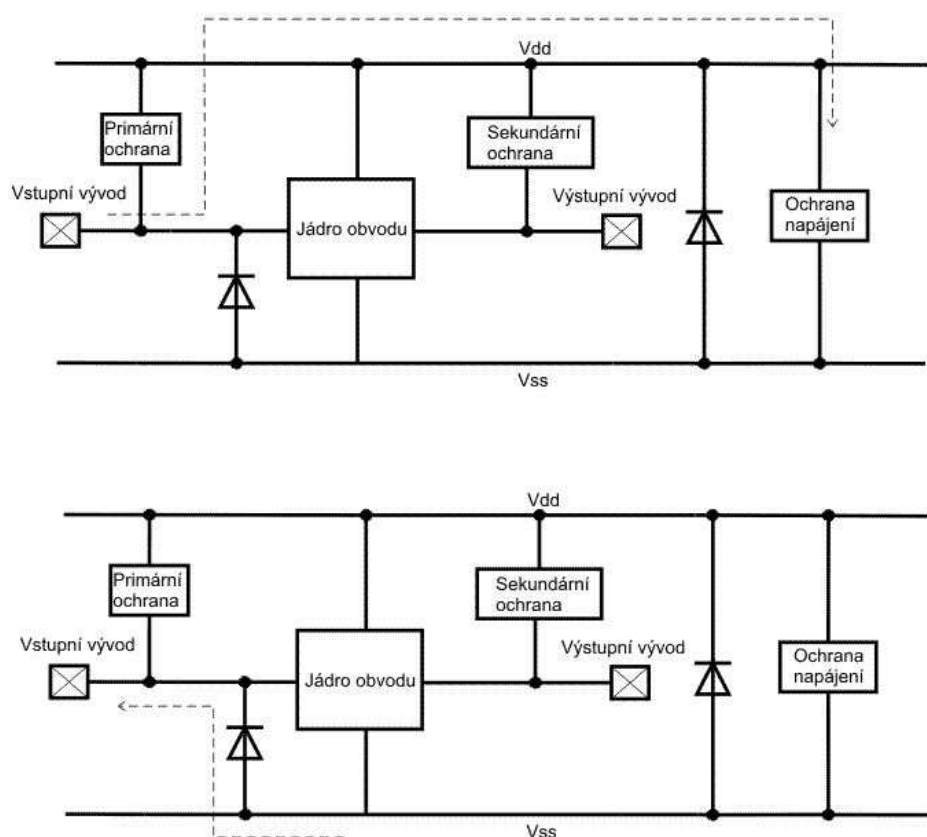
V této kapitole jsou zmíněny základní zapojení primárních a sekundárních ochran a ochran napájení. Každou ochranu můžeme co do kvality posuzovat podle tří základních vlastností. Jsou to vlastnosti *odolnost*, *efektivita* a *rychlost*.

Odolnost je schopnost ochrany „snést“ určité proudové zatížení. Udává se v jednotkách $\text{mA } \mu\text{m}^{-1}$. *Efektivita* je definována jako schopnost ochrany omezit napětí tak, aby ostatní obvody, které jsou řazeny paralelně k ochraně, nebyly ohroženy. *Rychlost* znamená schopnost ochrany reagovat okamžitě na vznikající elektrostatický výboj, aby bylo zajištěno napěťové omezení pro napětí na vývodech včas. Toto je zvláště důležité pro výboje typu CDM.

Dobrá síť ESD ochran musí nabízet vybíjecí cesty pro všechny kombinace vstupů, výstupů a napájecích cest v integrovaném obvodu. Strategie rozmístění ochran může být různá. Většina strategií však vychází z obr. 2.5. Často se dělí na ochranné schéma se společným vodičem Vss nebo Vdd. Pro ochranné schéma se společným vodičem Vss platí, že jsou ochrany vstupu a výstupu umístěny mezi vstupním vývodem a uzlem Vss [3]. A pro ochranné schéma se společným vodičem Vdd platí, že jsou ochrany vstupu a výstupu umístěny pro změnu mezi vývodem a uzlem Vdd [3].



Obr. 2.6 Ochranné schéma se společným vodičem Vss, proudová cesta pro kladný ESD (nahore), záporný ESD (dole) [3].



Obr. 2.7 Ochranné schéma se společným vodičem Vdd, proudová cesta pro kladný ESD (nahore), záporný ESD (dole)[3].

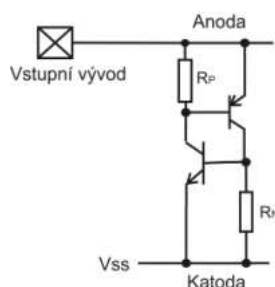
Na schématech (obr. 2.6, obr. 2.7) jsou znázorněny oba zmíněné způsoby rozmístění ochran včetně vybíjecích cest pro kladný i záporný výboj. Samozřejmě je možné spojit obě strategie a vytvořit koncept, který by odpovídal situaci na obr. 2.5. Ovšem je třeba vzít v úvahu, že bude potřeba větší plocha čipu.

Jako primární ochrana ve schématu se společným vodičem Vss se většinou používají struktury, které vykazují tyristorovou AV charakteristiku, jako například MOS tranzistor s uzemněným hradlem, případně horizontální tyristor apod.

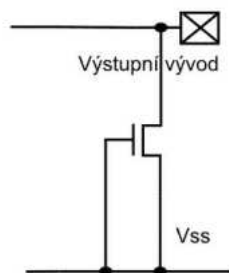
Pro ochranné schéma se společným vodičem Vdd se naopak jako primární ochrana používají diodové struktury. Každá ze strategií má své výhody a nevýhody. Celková efektivita jakékoliv vstupní ochrany je určena návrhem jednotlivých primárních a sekundárních ochran.

V průběhu začínajícího výboje napětí na vstupním vývodu stoupá.

U sekundárních ochran je zapotřebí, aby propouštěly určitý proud dřív, než se sepne primární ochrana. Horizontální tranzistor NPN, který bývá většinou ve struktuře sekundární ochrany obsažen (např. tranzistor NMOS s uzemněným hradlem viz. obr. 2.12) se sepne a proud sekundární ochranou roste. Tento proud způsobí napěťový úbytek na odporu $R_s + R_{in}$ (mezi primární a sekundární ochranou) a napětí na vstupním vývodu se zvětší až se dosáhne průrazného napětí primární ochrany. V tom okamžiku je proud ESD odkloněn přes primární ochranu. Jako primární ochrana se často používají horizontální tyristorové struktury (viz. obr. 2.11), např. LSCR [6] (Lateral Silicon Controlled Rectifier) nebo MLSCR [3] (Modified Lateral Silicon Controlled Rectifier). Ukázka primární ochrany s horizontálním tyristorem je na obr. 2.8. Jako sekundární ochrany například NMOS tranzistory s uzemněným hradlem, případně různé typy diod, viz. obr. 2.9.



Obr. 2.8 Primární ochrana využívající horizontální tyristor.



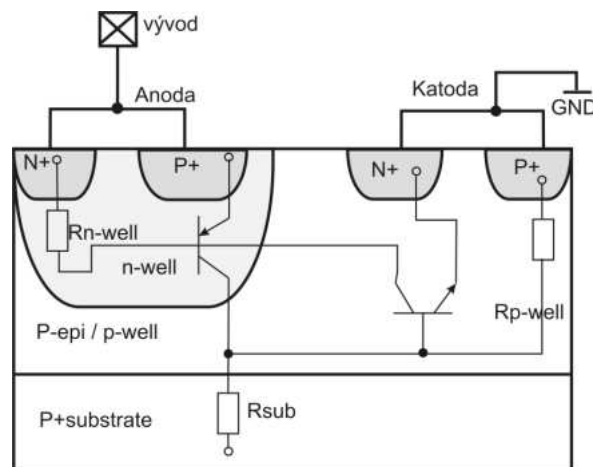
Obr. 2.9 Sekundární ochrana využívající uzemněný MOS tranzistor.



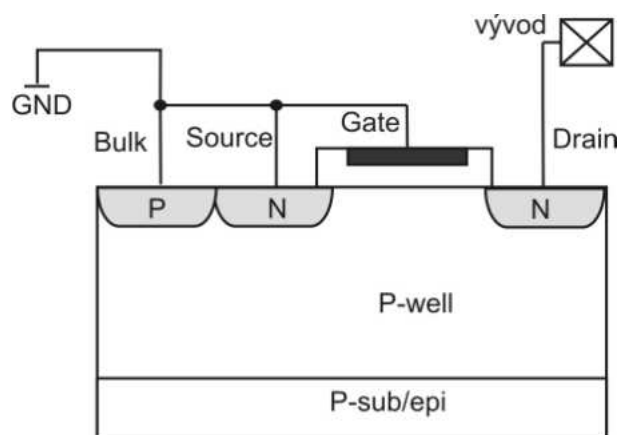
Obr. 2.10 Sériový diodový řetězec jako ochrana napájení.

I v případě efektivních primárních a sekundárních ochran může dojít k destrukci přímo na čipu. Některé z těchto destrukcí mohou být přímo spojené s nevhodnou ochranou napájení. Taková ochrana musí chránit na přiměřeně nízkém napětí, protože uvnitř čipu existují parazitní struktury, které mohou sepnout dřív, než ochrana k tomu určená. Tyto parazitní struktury vytváří slabá místa a snižují účinek ochrany napájení. Jedná se například o horizontální struktury NPN, kde jsou oblasti kolektoru a emitoru připojeny na napájecí uzly. Takový tranzistor potom může při výboji snadno sepnout.

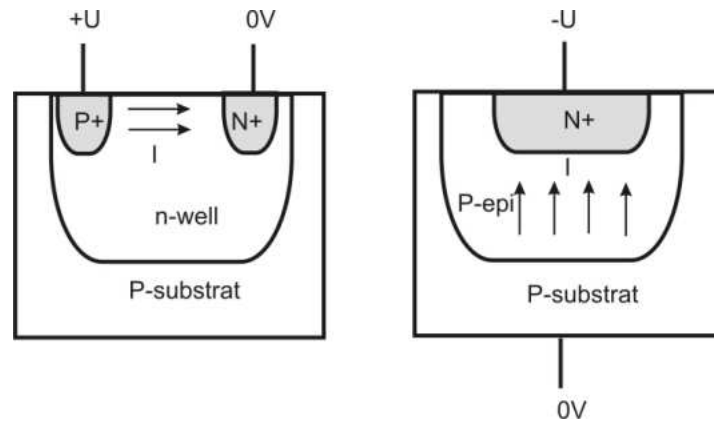
Ochrany napájení se objevily v průběhu devadesátých let dvacátého století. Od roku 1995 je pozornost zaměřena především na kvalitnější činnost takovýchto ochran. Při použití napěťově spouštěných ochran napájení vzniká napěťové omezení mezi napájecími uzly, což omezuje přepětové stavy a překmity. Díky těmto typům ochran získává integrovaný obvod komplexní odolnost vůči elektrostatickým výbojům. Bylo by vhodné krátce představit několik přístupů realizace ochran napájení. Prvním je velmi často používaný sériový řetězec diod [60]. Sériové diody jsou nejpoužívanější strategií ochran napájení ve smíšeném módu [8]. V případě dvou úrovní napájení se používají diody mezi odděleným napájením pro analogovou část a digitální část obvodu. Sériové diody mohou být použity také mezi napájením a zemí určeným pouze pro digitální část obvodu (obr. 2.10). Řez strukturou diod je znázorněn na obr. 2.13.



Obr. 2.11 Řez strukturou horizontálního tyristoru v CMOS technologii.



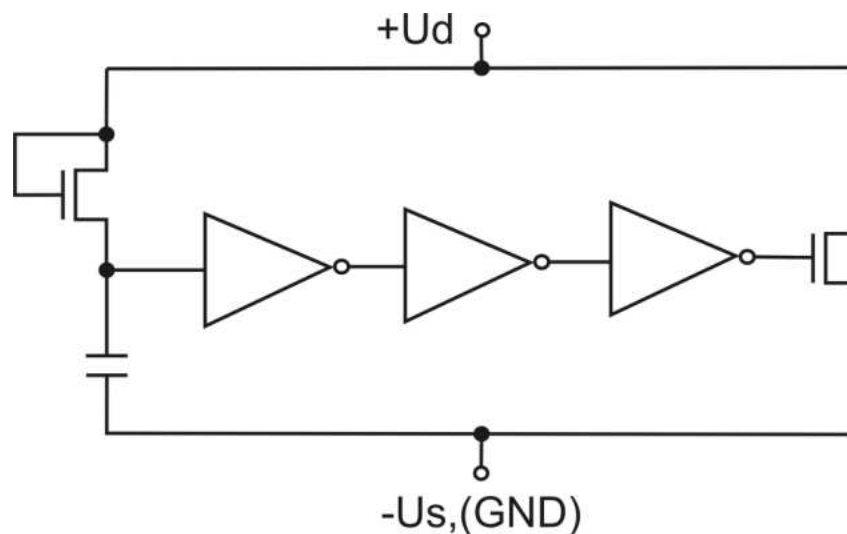
Obr. 2.12 Řez strukturou NMOS tranzistoru s uzemněným hradlem pro ESD ochranu.



Obr. 2.13 Řez horizontální diodou (vlevo) a vertikální diodou (vpravo) v CMOS technologii [3].

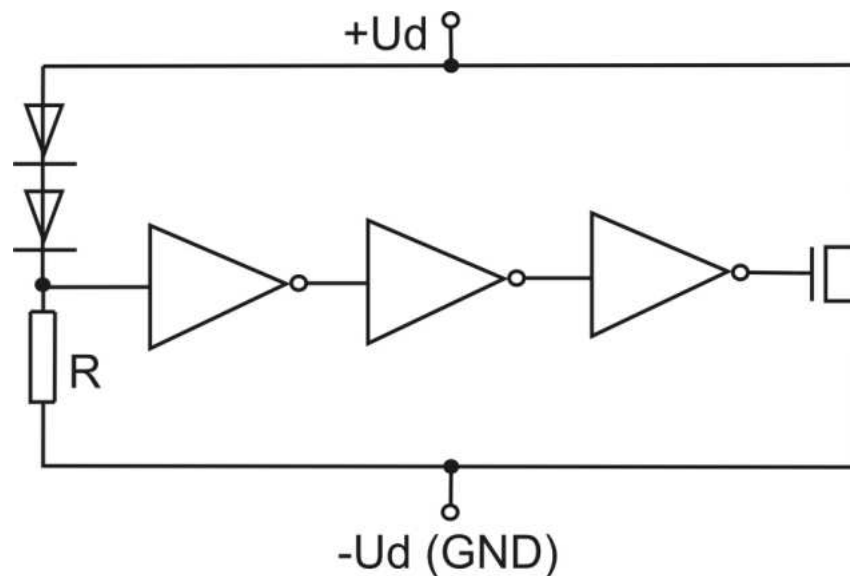
Při aplikaci této diodové ochrany, je hlavní otázkou spouštěcí napětí, sériový odpor a svodový proud. Spouštěcí napětí je funkcí: počtu diod v sérii, propustného napětí každé diody, parametru plochy a vertikálního bipolárního proudového zisku.

Okrajově se zmíním o frekvenčním způsobu spínání ochran. Jedná se o ochrany napájení, kde je použit tranzistor MOS spínaný pomocí RC obvodu [60, 61]. Výhodou tohoto přístupu je, že součástí ochrany proti elektrostatickému výboji se používá standardní tranzistor MOS a není třeba vyvíjet specifické struktury. Frekvenčně spouštěné ochrany mají výhodu, že nejsou závislé na spouštěcím napětí, jsou citlivé na střídavou složku napětí na rozdíl od napěťově spouštěných ochran, které jsou citlivé na stejnosměrnou složku napětí. Takovéto ochrany napájení mohou být simulovány obvodovou simulací. Jinými slovy pro ochrany s tranzistory MOS není třeba TCAD simulátoru, který bude představen v této práci dále.



Obr. 2.14 Ukázka ochrany napájení s MOS tranzistorem, který je spínán frekvenčně [60, 61].

Příkladem zapojení takové ochrany je schéma na obr. 2.14. Samozřejmě, že MOS tranzistor lze spínat i napětově, což ukazuje obr. 2.15. Diodový řetězec je umístěn v sérii s rezistorem mezi $+U_d$ a $-U_s$ [60, 61]. Centrální uzel spouštěcího obvodu je elektricky připojen na sérii invertorů a výstupní invertor je připojen na hradlo tranzistoru MOS, který umožňuje vybití elektrostatického výboje mezi uzly $+U_d$ a $-U_s$. Pokud dojde k výboji, na diodovém řetězci se překročí prahové napětí a dojde k aktivaci invertorů a sepnutí ochrany.

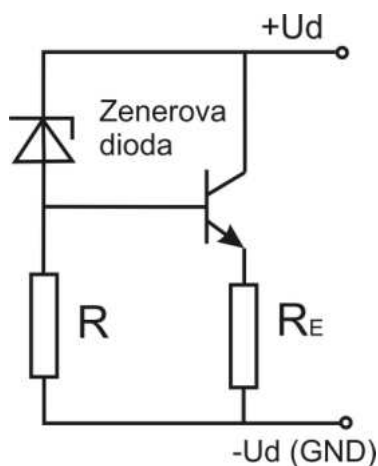


Obr. 2.15 Ukázka ochrany napájení s tranzistorem MOS, který je spínán napětově [60].

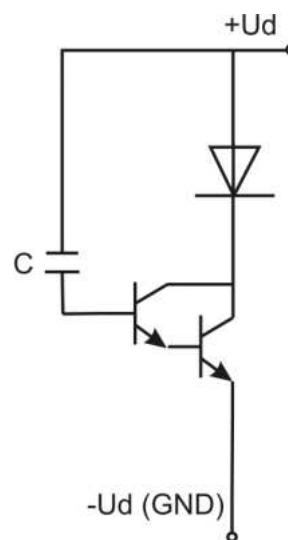
Pro BiCMOS technologie může být výhodné použít jako ochranu napájení bipolární tranzistor.

Napětové spínání bipolárního tranzistoru se většinou realizuje pomocí Zenerovy diody, jak je vidět na obr. 2.16 [3, 60]. Pro napětově spínané bipolární ochrany, kde je spouštěcí napětí spojeno se Zenerovým průrazem, platí, že podmínky pro spínání obvodu jsou jiné než u ochrany s bipolárním tranzistorem, kde je uzemněná báze. V této implementaci musíme brát v úvahu proud, který prochází Zenerovou diodou. ESD ochrany spouštěné pomocí Zenerova průrazu mají spouštěcí napětí odpovídající průrazu Zenerovy diody. Toto je výhoda pro aplikace používající pracovní napětí

řádově v desítkách voltů, ale je to omezení pro nové CMOS technologie, BiCMOS technologie nebo pokročilé bipolární technologie. Pro danou velikost spínaného bipolárního tranzistoru musí být spouštění Zenerovou diodou pod úrovní lavinového průrazu spínaného bipolárního tranzistoru.



Obr. 2.16 Ukázka ochrany napájení s bipolárním tranzistorem, který je napětově spínaný [3, 60].



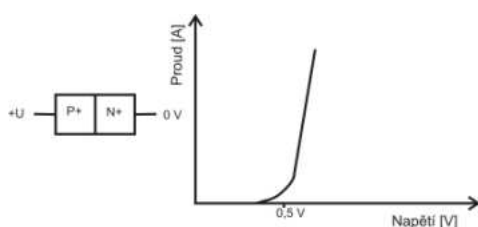
Obr. 2.17 Ukázka ochrany napájení s bipolárním tranzistorem, který je spínaný kapacitně [60].

Pouze pro představu uvádím příklad ochrany napájení s bipolárním tranzistorem, který je spínán kapacitně [60], což zobrazuje obr. 2.17. Zde je řetězec diod v propustném směru nahrazen kondenzátorem. Kondenzátor je umístěn mezi napájecím uzlem a bází prvního tranzistoru. Pro tento případ platí, že jakmile se objeví výboj na napájecím uzlu, kapacitor zvýší potenciál na bázi, který vede k otevření prvního tranzistoru. Pokud je použita vyšší úroveň napájení, diodová síť má velké ztráty, zatímco kapacita má z hlediska svodových proudů ztráty nulové, což je velkou výhodou tohoto přístupu.

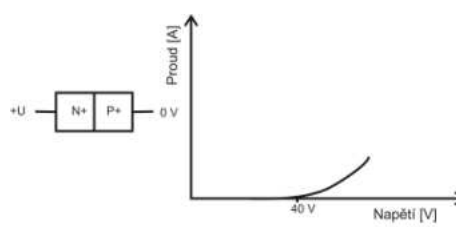
2.4 Vývoj napětově spouštěných ochran pro IO a jejich vlastnosti

Základními polovodičovými součástkami pro napětově spouštěné ESD ochrany jsou diody, bipolární tranzistory a tranzistory typu MOS. Všechny další polovodičové struktury již čerpají z vlastností těchto prvků. V textu jsou ve zkratce představeny vlastnosti těchto součástek s ohledem na použití v ESD aplikacích.

Nejjednodušší napětovou ochranou je dioda. Na obr. 2.18 a obr. 2.19 jsou zobrazeny podmínky vodivosti v obou směrech. V propustném směru začíná dioda vést na $\sim 0,5$ V, při odporu $20 \Omega \mu\text{m}^{-1}$ až $100 \Omega \mu\text{m}^{-1}$. V závěrném směru dioda nevede dokud se nezačne lavinově prorážet.



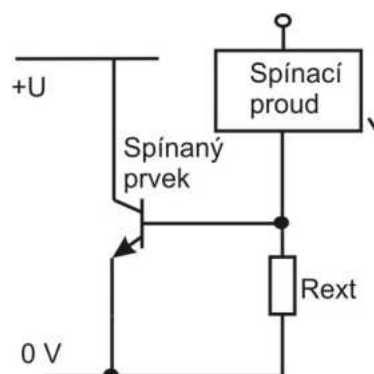
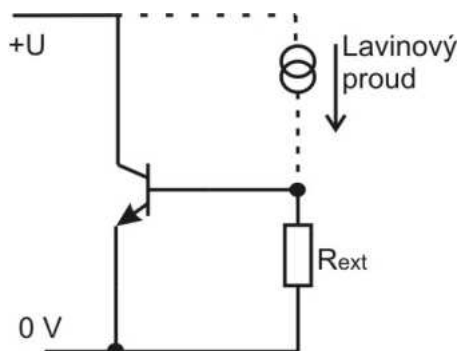
Obr. 2.18 Dioda PN, propustný směr [3]



Obr. 2.19 Dioda PN, závěrný směr [3]

Úroveň napětí U_{BR} lavinového průrazu je závislá na koncentraci příměsí v polovodiči a v submikronových procesech bývá kolem 10 V. V propustném směru může být proud diodou popsán rovnicí ideální diody.

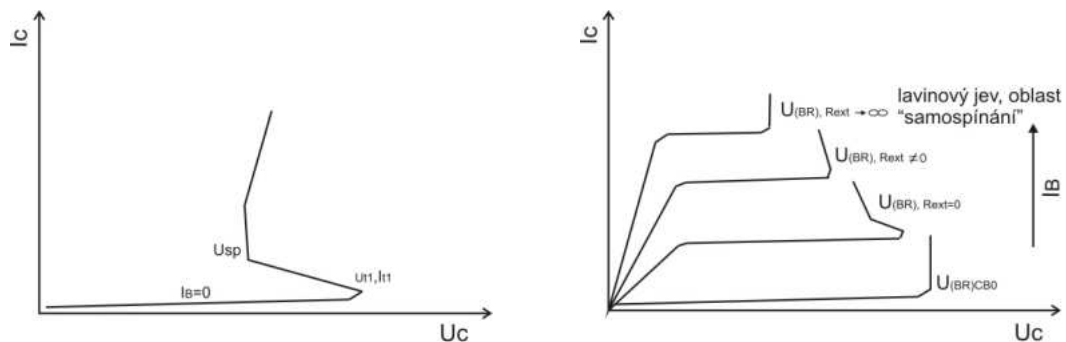
Bipolární tranzistor se pro ochrany ESD používá v zapojení, které vidíme na obr. 2.20. Báze je zapojena na emitor nebo přes externí odpor R_{ext} . Jsou možné dva způsoby sepnutí [17]. První je dle obr. 2.20 a druhý je podle obr. 2.21.



Obr. 2.20 Schéma zapojení při lavinovém spínání bipolárního tranzistoru [3].

Obr. 2.21 Schéma zapojení se spínacím obvodem [3].

První typ pracuje pomocí lavinové generace nosičů, která tranzistor sepne. Tranzistor je sepnut průrazným napětím na přechodu kolektor-báze $U_{(BR)CBO}$. Druhý způsob spíná tranzistor pomocí externího zdroje proudu (obr. 2.21) a napěťového úbytku na odporu R_{ext} . Výhodou tohoto přístupu je, že snižuje napětí, při kterém tranzistor sepne [2, 12]. Obr. 2.22 ukazuje průběh proudu I_c v závislosti na kolektorovém napětí U_c . Závěrný přechod kolektor-báze je ve vysoko-impedančním stavu. Kolektorové napětí stoupá tak dlouho, dokud nedosáhne průrazného napětí (kolektor-báze) $U_{(BR)CBO}$. Na přechodu se uplatňuje vliv ionizace a generují se páry elektron-díra. Elektrony vcházejí do kolektoru a zvyšují proud I_c , díry driftují do báze, což generuje záporný bázevý proud. Proud děr do kontaktu báze způsobí úbytek napětí na bázi a když dosáhne napětí emitor-báze asi 0,5 V, tranzistor NPN sepne.



Obr. 2.22 AV charakteristika zobrazující lavinový průraz (vlevo) [3], AV charakteristiky bipolárního tranzistoru v závislosti na R_{ext} (vpravo) [3, 44].

Funkcí vzniklého proudu I_B při elektrostatickém výboji je růst napětí U_{be} a propustně orientovaný přechod emitor-báze. Když tranzistor sepne, elektrony které dosáhnou závěrně orientovaného přechodu kolektor-báze, zvyšují počet generovaných párů elektron-díra dokud nenastane [20, 49]:

$$I_B \propto (M - 1)I_e \quad (2.13)$$

M je funkcí napětí na přechodu a když se emitorový proud I_e zvyšuje, faktor M se může snížit stejně jako napětí U_{cb} . Napětí, při kterém hodnota U_c začíná klesat je spouštěcí

napětí označované jako U_{tl} (na obr. 2.22). Spouštěcí proud je dán vztahem $I_c = I_{tl}$. Násobící faktor M může být zhruba:

$$\frac{I_B}{I_{tl}} = 1 - \frac{1}{M} \quad (2.14)$$

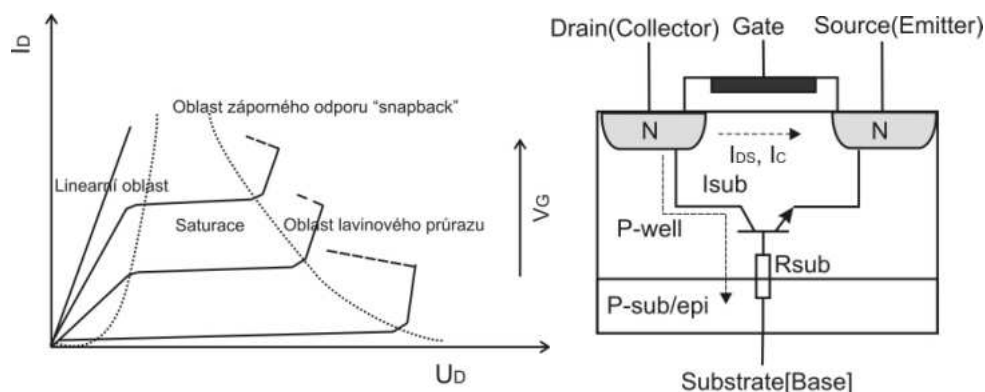
Napětí U_c nyní klesá dokud není dosaženo stabilního stavu. Podmínka udržení tohoto stavu je, aby proud I_B tekl z báze a přitom kolektorový proud I_c zůstal kladný.

$$\beta(M - 1) \geq 1 \quad (2.15)$$

Další nárůst I_c způsobí nárůst U_c jako vodivostní modulace interního odporu báze, která vyžaduje nárůst proudu I_B pro udržení tranzistoru v sepnutém stavu. Udržovací napětí je značeno U_{sp} a je to funkce šířky báze W , násobícího faktoru M pro přechod kolektor-báze a dále pak odporů R_B a R_{ext} .

V druhém zapojení (obr.2.21) se používá proudový zdroj vytvořený buď z tranzistoru nebo z diody v závěrném směru. Průrazné napětí je zde mnohem menší než $U_{(BR)CBO}$. Spínací proud prochází přes odpor R_{ext} a zvyšuje napětí U_{be} . Jakmile se stane napětí U_{be} kladným, elektrony vstupující do báze z emitoru způsobují lavinovou generaci na kolektorovém přechodu. Takže požadované napětí a faktor M pro daný proud I_B je nižší, tím pádem, když je dostatečně kladné napětí U_{be} , může být snížen potřebný proud I_B pro úplné otevření tranzistoru. Napětí U_{tl} je proto nižší než v prvním případě (obr. 2.20). Nižší napětí U_{tl} je velmi důležité v ochranných obvodech, protože zajišťuje, že je ochrana sepnuta dříve než struktura, které má být chráněna.

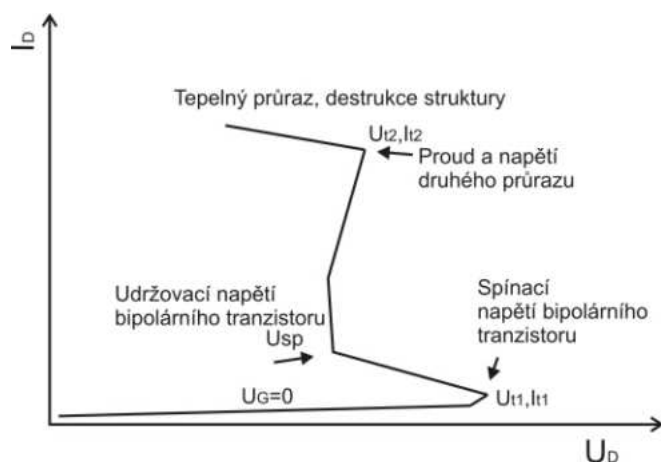
Další používaným prvkem v ochranách je unipolární tranzistor MOS. Takový tranzistor by měl mít nízké spouštěcí napětí, aby nebyla ohrožena tenká oxidová izolace hradla tranzistoru v obvodu. Ochrana s tranzistorem MOS spíná pomocí parazitního bipolárního tranzistoru, který je přítomný jak v NMOS tak v PMOS tranzistorové struktuře. Obr. 2.23 ukazuje řez tranzistorem NMOS a uvnitř bipolární strukturu NPN. Kolektor je tvořen elektrodou „drain“ tranzistoru NMOS, emitor je tvořen elektrodou „source“ a báze je tvořena substrátem.



Obr. 2.23 AV charakteristika tranzistoru NMOS (vlevo), struktura tranzistoru NMOS včetně parazitního NPN (vpravo) [3].

Mechanismus činnosti tranzistoru při elektrostatickém výboji zahrnuje lavinový průraz a sepnutí parazitního bipolárního tranzistoru NPN. Chování ukazuje obr. 2.24. Pro pochopení této činnosti uvažujme, že má tranzistor hradlo G, elektrodu S a substrátovou elektrodu B (připojenou na potenciál 0 V). Jakmile se zvýší proud na elektrodě D, závěrný přechod „drain-substrát“ má zpočátku velký odpor a nevede proud. Přechod „drain-substrát“ se však začne lavinově prorážet generovanými páry elektron-díra z důvodu narůstajícího napětí z elektrostatického výboje. Elektrony přejdou přes přechod „drainu“ až k samotnému kontaktu D a způsobí tak proud I_D , zatímco díry driftují ke kontaktu substrátu a zvyšují tak substrátový proud I_{sub} , který je podobný bázeovému proudu u bipolárního tranzistoru. Efektivní substrátový odpor je v obr.2.23 označený R_{sub} . Když se zvyšuje substrátový proud, roste potenciál mezi elektrodou S a substrátem a tento přechod se otvírá. Toto je způsob, jak pomocí lavinového průrazu parazitního bipolárního tranzistoru ukrytého ve struktuře tranzistoru MOS dojde k sepnutí unipolárního tranzistoru MOS.

Na obr.2.24 je zobrazeno spouštěcí napětí U_{th} zmíněného parazitního bipolárního tranzistoru NPN. Elektroda S tranzistoru NMOS je zároveň emitor tranzistoru NPN. Spouštěcí čas NPN je definován přenosovým časem báze τ_B , který závisí na délce hradla L . Pro 1 μm dlouhý kanál je $\tau_B \sim 250$ ps [38]. Když NPN sepne, napětí na elektrodě D klesne a tranzistor se dostává do oblasti záporného odporu díky nosičům, které jsou nyní k dispozici. Tento stav trvá tak dlouho, dokud se nedosáhne minimálního napětí U_{sp} .



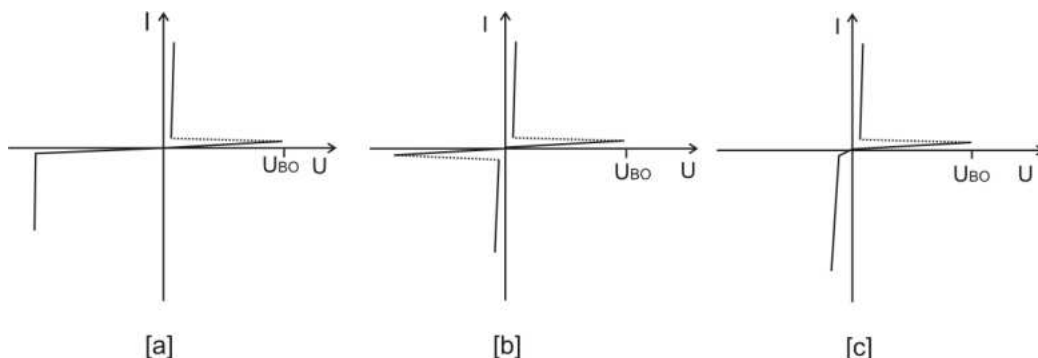
Obr. 2.24 Vysokoproudová AV char. pro NMOS tranzistor [3].

AV charakteristika postupně přechází do oblasti kladného odporu. Při dalším růstu injektovaného proudu dojde k modulaci vodivosti oblasti substrátu (báze), která snižuje intrinzický odpor substrátu. Pro udržení tranzistoru v sepnutém stavu je potřeba vyšší substrátový proud. Pro stav lavinového sepnutí NPN je dobré si uvědomit, že plocha emitoru není stejná jako difúzní plocha elektrody S, protože pouze malá část S musí být napájena, aby tranzistor fungoval [28, 21, 29, 47]. Tato činnost se liší od externě napájeného tranzistoru NPN, kde je bázevé napětí přivedeno na kontakt báze [42, 58]. Toto je velmi důležité pro pochopení ochranné činnosti takového prvku. Substrátový proud je funkcí lavinového násobícího faktoru M v oblasti elektrody S s velkým elektrickým polem [5, 24, 7]. Lavinově generovaný proud v oblasti velkého el. pole je dán při proudu I_P :

$$I_{gen} = (M - 1)I_P \quad (2.16)$$

Struktura bipolárního tranzistoru je využívána i u vícevrstevových součástek, i když chování takových struktur je na první pohled odlišné. Tyristor (anglicky Silicon Controlled Rectifier = SCR) je obecné označení pro „čtyřvrstvou“ polovodičovou součástku, která se může přepínat z blokovacího do propustného stavu a naopak. Tyristory jsou rozděleny jednak podle tvaru ampér-voltové charakteristiky a dále podle počtu elektrod. Obr. 2.25 ukazuje různé tvary AV charakteristik, které tyristory mohou

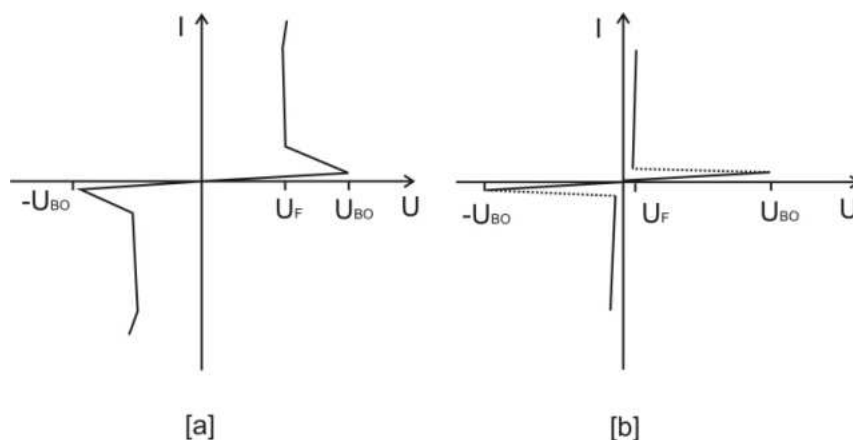
vykazovat [44]. Označení [a] představuje závěrně blokující tyristor, [b] je obousměrně spínací tyristor a [c] je závěrně vodivý tyristor.



Obr. 2.25 AV charakteristiky různých tyristorových struktur [44].

Dále můžeme tyristory rozlišovat podle počtu elektrod na: Diodové tyristory, které mají pouze dvě elektrody, triodové tyristory, které mají dvě hlavní elektrody a třetí pomocnou elektrodu pro řízení a tetrodové tyristory, které mají dvě hlavní a dvě pomocné elektrody [44].

Pro využití tyristoru jako ESD ochrany jsou vhodné pouze diodové tyristory, které nemají řídicí elektrodu a jsou spínány překročením blokovacího napětí U_{BO} . Tyto tyristory mohou být používány se všemi typy AV charakteristik (obr. 2.25). Pro primární ochrany se někdy používá tyristor obousměrně spínací. Závěrně blokující tyristor je nejpoužívanější vícevrstvou strukturou pro ESD ochrany. Závěrně vodivý tyristor je možné použít například jako ochranu napájení, pak již není zapotřebí připojovat paralelně diodu v opačném směru, jak bývá v ostatních případech nutné.

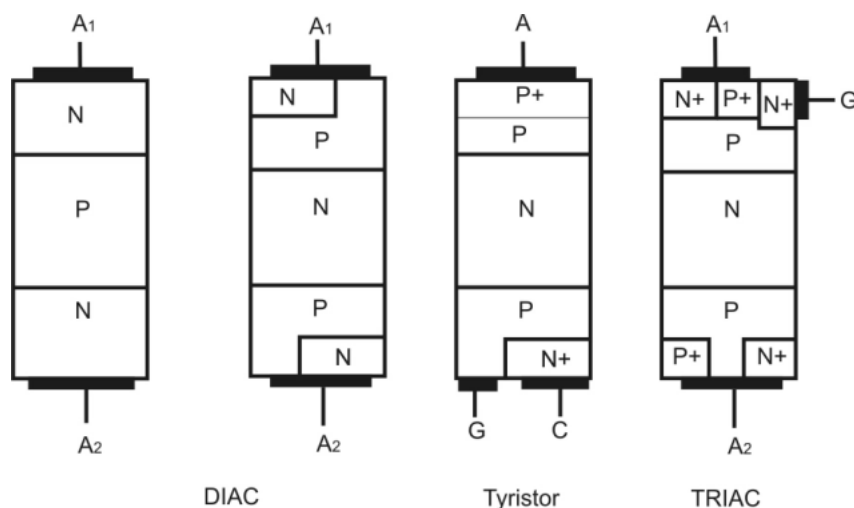


Obr. 2.26 AV charakteristiky struktur typu DIAC a TRIAC [59].

Obr. 2.26 ukazuje typickou AV charakteristiku součástky nazývané DIAC (Diode Alternating Current Switch) [59]. DIAC je diodový tyristor obousměrně spínací. Může být tvořen buď třívrstvou nebo pětivrstvou strukturou, jak lze vidět na obr. 2.27. Zde je také zobrazena struktura závěrně blokovacího tyristoru s řídicí elektrodou „GATE“ a také struktura označovaná jako TRIAC, což je triodový obousměrně spínací tyristor.

Jak již bylo výše zmíněno, vhodnými tyristorovými strukturami pro ESD ochrany jsou dvoupólové tyristory. Například DIAC funguje tak, že při překročení U_{BO} vzroste na závěrně polarizovaném přechodu proud díky nárazové ionizaci (lavinový jev). To umožní injekci nosičů na propustně polarizovaném PN přechodu, které trvale zaplaví závěrně polarizovaný přechod. Oblast záporného diferenciálního odporu po překročení U_{BO} existuje proto, že s narůstajícím proudem nosiče více zaplavují závěrně polarizovaný přechod a snižují tak celkový odpor struktury DIAC, na které pak klesá úbytek napětí až po hodnotu U_F , což je úbytek napětí v propustném směru (u tranzistoru označován jako U_{sp} = „snapback“ napětí).

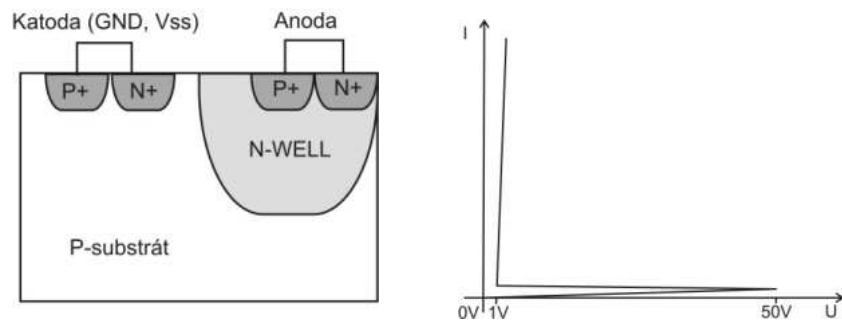
V této práci budu používat pro blokovací napětí tyristoru U_{BO} označení *spouštěcí* napětí (z angl. Triggering Voltage) a pro úbytek napětí v propustném směru U_F označení *udržovací* napětí (z angl. Holding Voltage).



Obr. 2.27 Polovodičová struktura tyristoru, struktury DIAC a TRIAC [59].

Výzkum využití tyristorových struktur pro ESD ochrany je velmi intenzivní, protože tyristorová struktura je nejrychlejší ochranou proti ESD a dokáže vydržet

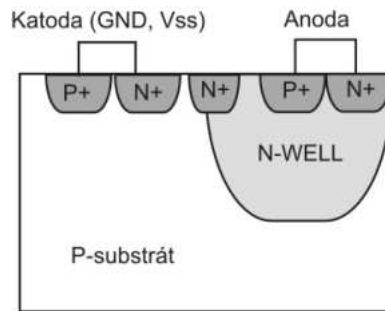
značnou proudovou zátěží [36, 62]. Největším problémem tyristorové ochrany je nastavování spouštěcího a udržovacího napětí. Když je spouštěcí napětí nastaveno příliš vysoko, tyristor sepne v okamžiku, kdy rostoucí napětí již stačilo zničit struktury v obvodu a naopak, když je spouštěcí napětí příliš malé, tyristor je spínán šumem a může zkratovat funkční obvody uvnitř obvodu, aniž by došlo k výboji. Udržovací napětí je u typické tyristorové ochrany velmi nízké (řádově jednotky voltů), což znevýhodňuje jeho použití pro ochrany napájení, protože kvůli nízkému udržovacímu napětí by došlo ke zkratu napájení. Základní používanou tyristorovou strukturou je horizontální tyristor tzv. LSCR (Lateral Silicon Controller Rectifier) [6], jehož struktura je zobrazena na obr. 2.28.



Obr. 2.28 Řez strukturou LSCR a typická AV charakteristika [6].

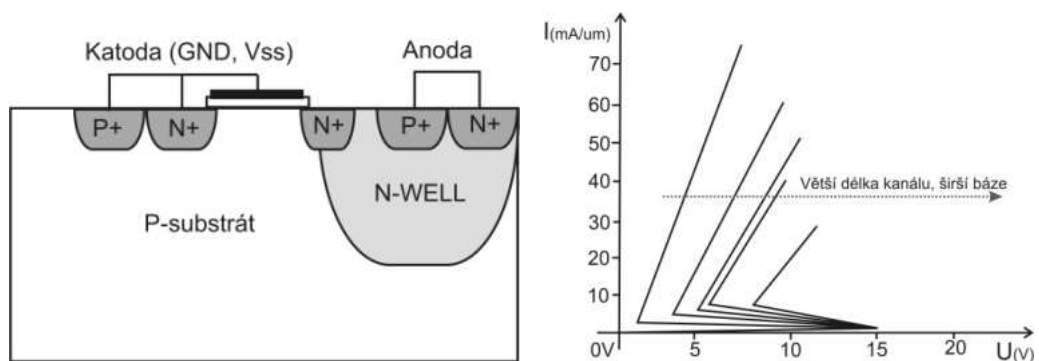
Podle obr. 2.28 vidíme, že spouštěcí napětí LSCR je na úrovni 40 až 50 V a udržovací napětí kolem 1 V. Tato úroveň spouštěcího napětí závisí na dotacích jednotlivých vrstev v technologii a zmíněné rozmezí je typické pro běžné CMOS technologie. To je ovšem pro ESD ochrany nepřijatelné. S možností změnit tyto vlastnosti přišel Ricco [51], který pro tuto strukturu měnil vzdálenost mezi jednotlivými difúzními vrstvami tvořící anodu a katodu při nízké koncentraci dopantu. Tímto přístupem se podařilo zvýšit udržovací napětí až na několik voltů, ale spouštěcí napětí zůstalo na stejné úrovni. Pro snížení spouštěcího napětí bylo zapotřebí snížit průrazné napětí vrstvy N-WELL na P-substrát, protože spouštěcí napětí LSCR je dáno tímto průrazem. Byla tedy zavedena N+ vrstva na okraj vrstvy N-WELL. Tato vrstva zvyšuje koncentraci příměsí v N-oblasti a tím zde zvyšuje počet nosičů. Nosiče potom urychlují průraz vrstvy N-WELL

na substrát. Tato struktura byla nazvána Modifikovaný horizontální tyristor „Modified LSCR“ (MLSCR) [3]. Řez strukturou MLSCR je ilustrován na obr. 2.29.



Obr. 2.29 Řez strukturou MLSCR [3].

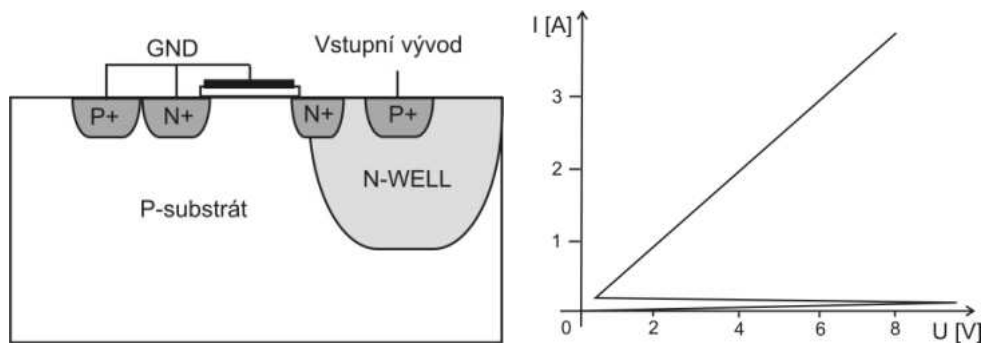
Díky vrstvě N⁺ ve struktuře MLSCR se dosáhlo snížení spouštěcího napětí na úroveň 20 až 25 V. Toto snížení však není stále dostatečné. Tenký hradlový oxid u tranzistorů MOS v pokročilých CMOS technologiích odolá napětí kolem 15 V, záleží na použité technologii. V roce 1991 představil Chatterjee [13] tyristorovou strukturu s nízkým spouštěcím napětím „Low-Voltage Triggering SCR“ (LVTSCR). Tato struktura se stala základem pro mnohé aplikace tyristorů v návrhu ESD ochran. Řez touto strukturou a její typické AV charakteristiky jsou vidět na obr. 2.30.



Obr. 2.30 Řez strukturou LVTSCR (vlevo), měřený průběh AV charakteristik pro různé rozměry kanálu a N⁺ vrstvy na okraji přechodu NWELL-Psubstrát [13].

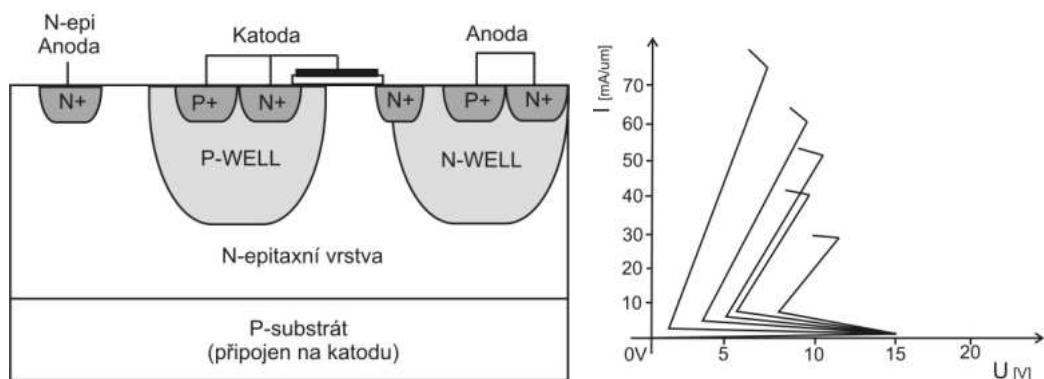
Struktura LVTSCR umožňuje ladění udržovacího napětí AV charakteristiky při konstantním spouštěcím napětí. Struktura spíná na napětí, které odpovídá spouštěcímu napětí MOS tranzistoru a dále pokračuje v typické tyristorové činnosti. Jedná se o MOS

tranzistor, který je v podstatě v paralelním spojení s tyristorem. Ladění udržovacího napětí se dosahuje změnou velikosti kanálu tranzistoru MOS a také šířkou báze tranzistoru NPN uvnitř tyristorové struktury. Lee [41] zavedl strukturu zvanou „nízko-kapacitní“ ESD ochrana (LCESD = Low-Capacitance ESD), která je pouze modifikací struktury LVTSCR. Zavedená vrstva N⁺ na okraji vrstvy N-WELL zde není kontaktována, což způsobí nižší udržovací napětí a rychlejší spínání, jak je vidět na obr. 2.31.



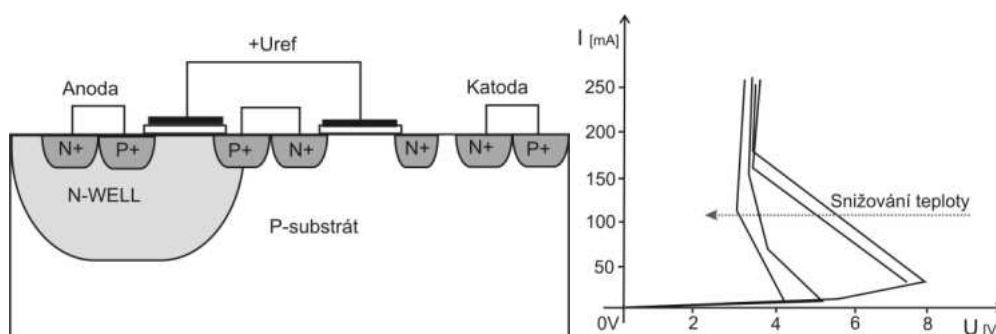
Obr. 2.31 Řez strukturou LCESD(vlevo) a průběh A/V charakteristik (vpravo) [41].

Další modifikací struktury LVTSCR je tyristor s vysokým udržovacím napětím tzv. High Holding-LVTSCR(HH-LVTSCR) [52], která pouze aplikuje strukturu LVTSCR do epitaxní vrstvy, přičemž kontaktem na epitaxní vrstvu a na substrát získává možnost jisté změny tvaru AV charakteristik. Nicméně udržovací napětí a spouštěcí napětí jsou stále totožné se strukturou LVTSCR. Ilustrace struktury HH-LVTSCR je na obr. 2.32.



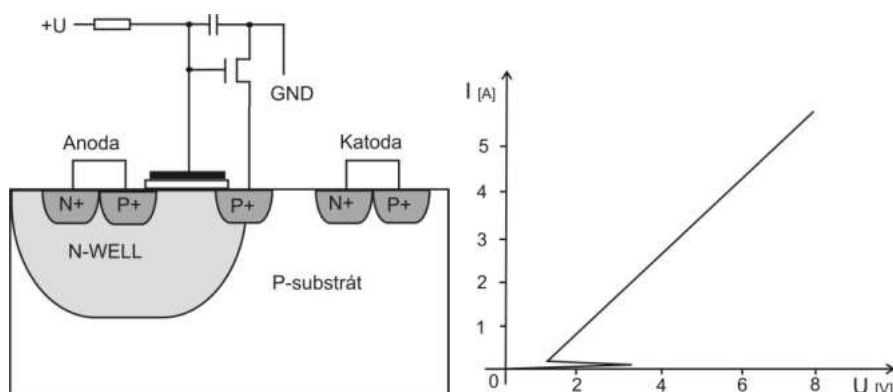
Obr. 2.32 Řez strukturou HH-LVTSCR a průběh AV charakteristik [52].

Další modifikací bylo kaskádové řazení LVTSCR struktur, které představil v roce 2004 Vashchenko [57], díky tomu je možné použít LVTSCR v jakémkoliv pokročilém CMOS procesu. Pomocí kaskádového řazení bylo dosaženo potřebných napěťových úrovní pro udržovací napětí, která jsou v technologiích bez epitaxních vrstev spíše na nižších napěťových úrovních.



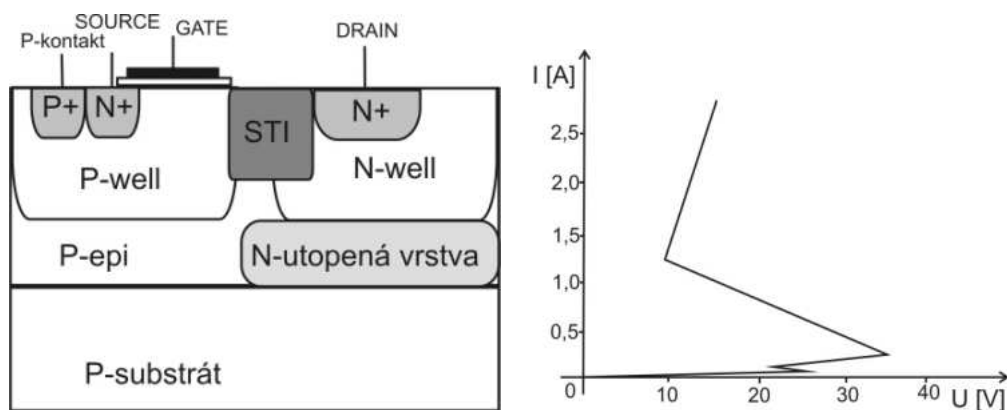
Obr. 2.33 Řez strukturou DHVSCR a průběh AV charakteristik [32].

Nedostatkem tyristoru DHVSCR je neschopnost ladění spouštěcího a udržovacího napětí pomocí rozměrů masky. Aktivním tyristorem, tzn. tyristorem, jehož spínání je řízeno externím RC obvodem, je “Latch-up-Immune Gate-Coupled SCR”(LIGCSCR) [40]. Jedná se o LVTSCR P-typu, u kterého není hradlo LVTSCR připojeno na zem, ale na spínací RC obvod. Podle obr. 2.34 můžeme vidět AV charakteristiku takového obvodu. Takto bylo dosaženo nižšího spouštěcího i udržovacího napětí. Struktura neumožňuje ladění spouštěcího a udržovacího napětí.



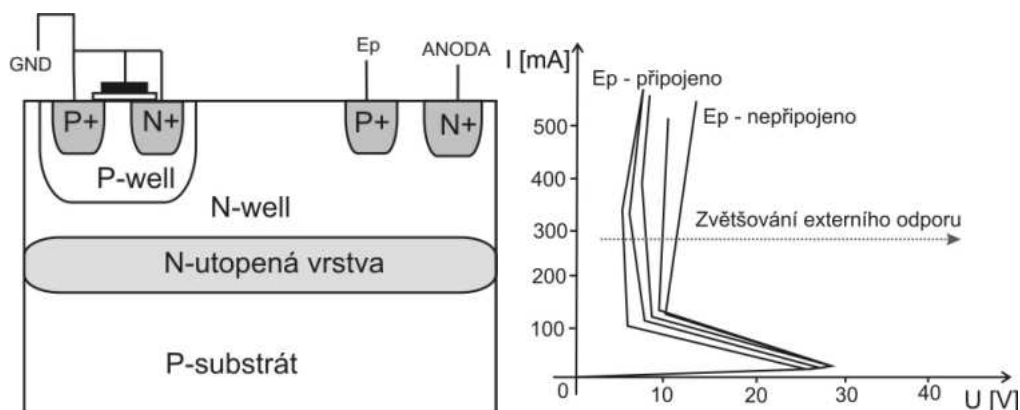
Obr. 2.34 Řez strukturou LIGCSCR a průběh AV charakteristiky [40].

Ker [33, 34] představil přístup, který dovoluje použít vyšší spouštěcí napětí. Jedná se o NMOS tranzistor s uzemněným hradlem, jehož elektroda D díky utopené vrstvě a mohutnější izolaci vydrží vyšší napětí. Tato struktura dosahuje spouštěcího napětí až 35V (obr. 2.35) a v režimu „sepnuto“ udržuje napětí nad 5 V. Ovšem struktura při spínání prochází dvojitým průrazem.



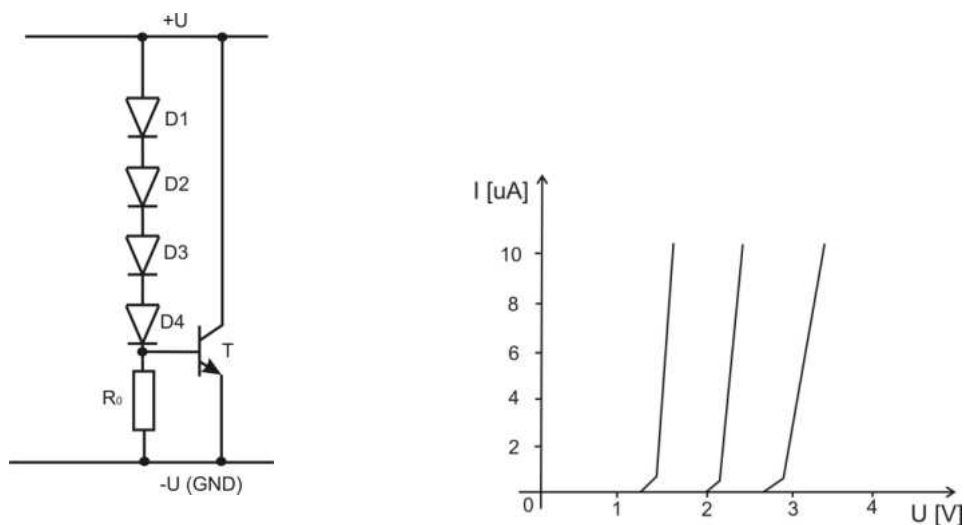
Obr. 2.35 Řez strukturou GGNMOS a průběh AV charakteristiky [33, 34].

Dále byl vytvořen tyristor v bipolární technologii, který představil Chen [16]. Tuto strukturu a její chování ilustruje obr. 2.36. Změny AV charakteristiky jsou zde dosaženy pouze změnou externího odporu a připojením nebo nepřipojením kontaktovaného vývodu Ep na anodu. Variabilita udržovacího napětí je asi v rozmezí od 3 až 6 V při spouštěcím napětí kolem 25 V.



Obr. 2.36 Řez strukturou tyristoru a průběh AV charakteristiky [16].

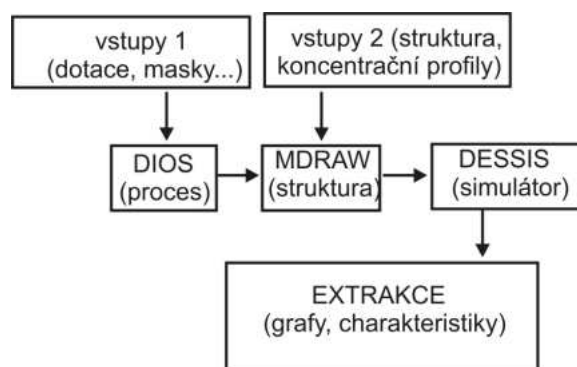
Dalším využitím bipolárních struktur se zabýval Ker [35] a Voldman [60]. Ker založil svůj návrh na spínacím bipolárním tranzistoru, který je spínán napětově (např. řetězcem diod). Použitím více diodových prvků v sérii dosáhnul vyšších napětí. Výsledky tohoto přístupu jsou demonstrovány na obr. 2.37. Nevýhodou je, že pro vyšší napětí (např. nad 10 V), začíná být tento přístup nevýhodný z důvodu velkého počtu prvků v sérii.



Obr. 2.37 Schéma uspořádání ESD ochrany a průběh AV charakteristik [35, 60].

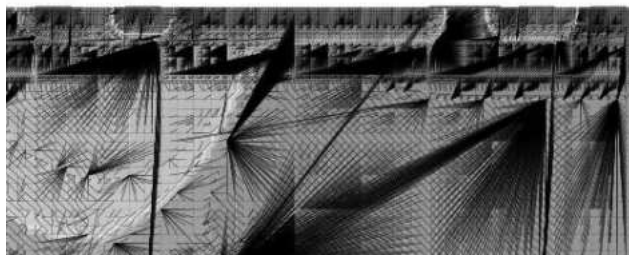
2.5 Stručný popis simulačního programu ISE TCAD

Pro modelování struktur byl použit softwarový nástroj ISE TCAD (TCAD = Technology Computer Aided Design), který umožňuje vytvářet model polovodičové struktury pomocí simulace technologického procesu výroby (P-simulace), nebo přímo pomocí definice rozměrů struktury a koncentračních profilů jednotlivých polovodičových vrstev. Na obr. 2.38 jsou vidět jednotlivé podprogramy, které byly využívány. Nejdříve je třeba vytvořit strukturu, která bude dále podrobena elektrické nebo teplotní simulaci. Toto je možné dělat dvěma způsoby. Buď pomocí podprogramu DIOS, který simuluje celý proces výroby, nebo pomocí podprogramu MDRAW, kde lze samostatně vytvořit strukturu podle geometrických rozměrů a koncentračních profilů.



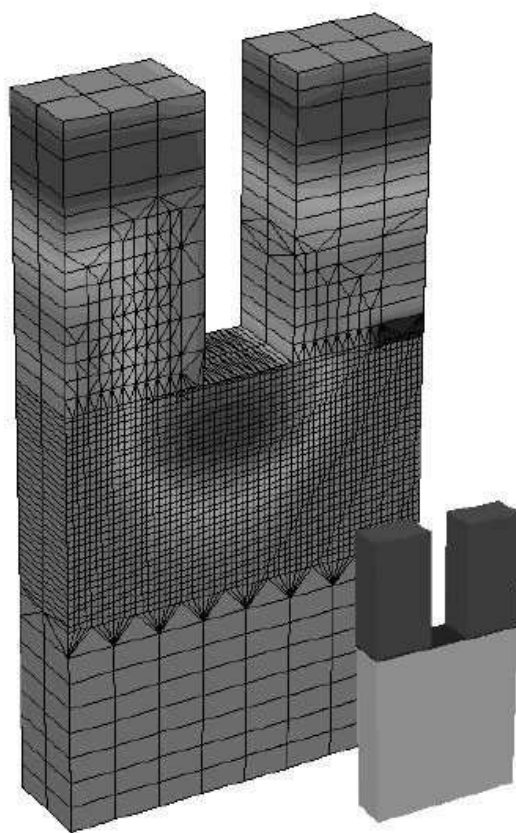
Obr. 2.38 Schéma jednotlivých součástí programu ISE TCAD, které na sebe navazují a které byly využívány.

Příklad struktury vytvořené v podprogramu MDRAW je vidět na obr. 2.39 a příklad jiné struktury vytvořené v podprogramu DIOS je vidět na obr. 2.40. Když je struktura definovaná, postupuje do podprogramu DESSIS, který umožňuje provádět různé typy simulací (D-simulace).



Obr. 2.39 Příklad 2D struktury vytvořené v podprogramu MDRAW.

Pro tuto práci byly použity DC, AC a teplotní simulace, které byly postupně definovány v podprogramu DESSIS. Tento podprogram provádí výpočty přímo na základě fyzikálních vztahů a nepoužívá zjednodušené modely, které by urychlovaly simulace. Proto je práce v tomto programu časově velmi náročná (hodiny, dny). Pokud je potřeba popsat chování vytvořené struktury ve funkčním obvodu s více součástkami, pak je možné spustit v podprogramu DESSIS obvodový simulátor SPICE, který pro ostatní součástky již používá předdefinované modely.



Obr. 2.40 Příklad struktury vytvořené v podprogramu DIOS.

Po skončení simulací v podprogramu DESSIS jsou výsledky předány podprogramu pro zobrazení grafů a charakteristik. Všechny výsledky ze simulací v této práci prošly zmíněným postupem a charakteristiky byly postupně přeneseny do tabulkového procesoru, ve kterém byl upraven konečný formát.

3. Cíle disertace

Z předchozí kapitoly je zřejmé, že o využití tyristorových struktur pro ESD ochrany je mezi vývojovými pracovníky velký zájem. Tento zájem vyplývá z lepších vlastností tyristorové ochrany ve srovnání s běžně používanými diodami nebo MOS tranzistory s uzemněným hradlem. Problém tyristorové ochrany, jak již bylo zmíněno, je dán relativně vysokým spouštěcím napětím a velmi nízkým udržovacím napětím. Proto je snaha tento rozdíl vyrovnat, aby byly tyristory použitelné v návrhu ESD ochran. Nicméně zatím se nepodařilo vyvinout univerzálně laditelný tyristor, který by pouhou modifikací rozměrů layoutu měnil úroveň napěťového spouštění a udržovacího napětí. Tyristorová ochrana, která by toto umožňovala, by byla velmi žádanou ochrannou strukturou v integrovaných obvodech, které používají více typů tranzistorů v jedné technologii. Například MOS tranzistory do 5 V, tranzistory DMOS do 20 V, 50 V až 80 V.

Pokud jsou na vstupní nebo výstupní vývody připojeny různé tranzistory, pak je zapotřebí každý vývod chránit ESD ochranou, která má jiné spouštěcí napětí. Univerzální laditelný tyristor jako ESD ochrana by tak mohl nahradit celý soubor ESD ochran (zejména diod), které jsou vytvořeny jako ochrany k jednotlivým typům tranzistoru. Toto je stále výzva, i když tyristorové struktury typu LVTSCR, které byly představeny v předchozí kapitole, tyto možnosti do určité míry nabízí. Problém nastává také při vytváření ESD ochran pro napájení, které mají mít spouštěcí napětí vyšší než Zenerova dioda. Jedná se především o aplikace ochran ve starších technologiích nebo v technologiích, které jsou rozšířené o použití velkých napětí (např. až 80 V). Zde je třeba pracovat s lavinovým průrazem součástky, který ovšem může velmi rychle přecházet v průraz destruktivní, tepelný. Návrh polovodičové součástky, která by toto dokázala není jednoduchý.

Z výše zmíněných důvodů byly cíle této práce stanoveny takto:

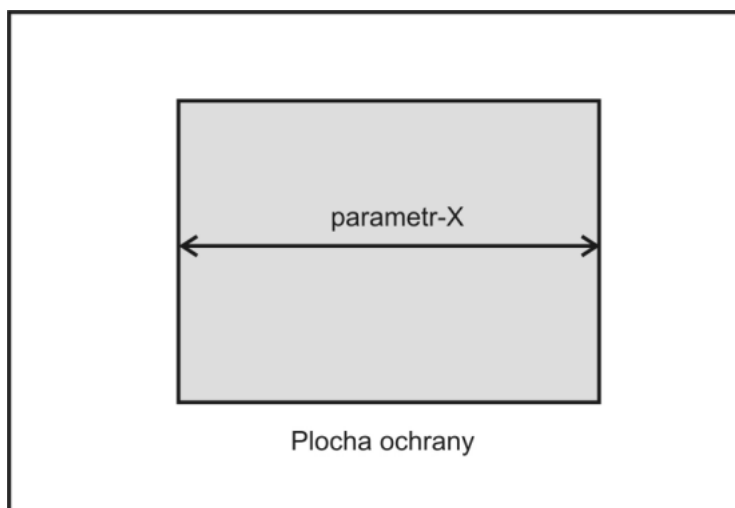
- Modelování a návrh tyristorových ESD ochran a realizace návrhu v konkrétní technologii. Ověření funkčnosti tyristorových ochran měřením jejich AV charakteristik.
- Návrh tyristorové ESD ochrany, která umožňuje ladění vlastností změnou topografie součástky.
- Návrh tyristorové nebo tranzistorové ESD ochrany pro napájení.

Limitujícími parametry jsou velikost svodového/blokovacího (*leakage*) proudu, který u požadovaných ESD ochran nemá přesáhnout 20 μA , dále odpor v sepnutém stavu (*ON resistance*), který by měl být maximálně 20 Ω . Napěťová úroveň pro ochranu napájení by měla být 30 až 60 V, tzn. spouštěcí napětí maximálně 55 až 60 V a udržovací napětí minimálně 30 až 35 V. Návrhy mají být realizovány v technologii CMOS VHVIC (Very High Voltage Integrated Circuits) a v (1,5 μm) technologii BiCMOS. Pro studium a návrh ESD ochran byly poskytnuty koncentrační profily technologie CMOS, které slouží jako podklad pro D-simulace struktur v softwarovém prostředí TCAD.

4. Realizace cílů disertační práce

4.1 Stanovení přístupu k řešení

Klíčovým cílem práce je navrhnout strukturu, která bude umožňovat ladění spouštěcího a udržovacího napětí pomocí rozměrů masky. Aby bylo zcela zřejmé o co v tomto návrhu jde, vytvořil jsem rámcový přehled ideálních a očekávaných výsledků při úspěšném řešení. Na obr. 4.1 je vidět ukázkou půdorysu, který představuje celkovou plochu ochrany, která bude navrhována. Na začátku definujeme parametr, pomocí kterého se budou měnit vlastnosti struktury, tedy spouštěcí a udržovací napětí. Tento parametr může být obecně nazván například „parametr-X“.



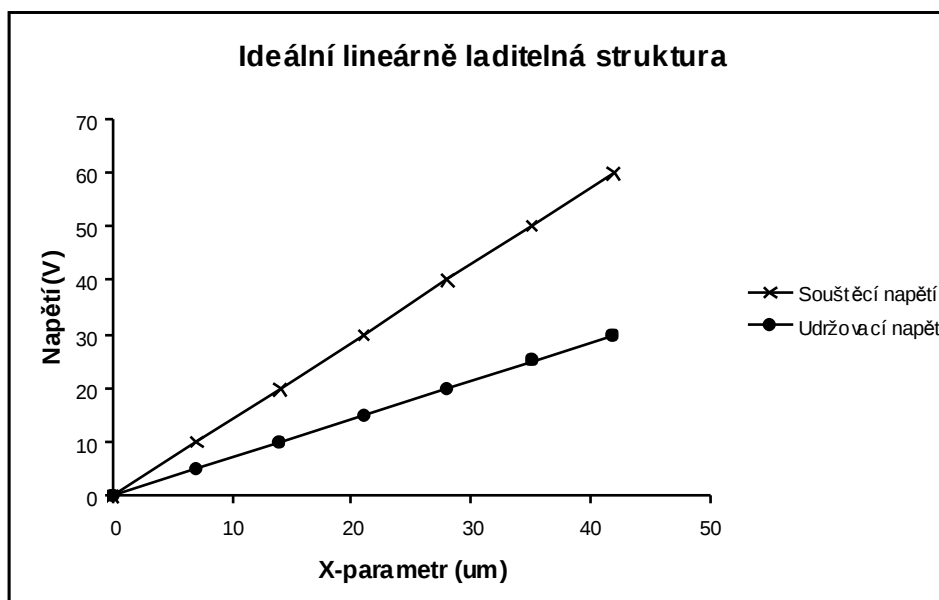
Obr. 4.1 Principiální ukázka půdorysu části ochrany, kde je znázorněn parametr X, pomocí kterého je možné ladit spouštěcí a udržovací napětí.

Parametr X může obecně zahrnovat vzdálenost půdorysných difúzních vrstev od sebe, případně celkovou délku všech vrstev navrhované ochrany. U skutečné ochrany může být parametrem X například vzdálenost anody od katody, nebo délka vrstvy N+ apod.. Takový parametr představuje vždy tu vzdálenost, která je na změnu spouštěcího a udržovacího napětí nejcitlivější.

Tabulka 2 ukazuje hodnoty spouštěcího a udržovacího napětí, kterých bych chtěl dosáhnout pomocí ladění parametru X. Jedná se o modelové hodnoty parametru X, které na obr. 4.2 demonstrují ideální laditelnou strukturu, kdy je laditelnost spouštěcího i udržovacího napětí zcela lineární na parametru X.

Tabulka 2 Modelové hodnoty pro demonstraci laditelnosti z Obr. 4.2

Spouštěcí napětí (V)	0	10	20	30	40	50	60
Udržovací napětí (V)	0	5	10	15	20	25	30
X-parametr (um)	0	7	14	21	28	35	42

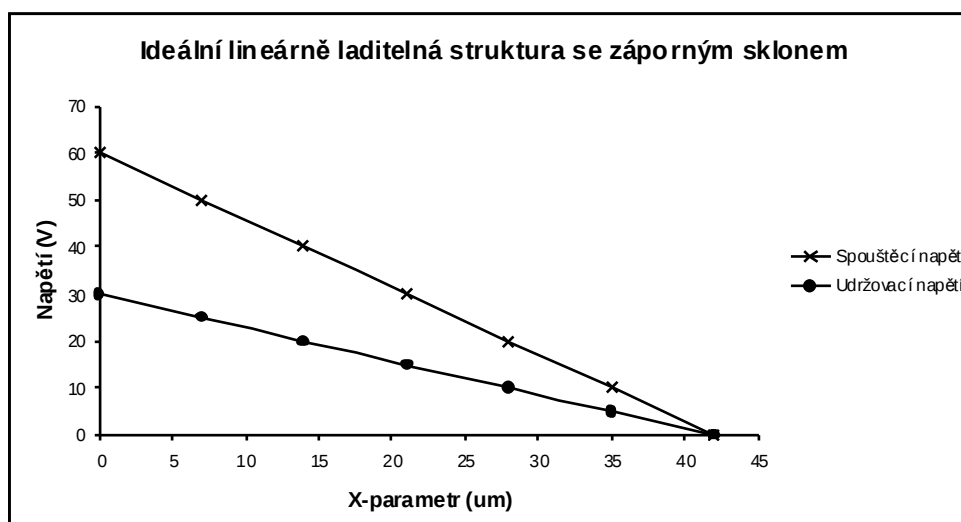


Obr. 4.2 Ideální lineární závislost představující laditelnost spouštěcího a udržovacího napětí.

Stejným způsobem je zobrazena ideální lineární závislost se záporným sklonem (tab. 3 a obr. 4.3). To znamená, že hodnoty napětí se zvyšují se zmenšováním parametru X. V praxi si to je možné představit jako postupné přibližování dvou vrstev a tím zvyšování úrovně obou napětí.

Tabulka 3 Modelové hodnoty pro demonstraci laditelnosti z Obr. 4.3

Spouštěcí napětí (V)	0	10	20	30	40	50	60
Udržovací napětí (V)	0	5	10	15	20	25	30
X-parametr (um)	42	35	28	21	14	7	0

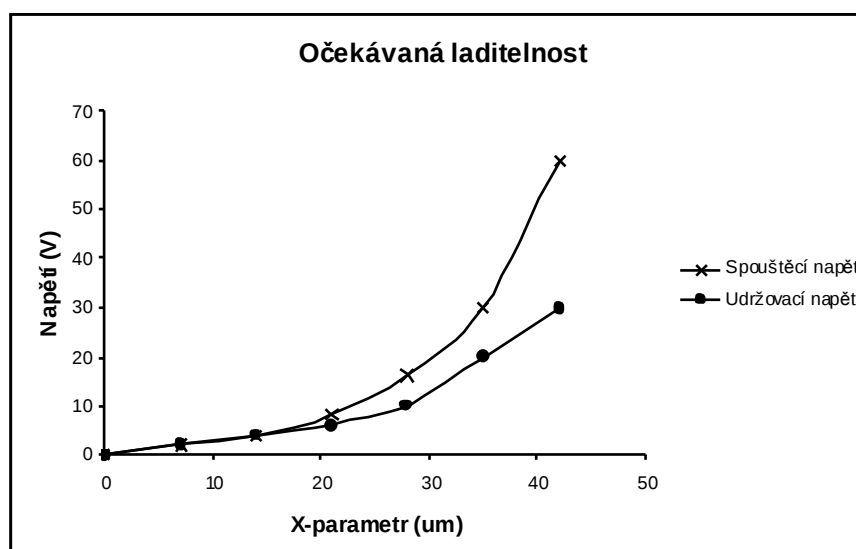


Obr. 4.3 Ideální lineární závislost spouštěcího a udržovacího napětí se záporným sklonem.

Dá se ovšem očekávat, že pokud bude navržena ochranná struktura laditelná pomocí parametru X , závislost laděného napětí nebude lineární. Proto uvádím svou představu o možné podobě závislosti spouštěcího a udržovacího napětí na obr. 4.4.

Tabulka 4 Modelové hodnoty pro demonstraci laditelnosti z Obr. 4.4.

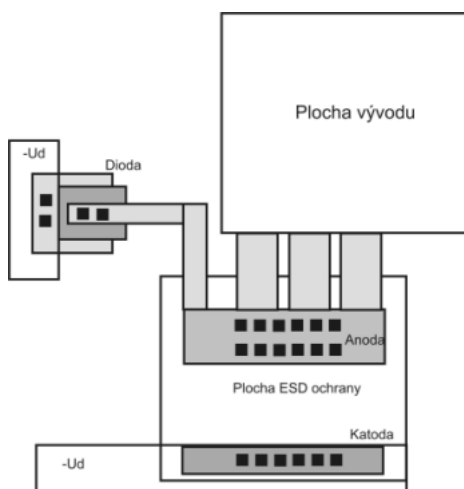
Spouštěcí napětí (V)	0	2	4	8	16	30	60
Udržovací napětí (V)	0	1	2	3	5	10	15
X-parametr (um)	0	7	14	21	28	35	42



Obr. 4.4 Ukázka možné závislosti spouštěcího a udržovacího napětí na změně X -parametru.

Představa zmíněné očekávané laditelnosti vychází z předpokladu, že pokud je možné ladit spouštěcí a udržovací napětí posunem vrstev, bude se jednat o posun v desítkách či stovkách mikrometrů a nikoliv o posun v jednotkách mikrometrů, se kterým se běžně v praxi experimentuje, a který doposud nevedl k popisu takového ladění.

Ochranné struktury jsou umístovány vedle vývodu, což je zobrazeno na obr. 4.5. Proto se jejich maximální plocha odvíjí od velikosti plochy vývodu. Pro návrh ochranné struktury v této práci je možné využít délku až 100 μm . Vývody v technologiích CMOS a BiCMOS, ve kterých má být návrh ochrany realizován, mají totiž plochu (100 μm $\times$ 100 μm). Nicméně existují integrované obvody, které na ESD ochranách nešetří a některé ESD ochrany jsou tak rozsáhlé, že mohou zabírat až čtvrtinu plochy celého čipu.

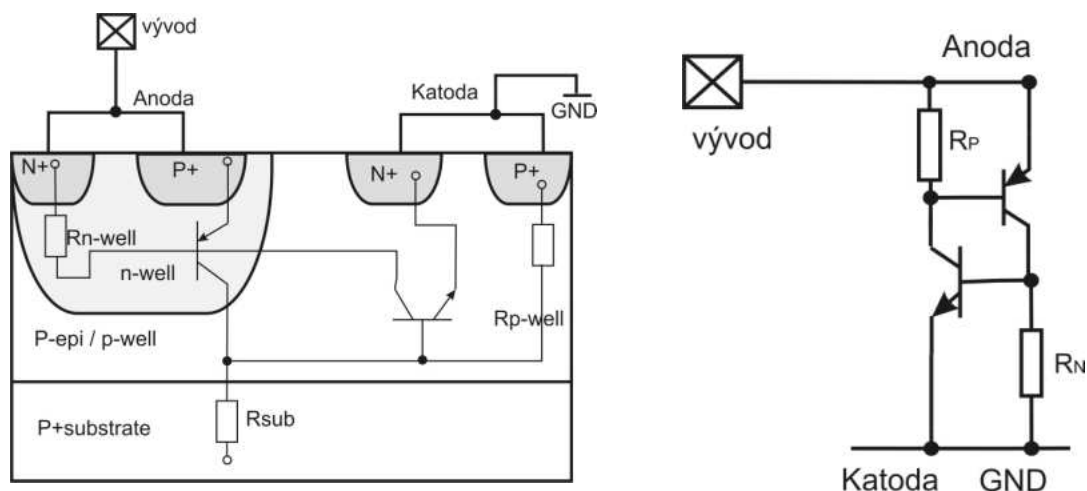


Obr. 4.5 Způsob umístění ochrany vedle vývodu integrovaného obvodu, zde je plocha ESD ochrany srovnatelná s plochou vývodu.

4.2 Rozbor činnosti ochranné tyristorové struktury

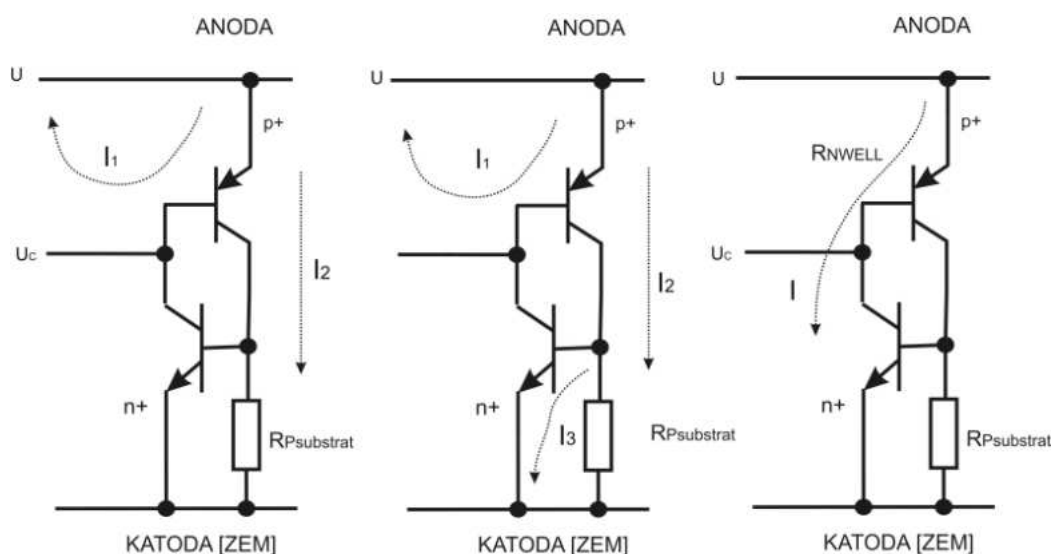
Pro návrh ESD ochrany byl vybrán tyristor (viz.Cíle disertace). Tato struktura vykazuje velmi dobré spínací vlastnosti. Horizontální tyristor byl představen v kapitole 2.4 [6, 13]. Řez takovým tyristorem je znovu ukázán na obr. 4.6 . Vrstva P+ uvnitř vrstvy N-WELL tvoří anodu tyristoru, kde jsou díry vstřikovány do vrstvy N-WELL. Vrstva N+ uvnitř vrstvy P-WELL tvoří katodu tyristoru, ze které jsou elektrony vstřikovány do vrstvy P-WELL. Spojení vrstvy N-WELL je provedeno přes kontakt vrstvy N+, který je vnořen do vrstvy N-WELL a přes P+ kontakt tvoří zase propojení s vrstvou P-WELL.

Takový tyristor můžeme nahradit pro výklad činnosti dvěma bipolárními tranzistory. Tranzistor PNP označený T1 je tvořen anodou (emitorem), oblast vrstvy N-WELL tvoří bázi a oblast vrstvy P-WELL tvoří kolektor. Tranzistor NPN označený T2 je tvořen katodou (emitorem), oblast vrstvy P-WELL vytváří bázi a oblast vrstvy N-WELL tvoří kolektor.

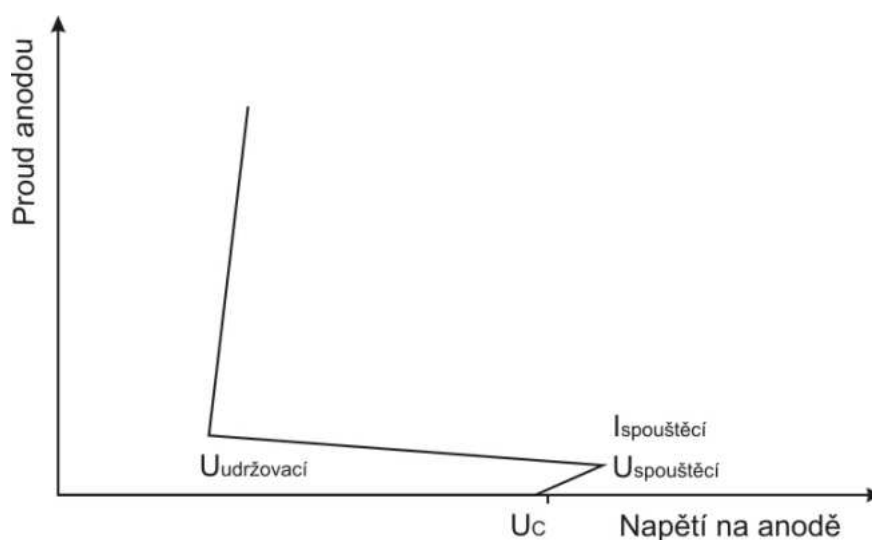


Obr. 4.6 Řez horizontálním tyristorem v CMOS technologii se zobrazením parazitních PNP a NPN tranzistorů. Odpor $R_{n\text{-well}}$ je odpor vrstvy N-WELL, $R_{p\text{-well}}$ je odpor vrstvy P-WELL a R_{epi} je odpor epitaxní vrstvy. Nízkoodporový substrát je na potenciálu 0, vpravo je zobrazeno obvodové schéma takového tyristoru.

Pro představu funkce takové struktury uvažujme, že je vrstva N-WELL připojena na neměnné napětí U_c , vrstva P-WELL a katoda jsou propojeny se zemí a napětí U , představující narůstající napětí (u reálné ochrany se jedná o ESD výboj), je připojeno na anodu, tak jak popisuje obr. 4.7.



Obr. 4.7 Princip činnosti horizontální tyristorové struktury.



Obr. 4.8 AV charakteristika tyristoru pro relativně velké proudy, ukazuje spouštěcí napětí, spouštěcí proud a udržovací napětí.

AV křivka pro tyristor je vidět na obr. 4.8. Jakmile napětí U vzroste nad hodnotu U_c , otevře se přechod emitor-báze tranzistoru PNP (na obr. 4.7 naznačeno proudem I_1). Proud I_2 teče skrz PNP do vrstvy P-WELL a otevírá se přechod emitor-báze tranzistoru NPN (na obr. 4.7 naznačeno proudem I_3). Proud tranzistorem NPN z vrstvy N-WELL do katody teď napájí otevřený tranzistor PNP a napětí na anodě ho již nemusí otevírat. Tím pádem začíná napětí U klesat, což způsobí záporný odporový režim [11]. Minimální hodnota U je nazývána „udržovací“ napětí, a je definována množstvím proudu, který potřebuje PNP k napájení NPN v propustném směru, a šířkou báze

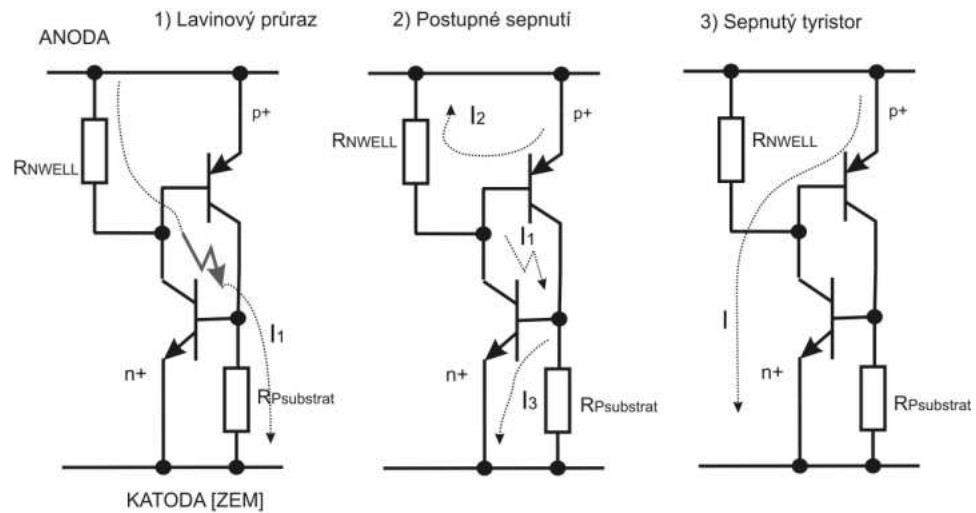
horizontálního NPN a PNP, což je vlastně vzdálenost mezi anodou a katodou. Odpory $R_{N\text{-well}}$ a $R_{P\text{-substrat}}$ označují rezistenci vrstvy N-WELL a P-WELL a umožní napájení pro tranzistory PNP a NPN. Jen pro ilustraci můžeme uvést, že když je tyristor ve fázi „sepnuto“, podmínkou, že setrvá v tomto stavu, je rovnice (4.1), [22]:

$$\beta_{npn} * \beta_{pnp} > 1 \quad (4.1)$$

β_{npn} a β_{pnp} jsou proudové zisky tranzistorů NPN a PNP. Mělo by být řečeno, že ačkoliv jsou PNP a NPN ukázány jako diskrétní tranzistory, kolektor jednoho je zároveň bází druhého.

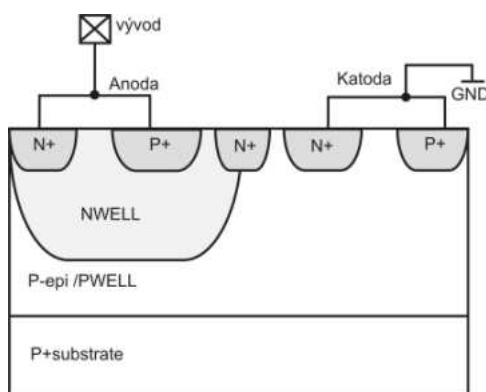
Spouštěcí proud je určen odporem $R_{P\text{-substrat}}$, který je dán tloušťkou epitaxní vrstvy (pokud existuje) a dotací vrstvy P-WELL. Udržovací napětí je závislé na vzdálenosti anody a katody a také na odporu $R_{N\text{-well}}$. Ještě je možné dodat, že tyristor může být modelován jako dvojpól. Prostor mezi anodou a katodou je plně modulován vodivostí a odpor sepnutého tyristoru je velmi malý, což vytváří minimální výkonové ztráty – ideální pro ESD ochrany.

Tyristorová ESD ochrana se připojuje jako dvojpólová součástka s anodou propojenou s vrstvou N-WELL a katodou propojenou s vrstvou P-WELL, jak ukazuje obr. 4.9. Spínání nyní vyžaduje lavinový průraz vrstvy N-WELL do P-přechodu (schématické znázornění proudem I_1 vlevo, viz. obr. 4.9). Tyristor se spíná chováním podobným spínání tranzistoru NPN v technologii NMOS. Běžně je zisk tranzistoru NPN o řád vyšší než u tranzistoru PNP, který má nižší proudovou úroveň a spínání NPN je tedy snazší než spínání PNP. Na obr. 4.9 je znázorněn proud I_1 , který začne procházet strukturou při překročení napětí lavinového průrazu U_{av} . Tento proud způsobí napěťový úbytek na odporech $R_{P\text{-substrat}}$ a $R_{N\text{-well}}$, úbytek je ve schématu naznačen báзовými proudy I_2 a I_3 , které spínají tranzistory NPN a PNP. Spouštěcí napětí je definováno lavinovým průrazem vrstvy N-WELL na vrstvu P-substrát a spouštěcí proud je stejný jako u obvodu popsaného v předcházejícím textu.

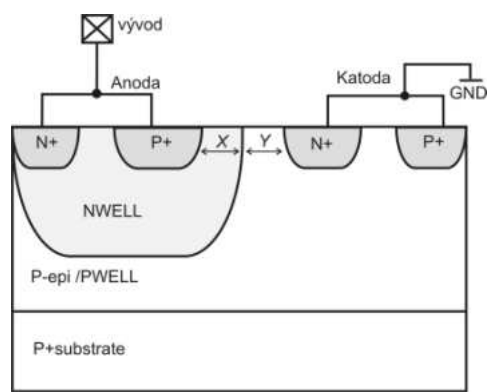


Obr. 4.9 Princip sepnutí horizontální tyristorové struktury pomocí lavinové ionizace.

Lavinový průraz vrstvy N-WELL na P-substrát je v pokročilých CMOS technologiích okolo 20 V. Aby činnost tyristoru coby ESD ochrany byla přiměřená, je třeba spouštěcí napětí snížit. Toho lze dosáhnout přidáním N+ vrstvy na okraj vrstvy N-WELL, což bylo zmíněno v kapitole 2.4 [3] a tuto změnu lze vidět i na obr. 4.10. Průrazné napětí se tak sníží. V submikronové technologii CMOS se průraz pohybuje kolem 15 V. Další redukce spouštěcího napětí může být provedena pomocí hradlové diody na okraji vrstvy N-WELL. Toto bylo představeno v [13]. Hradlo NMOS tranzistoru, které tvoří hradlovou diodu, je připojeno na katodu. Spouštěcí napětí pro tyto struktury se v CMOS technologiích pohybují od 6 do 10 V [3].

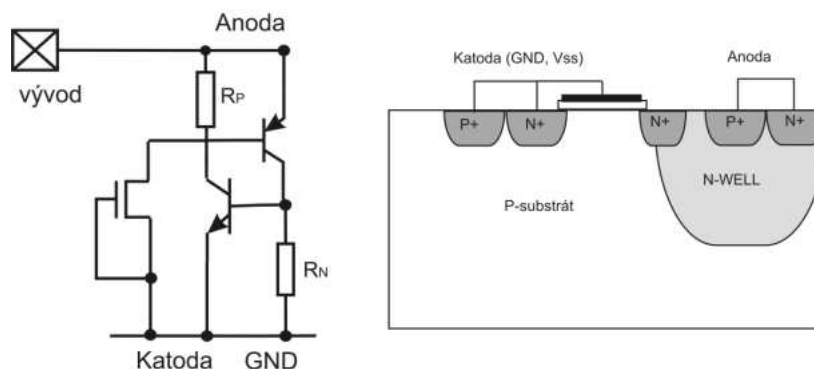


Obr. 4.10 Horizontální CMOS tyristor s přídatnou N+ vrstvou rozhraní vrstvy N-WELL z důvodu redukce spouštěcího napětí.



Obr. 4.11 Horizontální CMOS tyristor bez přídatné difúze s označením rozměrů X a Y [3].

Tyristor je neefektivnějším ze všech ochranných zařízení při výboji na jednotku plochy. Výkon tyristoru se pohybuje v rozmezí 40 až 70 V μ m⁻¹. Procesními parametry, které ovlivňují spouštěcí napětí jsou úroveň dotace vrstvy N-WELL a substrátu vodivosti P. Hlavním návrhovým parametrem, který ovlivňuje spouštěcí napětí je vzdálenost mezi anodou a okrajem vrstvy N-WELL. Spouštěcí napětí může být sníženo zmenšením vzdálenosti X pro anodu a Y pro katodu, ale povede to k vyššímu svodovému (blokovacímu) proudu. Vzdálenosti X a Y jsou naznačeny na obr. 4.11 vlevo. Obr. 4.11 vpravo ukazuje spouštěcí napětí jako funkci vzdálenosti X a Y . Abychom snížili spouštěcí napětí bez výrazné změny svodového proudu, návrh je pozměněn tak, že se zavede vrstva N⁺ na okraj vrstvy N-well. Řez strukturou pozměněného tyristoru je na obr. 4.10. Takto lze snižovat spouštěcí napětí až na napětí okolo 25 V. Toto napětí může být dále sníženo na 12 až 15 V nahrazením izolačního oxidu na tyristoru tenkým hradlovým oxidem, jak je vidět na obr. 4.12 [13]. Kvůli své nízké spouštěcí úrovni se tato struktura nazývá tyristor s nízkým spouštěcím napětím (Low-Voltage Trigger SCR, LVTSCR). Struktura LVTSCR jednoduše využívá MOS tranzistor paralelně s tyristorem. Sepnutí nastane poté, co se začne lavinově prorážet přechod „drain-source“ u tranzistoru NMOS. Lavinovitě vzniklý proud děr v P-substrátu otevírá horizontální tranzistor NPN, a tím i vertikální PNP následovaný regenerativní akcí tyristoru. Malé spouštěcí napětí u LVTSCR umožňuje použití struktury pro ESD ochrany.



Obr. 4.12 Řez tyristorovou strukturou LVTSCR a ekvivalentní obvodové zapojení vlevo [3].

4.3 Fyzikální podstata výpočtů simulačního nástroje TCAD

Dříve než přistoupíme k návrhu tyristorové struktury, je vhodné věnovat pozornost fyzikálním výpočtům, na základě kterých nástroj TCAD pracuje, a ze kterých vyplynou vlastnosti a chování navrhovaných struktur.

4.3.1 Rekapitulace vodivosti polovodičů

Vodivost polovodiče σ je dána:

$$\sigma = nq\mu_n + pq\mu_p \quad (4.2)$$

kde μ_n a μ_p je pohyblivost elektronů a děr, n a p jejich koncentrace. Elementární náboj elektronu je $q = 1,602 \times 10^{-19} \text{ C}$. Potom n a p jsou dány:

$$n = n_i \exp\left[\frac{q(\psi - \phi)}{kT}\right] \quad (4.3)$$

$$p = n_i \exp\left[\frac{q(\phi - \psi)}{kT}\right] \quad (4.4)$$

ψ a ϕ jsou potenciály odpovídající Fermiho energii E_F a Fermiho energii pro intrinzický polovodič E_i . Takže $\phi = -E_F/q$ a $\psi = -E_i/qn_i$ je intrinzická koncentrace nosičů daná vztahem

$$n_i = \sqrt{N_C N_V} \exp\left(\frac{-E_g}{2kT}\right) \quad (4.5)$$

kde N_C a N_V jsou efektivní hustoty stavů ve vodivostním a valenčním pásu.

4.3.2 Rovnice polovodiče ve výpočtech nástroje TCAD

Nástroj ISE TCAD počítá proudy v polodiči na základě rovnic (4.6, 4.7, 4.8, 4.9). Proudů jsou matematicky vyčíslovány na základě numerických iteračních metod, které postupnými kroky směřují k hledanému řešení. Dynamická rovnováha pohyblivých nábojů v elementárním objemu je počítána na základě rovnice kontinuity, která má obecný tvar:

$$\frac{\partial \rho}{\partial t} = - \left(\frac{\partial J_x}{\partial x} + \frac{\partial J_y}{\partial y} + \frac{\partial J_z}{\partial z} \right) \quad (4.6)$$

kde ρ značí hustotu elektrického náboje a J proudovou hustotu.

Dalšími rovnicemi pro popis chování minoritních nosičů jsou tzv. difúzní rovnice, které jsou variantou druhého Fickova zákona:

$$\frac{\partial \Delta n_p}{\partial t} = D_n \frac{\partial^2 \Delta n_p}{\partial x^2} - \frac{\Delta n_p}{\tau_n} \quad (4.7)$$

$$\frac{\partial \Delta p_n}{\partial t} = D_p \frac{\partial^2 \Delta p_n}{\partial x^2} - \frac{\Delta p_n}{\tau_p} \quad (4.8)$$

kde $D_{n,p}$ je difúzní koeficient elektronů a děr, $\tau_{n,p}$ je doba života elektronů a děr.

Poslední stavovou rovnicí je Poissonova rovnice, která je odvozena z první Maxwellovy rovnice, a pomocí které lze počítat průběh potenciálu v polovodiči.

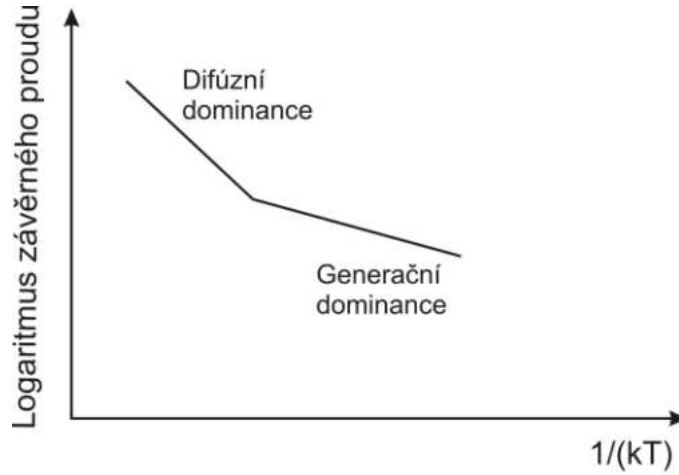
Obecný tvar této rovnice je:

$$\frac{\partial E_x}{\partial x} + \frac{\partial E_y}{\partial y} + \frac{\partial E_z}{\partial z} = \frac{\rho}{\varepsilon} = \frac{q}{\varepsilon} (p - n + N_D + N_A) \quad (4.9)$$

kde N_D, N_A jsou koncentrace donorů a akceptorů, E je elektrická intenzita a q je elementární náboj.

4.3.2 Lavinová ionizace závěrně polarizovaného přechodu

Uvažujme nyní polovodičový PN přechod v závěrném směru. Obr. 4.13 ukazuje znázornění $\ln(I_R)$ jako funkce $1/kT$. Při nízkých teplotách bude závěrný proud I_R dominovat teplotní generací a na grafu je vidět se sklonem 0,5. Při vyšších teplotách dominuje proudová difúze a závěrný proud I_R má sklon roven jedné (úhel 45°).



Obr. 4.13 Proud v závěrném směru jako funkce teploty [3, 56].

Když se závěrné napětí zvýší a elektrické pole dosáhne hodnoty asi 10^5 V cm^{-1} , nosiče v depletiční oblasti mohou předat dostatečnou energii při kolizi s mřížkou k tomu, aby byl generován pár elektron-díra, které se stávají volnými nosiči [45]. Tyto nové nosiče jsou urychleny a při kolizi s mřížkou vytváří další nosiče. Tento proces se nazývá lavinová ionizace. Proud děr I_{p0} a proud elektronů I_{n0} procházející přes tuto oblast je násoben a celkový proud v oblasti se rovná:

$$I_p = I_{p0} + \alpha_p I_{p0} + \alpha_n I_{n0} \quad (4.10)$$

$$I_n = I_{n0} + \alpha_p I_{p0} + \alpha_n I_{n0} \quad (4.11)$$

$\alpha_{n,p}$ jsou koeficienty ionizace elektronů a děr a jsou teplotně závislé [46].

Pokud bychom chtěli výpočty provádět manuálně, pak lze použít empirickou rovnici pro koeficienty ionizace elektronů a děr jako funkci teploty:

$$\alpha_{n,p} = A_{n,p} [1 + C_{n,p} 10^{-4} (T - 300)] E \exp \left(\frac{-B_{n,p}^2 [1 + D_{n,p} (T - 300)]^2}{E^2} \right) \quad (4.12)$$

$A_n = 0,426 \text{ /V}$, $A_p = 0,243 \text{ /V}$, $B_n = 4,81 \times 10^5 \text{ Vcm}^{-1}$, $B_p = 6,53 \times 10^5 \text{ Vcm}^{-1}$, $C_n = 3,05 \times 10^{-4}$, $C_p = 5,35 \times 10^{-4}$, $D_n = 6,86 \times 10^{-4}$ a $D_p = 5,87 \times 10^{-5}$ jsou koeficienty pro elektrony a díry: E má jednotku Vcm^{-1} . Výše zmíněné rovnice mohou být zjednodušeny na:

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i}{E}\right) \quad (4.13)$$

kde vztahem $B_i = E_g/q\lambda$ a λ je míněna volná cesta nosičů [18].

$$\lambda = \lambda_0 \tanh\left(\frac{E_{r0}}{2kT}\right) \quad (4.14)$$

$\lambda_0 = 50 \text{ \AA}$ a $E_{r0} = 50 \text{ meV}$ pro $T = 0 \text{ K}$. Experimentální výsledky byly získány z [23] jako:

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i(T)}{E}\right) \quad (4.15)$$

kde koeficient A_i zůstává konstantní, přičemž hlavní teplotní změna nastane v exponentu $B_i(T)$. Násobící faktor pro elektrony a díry $M_{n,p}$ je důležitý parametr pro ionizační účinky sledující chování polovodičového prvku.

$$M_{n,p} = \frac{I_{n,p}(out)}{I_{n,p}(in)} \quad (4.16)$$

$I_{n,p}(out)$ a $I_{n,p}(in)$ definují proudy na okraji depletiční oblasti. Pro $\alpha_n \sim \alpha_p \sim \alpha$, $M_{n,p}$ můžeme napsat:

$$M_{n,p} = \frac{1}{1 - \int_0^{\omega} \alpha dx} \quad (4.17)$$

Lavinový průraz nastává při napětí, kdy se $M_{n,p}$ blíží k nekonečnu:

$$\int_0^{\omega} \alpha = 1 \quad (4.18)$$

Empirický vztah mezi faktorem M a napětím na přechodu U_j je popsán [43]:

$$M = \frac{1}{1 - \left(\frac{U_j}{U_{av}}\right)^n} \quad (4.19)$$

kde U_{av} je napětí lavinového průrazu a n je parametr nabývající hodnoty $2 \div 6$ a závisí na typu přechodu. Nárůst M s napětím je velmi ostrý ve chvíli, kdy se U_j blíží velikosti U_{av} . Jinou možností je substituce α z rovnice (4.15) do rovnice (4.17) a dostaneme:

$$M = \frac{1}{1 - A_i \exp\left(-\frac{B_i}{U_j}\right)} \quad (4.20)$$

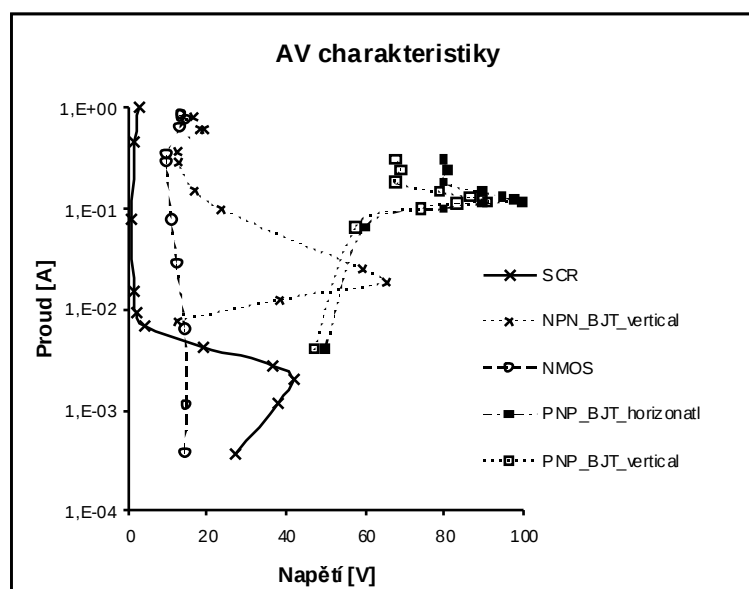
Parametry $A_i \sim A_{\chi_d}$ a $B_i \sim B_{\chi_d}$ jsou empirické hodnoty a umožňují lepší představu U_j ve srovnání s rovnicí (4.19). Jakmile se U_j blíží U_{av} , M se blíží k nekonečnu, pak může být rovnice (4.20) přepsána jako [27, 30]:

$$U_{av} = \frac{B_i}{\ln(A_i)} \quad (4.21)$$

Pokud známe práh napětí lavinové ionizace U_{av} , můžeme tuto rovnici použít pro vzájemný vztah A_i a B_i . Omezením je pouze odpor neutrální oblasti mimo depletační oblast. Teplotní závislost α se chová následovně. Při růstu teploty T se vliv ionizace snižuje a násobící faktor M klesá. To znamená, že napětí lavinového průrazu roste s teplotou.

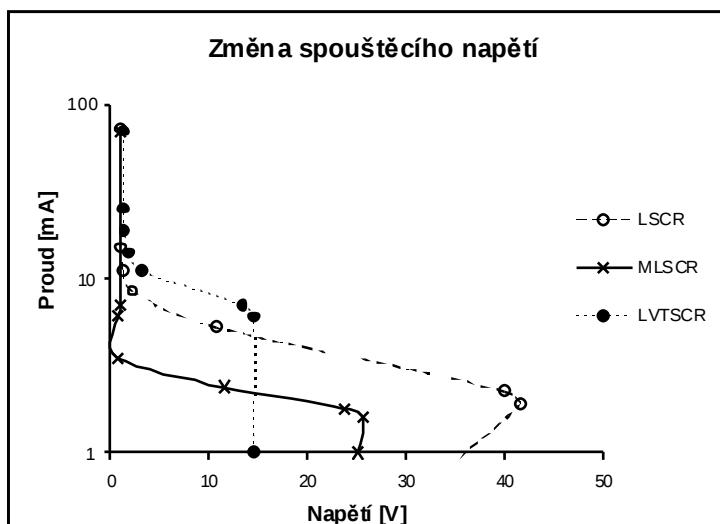
4.4 Volba vhodných polovodičových struktur pro řešení

Každá technologie umožňuje prostřednictvím definovaných vrstev (difúzních nebo implantovaných, dále jen difúzních) vytvoření různých polovodičových součástek. Technologie CMOS je optimalizována na vytváření MOS tranzistorů. Nicméně za použití vrstev pro tranzistor MOS se dá vytvořit i dioda, případně bipolární tranzistor, který ovšem nemá ideální vlastnosti. Typické AV charakteristiky pro oblast průrazu polovodičových součástek, které můžeme pomocí vrstev vytvořit v BiCMOS nebo CMOS jsou ilustrovány na obr. 4.14. Pro prvky zobrazené v grafu platí, že tvar AV charakteristik lze jen těžko ovlivnit změnou horizontálních vzdáleností jednotlivých difúzních vrstev při jejich návrhu [3].



Obr. 4.14 Typické AV charakteristiky pro oblast průrazu polovodičových součástek v BiCMOS a CMOS technologii simulované v TCAD simulátoru.

Z charakteristik je vidět, které struktury mohou být teoreticky použity pro návrh ESD ochran. Jediná struktura, která se dá použít, je NMOS tranzistor s uzemněným hradlem. Bipolární tranzistory spínají na příliš velkém napětí při relativně velkém svodovém proudu a rychle přechází z lavinového do tepelného průrazu. Horizontální tyristor (SCR) má sice dobrou odolnost proti výboji, ale díky svému relativně vysokému spouštěcímu napětí a velmi nízkému udržovacímu napětí není příliš praktický. Na základě rozboru z předchozí kapitoly je zřejmé, že je možné tyristorové struktury do jisté míry upravovat tak, aby došlo k posunu napětí lavinového průrazu.



Obr. 4.15 Změna napěťové úrovně lavinového spínání u horizontální tyristorové struktury.

Tento jev byl ověřen TCAD simulací pro technologii CMOS 1,5 μ m a výsledek je vidět na obr. 4.15. Jedná se o srovnání horizontálního tyristoru (LSCR) s modifikovaným horizontálním tyristorem (MLSCR)[3], který má na okraj vrstvy N-WELL vnořenu vrstvu N+ pro snížení napětí lavinového průrazu vrstvy N-WELL. Třetím testovaným tyristorem je tyristor s nízkým spouštěcím napětím (LVTSCR) [13]. Tento tyristor používá paralelně zapojený tranzistor MOS, který snižuje průrazné napětí ještě výrazněji. Zde je vidět, že v literatuře popisovaný princip ladění spouštěcího napětí funguje i v simulátoru. Tabulka 5 ukazuje jednotlivé vrstvy dostupné v CMOS a BiCMOS technologii, které bylo možné využít pro návrh ESD ochrany. Vrstvy jsou seřazeny zleva do prava podle koncentrace příměsí. Vrstvy N+ a P+ jsou u povrchu a jsou to nejkoncentrovanější kontaktní vrstvy. Naopak vpravo je nejméně dotovaný P-substrát.

Tabulka 5 Přehled difúzních vrstev dostupných v použitých technologiích.

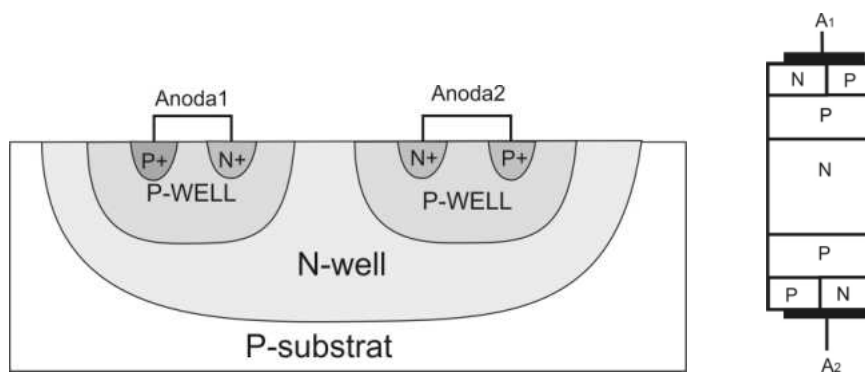
CMOS	P+	N+	PWELL	NWELL	P-	N-	P-sub	
BiCMOS	P+	N+	PWELL	NWELL	P-	N- utopená	N-epi	P-sub

Existuje i možnost měnit udržovací napětí, což bylo představeno u tyristoru s nízkým spouštěcím napětím (LVTSCR). Logickým závěrem ze studia literatury je, že by bylo vhodné nejprve navrhnout a vyrobit tento tyristor s nízkým spouštěcím napětím. Proto byla pozornost věnována této struktuře a na základě výsledků byly

teprve definovány nové modifikované struktury, které vykazují chování podle stanovených cílů disertační práce.

Nově jsem vytvořil tyristorovou strukturu s laditelným udržovacím napětím (HVASCR) [67, 70], a posléze také strukturu, kterou jsem pojmenoval variabilní horizontální tyristor (VLSCR) [70].

Zároveň byla modelována struktura typu DIAC [55] upravená pro integrovaný obvod v horizontální konfiguraci. Řez navrhovanou strukturou je vidět na obr. 4.16. Tato struktura byla vyrobena v BiCMOS technologii. Ukázalo se, že struktura se chová z hlediska lavinového spínání stejně jako parazitní tranzistor při lavinovém průrazu v CMOS technologii.



Obr. 4.16 Řez strukturou DIAC, která byla navržena v horizontální podobě pro CMOS a BiCMOS technologie.

Pozornost jsem tedy zaměřil především na tři modifikované tyristory, které jsou detailně rozebrány v následujících kapitolách.

4.5 Tyristor s nízkým spouštěcím napětím (LVTSCR)

Na základě dosavadního vývoje v oblasti návrhu ESD ochran je zřejmé, že prvním krokem pro zjištění použitelnosti tyristorové struktury bude vytvoření tyristoru s nízkým spouštěcím napětím (Low-Voltage Triggering Silicon Controlled Rectifier) [13, 19], který umožňuje ladění udržovacího napětí. Na základě publikovaných informací o chování takového tyristoru jsem stanovil očekávanou laditelnost udržovacího napětí

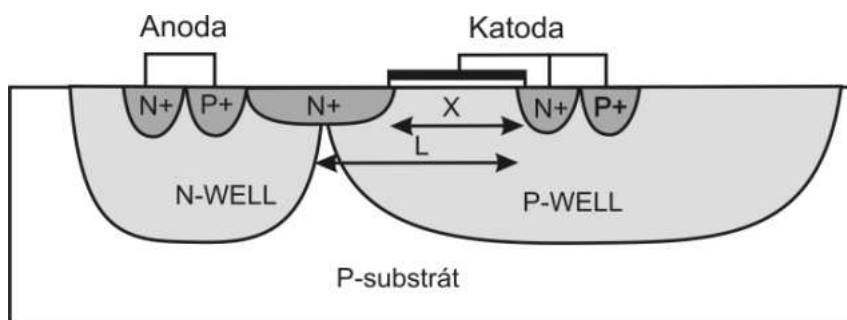
v závislosti na návrhovém parametru (X-parametru). Tuto předpokládanou laditelnost uvádí tab. 6.

Tabulka 6 Předpokládaná laditelnost tyristoru LVTSCR

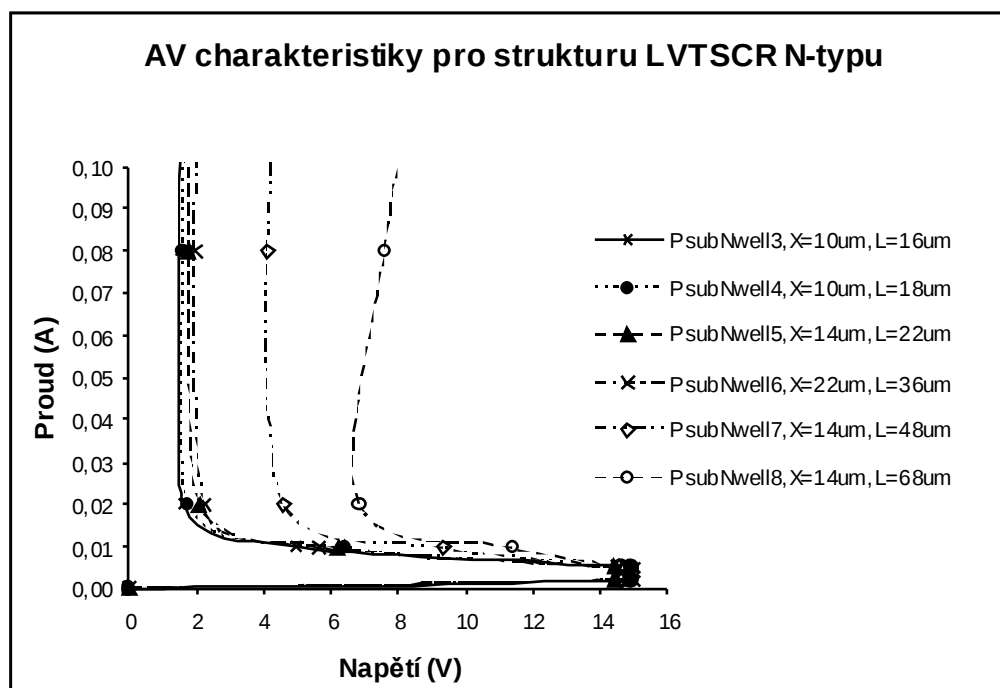
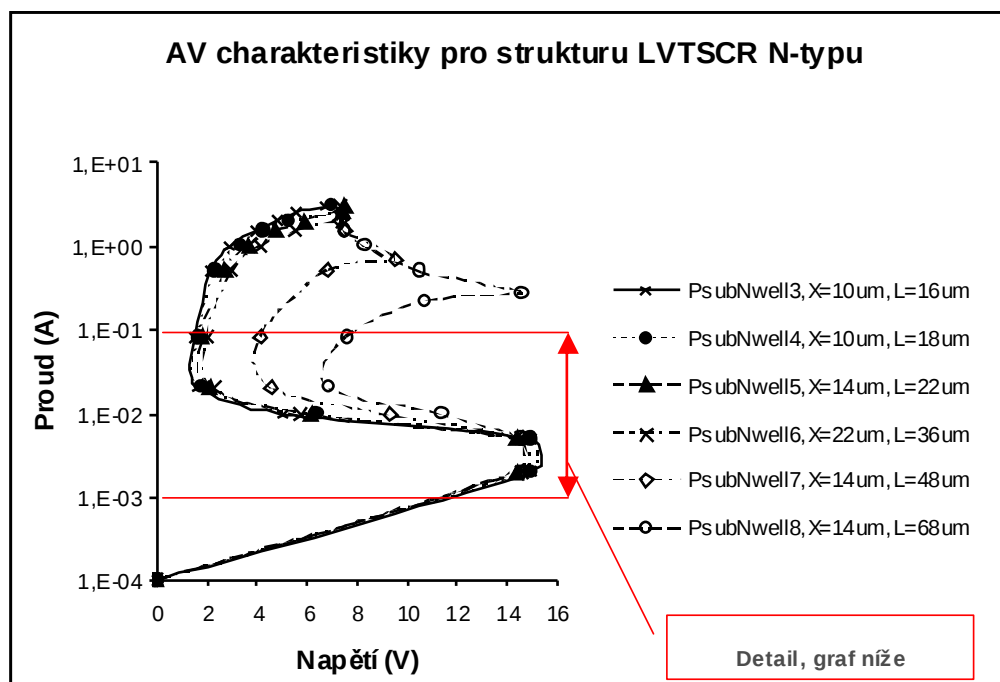
Udržovací napětí (V)	2	3	4	5	6
X-parametr (μm)	5	10	15	20	25

4.5.1 Výsledky z modelování a simulace

Tuto strukturu jsem definoval pro simulátor ISE TCAD za použití difúzních vrstev, které jsem měl k dispozici v CMOS technologii [72, 68, 70]. Řez modelovanou strukturou LVTSCR je na obr. 4.17. Tento tyristor umožňuje ladění udržovacího napětí. Změna tohoto napětí je nejvíce citlivá na změnu proudového zisku tranzistoru NPN uvnitř tyristoru LVTSCR. Tento proudový zisk měníme pomocí vzdálenosti L , tedy změnou délky jeho báze. Vzdálenost L je tedy návrhový parametrem (X-parametrem) při vytváření této struktury. Výledky ze simulace modelované struktury LVTSCR jsou zobrazeny na obr. 4.18.



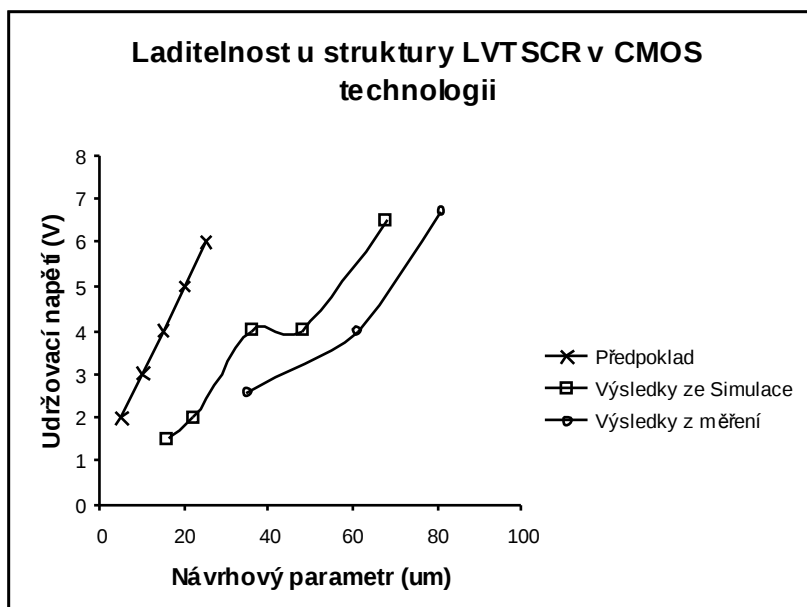
Obr. 4.17 Řez strukturou LVTSCR, která byla simulovaná v CMOS procesu.



Obr. 4.18 Změna udržovacího napětí u struktury LVTSCR v logaritmickém měřítku (nahore) a v lineárním měřítku (dole) ze simulátoru TCAD.

Výsledky ze simulace ukazují laditelnost udržovacího napětí v použité CMOS technologii. Struktura LVTSCR spíná na 15 V a udržovací napětí je nastavitelné od 2 V do 7 V. Navíc struktura má velmi nízký svodový (blokovací) proud (řádově nA) a velmi nízkou rezistenci při aktivaci. Obr. 2.1 ukazuje výsledky laditelnosti tyristoru LVTSCR. Je zde vidět předpoklad laditelnosti udržovacího napětí, dále skutečná

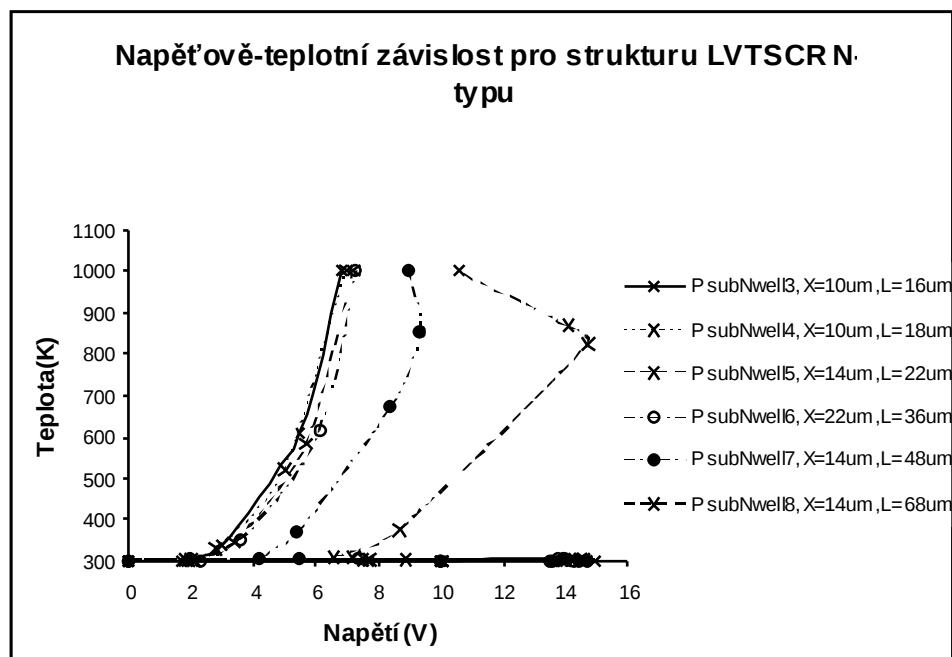
laditelnost podle výsledků ze simulátoru a výsledky z měření vzorků vyrobených v CMOS technologii.



Obr. 4.19 Laditelnost udržovacího napětí pro strukturu LVTSCR.

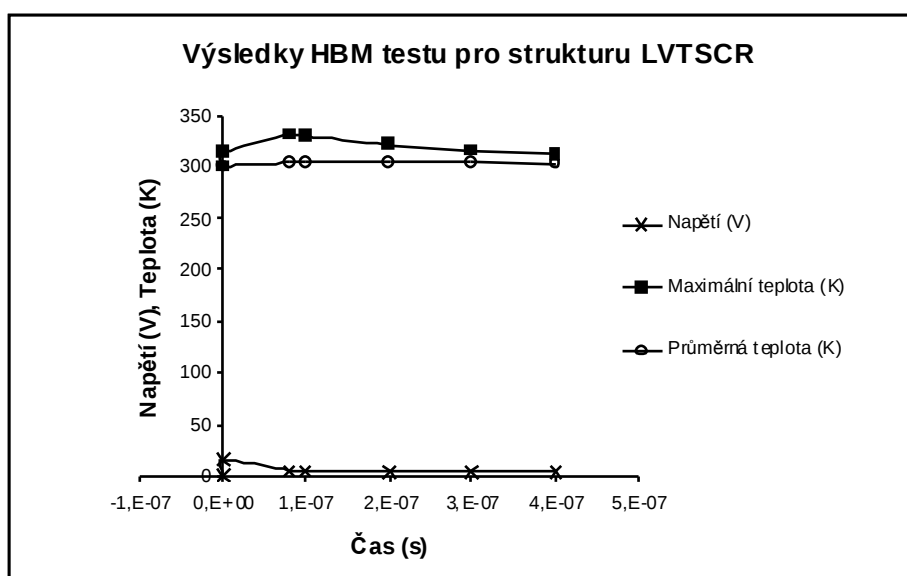
Laditelnost udržovacího napětí není lineární funkce v závislosti na návrhovém parametru. Nepatrně se liší výsledky z měření a simulace. Rozdíl je však dán pouze posunem ve vzdálenostech návrhového parametru.

Pro detailnější představu o teplotním chování při elektrostatickém výboji u struktury LVTSCR byly provedeny teplotní simulace pro jednotlivé vzorky tohoto tyristoru. Výsledky této simulace jsou vidět na obr. 4.20. Z obou grafů je patrné, že čím vyšší je hodnota udržovacího napětí, tím vyšší je celková rezistence struktury (obr. 4.18), a tím nižší teplota stačí na teplotní průraz tyristoru, který začíná u struktury s největším odporem asi na 800 K. Jiné polovodičové struktury (MOS, PNP, NPN apod..) mají nižší teplotu teplotního průrazu při sepnutém režimu [1, 37]. To mimo jiné předurčuje tyristor k možné aplikaci jako ochrana proti ESD.

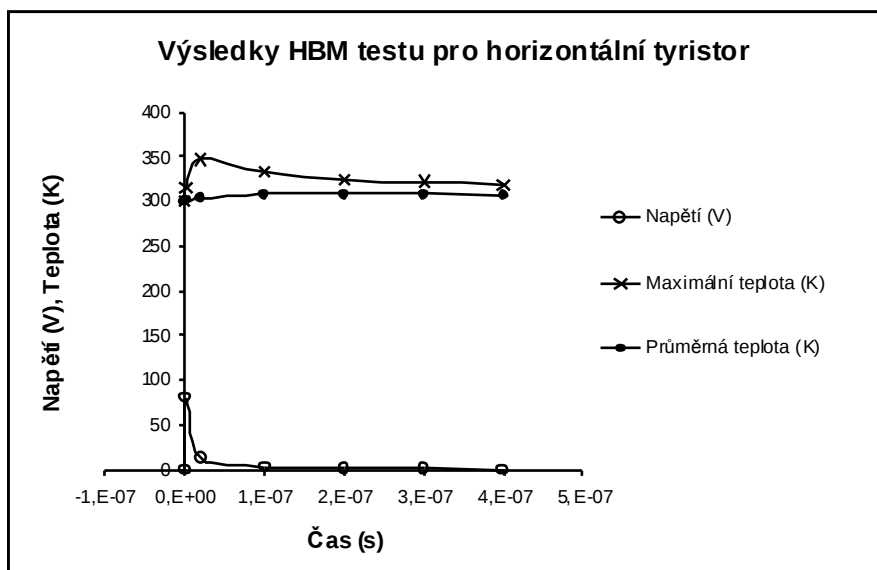


Obr. 4.20 Výsledky teplotního namáhání struktury LVTSCR v simulátoru TCAD.

Dále byl tyristor LVTSCR testován na odolnost proti ESD výboji typu HBM (proti modelu výboji lidského těla). Tento test byl opět proveden simulací v simulátoru ISE TCAD. Výsledné přechodné děje při tomto testu na struktuře LVTSCR jsou zobrazeny na obr. 4.21. Pro srovnání průběhů přechodného děje je zobrazen také průběh testu HBM pro horizontální tyristor LSCR na obr. 4.22.



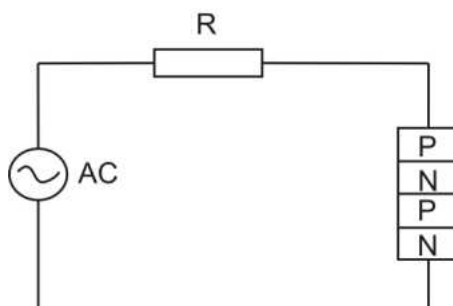
Obr. 4.21 Výsledky testu HBM pro tyristor s nízkým spouštěcím napětím (LVTSCR).



Obr. 4.22 Výsledky testu HBM pro horizontální tyristor (LSCR).

Porovnáním výše uvedených průběhů testu HBM lze vidět, že u horizontálního tyristoru LSCR vystoupí napětí na anodě na desítky voltů dříve než tyristor sepne, zatímco u tyristoru s nízkým spouštěcím napětím LVTSCR se jedná pouze o jednotky voltů. Dalším rozdílem je teplota struktury při testu HBM, kdy u horizontálního tyristoru LSCR dosáhne maximální teplota asi 350 K a u tyristoru s nízkým spouštěcím napětím jen 330 K. Je to samozřejmě dáno tím, že struktura LVTSCR spíná rychleji, a proto neklade vyššímu nárůstu napětí takový odpor jako horizontální tyristor LSCR, který spíná až kolem 60 V.

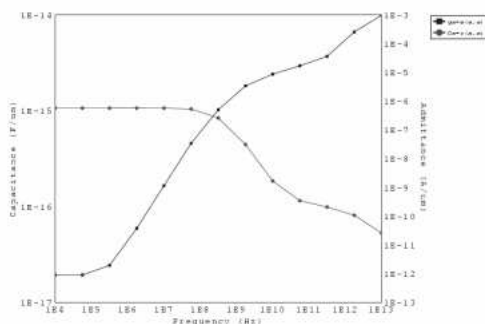
Poslední simulací byla AC analýza, která byla také provedena v simulátoru ISE TCAD podle zapojení na obr. 4.23 [10, 15].



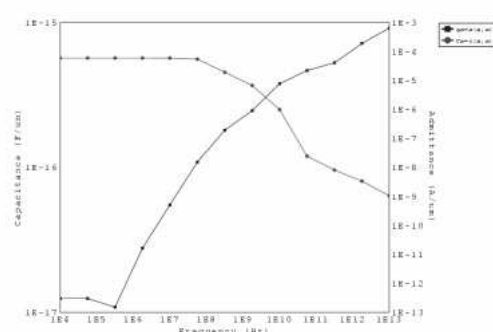
Obr. 4.23 Známkování zapojení čtyřvrstvé tyristorové struktury pro AC simulaci

Amplituda střídavého signálu byla stanovena tak, aby se její hodnota neblížila spouštěcímu napětí LVTSCR. Při zvyšování kmitočtu se mění kapacitní vlastnosti této

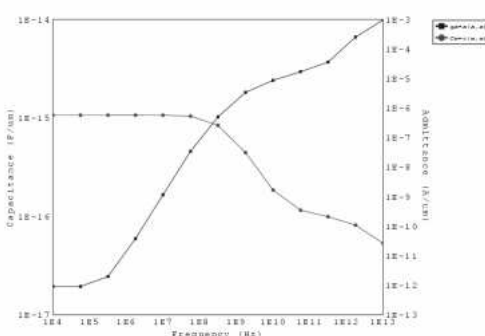
struktury a vodivost. Struktura by neměla kapacitně sepnout v kmitočtovém pásmu, které odpovídá pracovnímu režimu obvodu dané aplikace. Výsledky AC simulace jsou zobrazeny na obr. 4.24, obr. 4.25, obr. 4.26 , obr. 4.27.



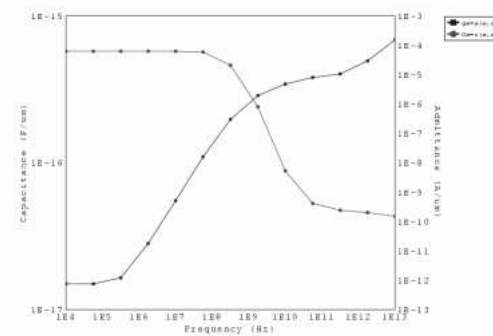
Obr. 4.24 Výsledky AC simulace pro strukturu LVTSCR.



Obr. 4.25 Výsledky AC simulace pro diodu v závěrném směru.



Obr. 4.26 Výsledky AC simulace pro strukturu LVTSCR.

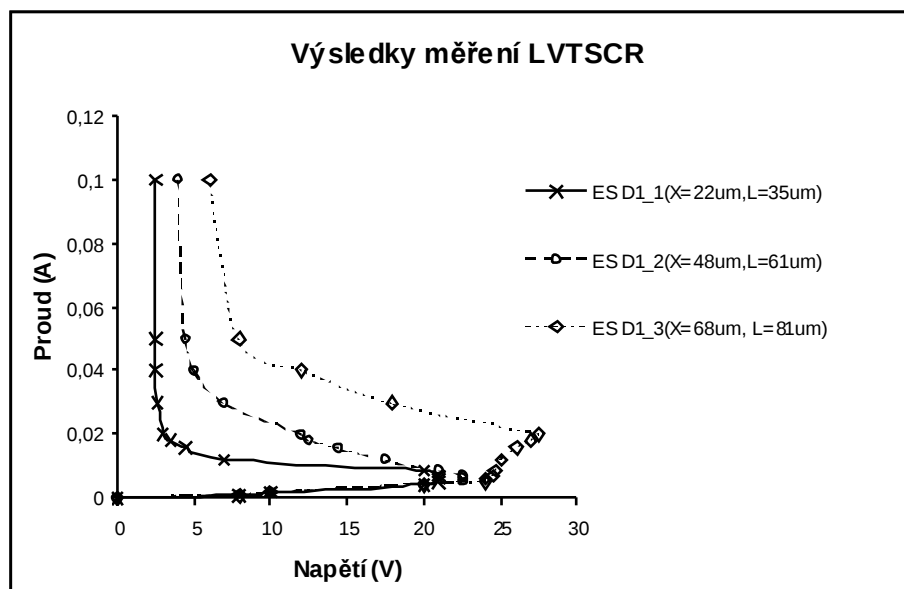


Obr. 4.27 Výsledky AC simulace pro běžný horizontální tyristor LSCR.

Srovnáním AC analýz pro LVTSCR, diodu v závěrném směru a konvenční horizontální tyristor můžeme konstatovat, že se frekvenční chování horizontálního tyristoru s nízkým spouštěcím napětím výrazně neliší od diody či konvenčního tyristoru LSCR. Významnější rozdíl je pouze v kapacitě u struktury LVTSCR na nízkých kmitočtech, která je větší než u diody a tyristoru LSCR.

4.5.2 Výsledky měření vzorků vyrobených v CMOS technologii

Na základě výsledků z modelování a simulace jsem navrhl vzorky tyristoru LVTSCR v dostupné 1,5 μm CMOS technologii. Tyto vzorky byly vyrobeny a byly změřeny AV charakteristiky. Struktury byly proměřovány jako dvojpól, který byl kontaktován pomocí hrotů přímo na testovacím čipu. Měření probíhalo plně automaticky. Výsledky tyristoru LVTSCR jsou zobrazeny na obr. 4.28.



Obr. 4.28 Výsledky měření vzorků struktury LVTSCR.

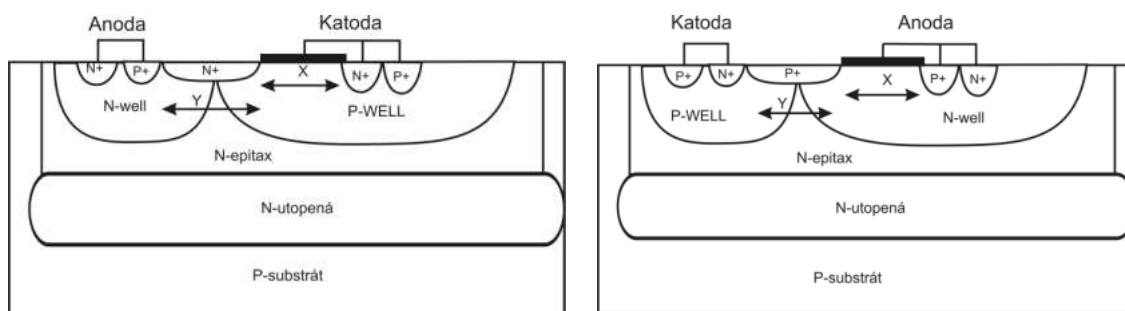
Z výsledků měření je patrné, že způsob chování navrženého tyristoru odpovídá teorii [13], což bylo nejdříve ověřeno simulací v programu ISE TCAD. Rozdíl je samozřejmě v konkrétních hodnotách spouštěcího a udržovacího napětí. Zatímco při simulaci dosahuje tyristor spouštěcího napětí, které odpovídá asi 14 V, ve skutečnosti je to asi 22 až 25 V. Udržovací napětí je ve stejném rozsahu a dosahuje maximálně 7 V. Tyto rozdíly mohou být způsobeny zjednodušováním při modelování.

Největším zjednodušením je, že v simulátoru se definuje struktura pouze v řezu (tzn. dvourozměrně) a třetí rozměr se udává pouze násobkem proudu na mikrometr. Předpokládá se tedy, že struktura je ve třetím rozměru naprosto homogenní. Dalším zjednodušením je způsob kontaktování vrstev a přibližný koncentrační profil jednotlivých vrstev. V simulátoru byl kontakt modelován pouze vodivým propojením

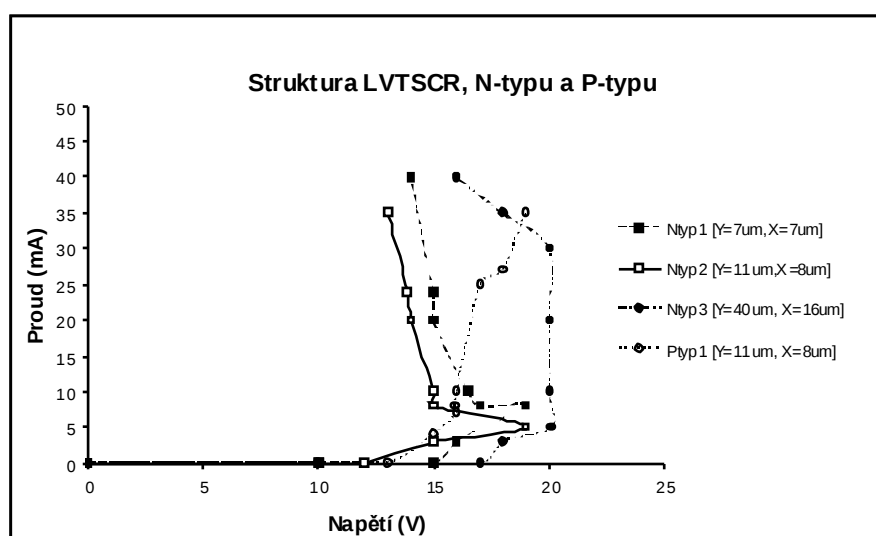
s polovodičem, kdy příslušnému kontaktu byla přiřazena určitá hodnota odporu, která jen odhaduje skutečný odpor reálného kontaktu. Numerické výpočty jsou přesné v závislosti na množství iterací, které musí být nastaveny v rozumné míře tak, aby simulace netrvala příliš dlouho. Doba jedné D-simulace (AV charakteristika) u jedné struktury trvala asi 24 hodin. Toto mohou být příčiny nesouladu absolutních hodnot parametrů dané struktury při porovnání měřených výsledků a simulovaných výsledků. Pochopitelně důležitou roli hraje také přizpůsobení rozměrů dané struktury konkrétní technologii. Rozměry tyristoru LVTSCR, který byl vyroben (obr. 4.28), neodpovídají přesně rozměrům tyristoru LVTSCR, který byl simulován (obr. 4.18). To by však nemělo mít zásadní vliv na hodnotu průrazu vrstvy N-WELL na P-substrát, který u této struktury určuje hodnotu spouštěcího napětí.

4.5.3 Výsledky měření vzorků vyrobených v BiCMOS technologii

Dále byly vzorky struktury LVTSCR vyrobeny v technologii 1,5 μ m BiCMOS. Řez tohoto tyristoru v BiCMOS technologii je zobrazen na obr. 4.29. Zde byla použita utopená vrstva a epitaxní vrstva, které v technologii CMOS nejsou a nebyly tedy modelovány ani simulovány. Výsledky měření vzorků tyristoru LVTSCR v BiCMOS technologii opět potvrdily funkčnost této struktury. Výsledky měření jsou vidět na obr. 4.30. Vzorky tohoto tyristoru byly pro porovnání vyrobeny jako struktury N-typu a P-typu (podle obr. 4.29). Výsledky potvrzují, že výhodnější struktura je N-typu. Dále bylo zjištěno, že v technologii BiCMOS je možné ladit udržovací napětí v rozmezí od 13 V do 19 V, při spouštěcím napětí 19 V. Svodový proud je v přípustné toleranci pouze do určitého napětí, které je vždy o několik voltů nižší než je spouštěcí napětí. Proto je možné tuto strukturu použít jako ochranu pro 10 až 15 V, záleží na nastavení rozměrů.



Obr. 4.29 Vzorky struktury LVTSCR N-typu (vlevo) a P-typu (vpravo), které byly vyrobené v technologii BiCMOS.



Obr. 4.30 Výsledky měření AV charakteristik u vzorků tyristoru LVTSCR vyrobených v technologii BiCMOS.

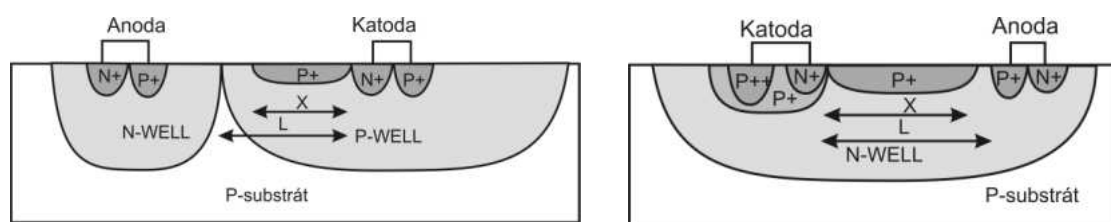
4.6 Tyristor s laditelným udržovacím napětím (HVASCR)

Z chování struktury LVTSCR jsem vyvodil závěr, že by bylo možné vytvořit tyristorovou strukturu, která by nevycházela z uzemněného tranzistoru NMOS a tyristoru (tak jako struktura LVTSCR), ale byla by vytvořena čistě jen jako tyristor, který by umožňoval laditelnost udržovacího napětí. Takovou strukturu jsem vytvořil a označil jako HVASCR (Holding Voltage Adjustable SCR)[69, 67, 70], neboli tyristor s laditelným udržovacím napětím. Cílem bylo pokusit se o podobnou úroveň laditelnosti jako umožňuje tyristor LVTSCR, ale zároveň se vyhnout použití hradla MOS

tranzistoru, které je tvořeno tenkým oxidem a při elektrostatickém výboji na něm snadno dochází k destrukci.

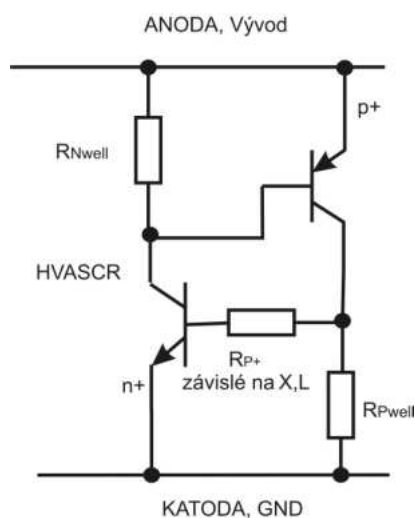
4.6.1 Výsledky z modelování a simulace

Dvě různé varianty této tyristorové struktury jsou zobrazeny na obr. 4.31. Jedná se o strukturu, která má mezi anodu a katodu zavedenou nekontaktovanou vrstvu P+. Udržovací napětí u „N-typu“ horizontálního tyristoru LSCR lze nastavit změnou proudového zesilovacího činitele tranzistoru NPN uvnitř struktury. Toho dosáhneme změnou šířky báze nebo změnou koncentrace příměsí v bázi. V tomto případě je šířka báze NPN tranzistoru definována prostorem vodivosti typu P mezi anodou a katodou. Přidáme-li do této oblasti vrstvu P+, zhoršíme vlastnosti bipolárního tranzistoru NPN, respektive snížíme schopnost proudového zesílení.



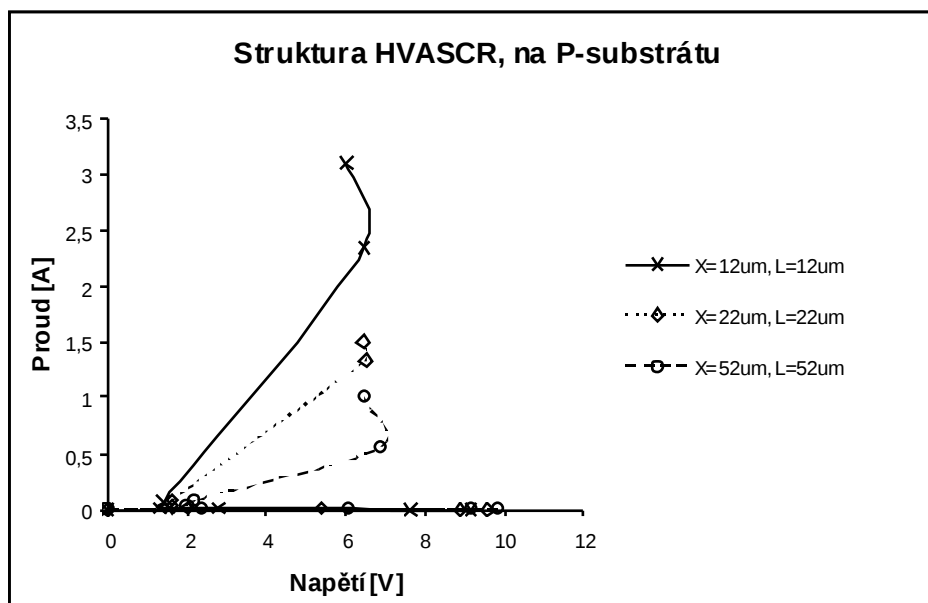
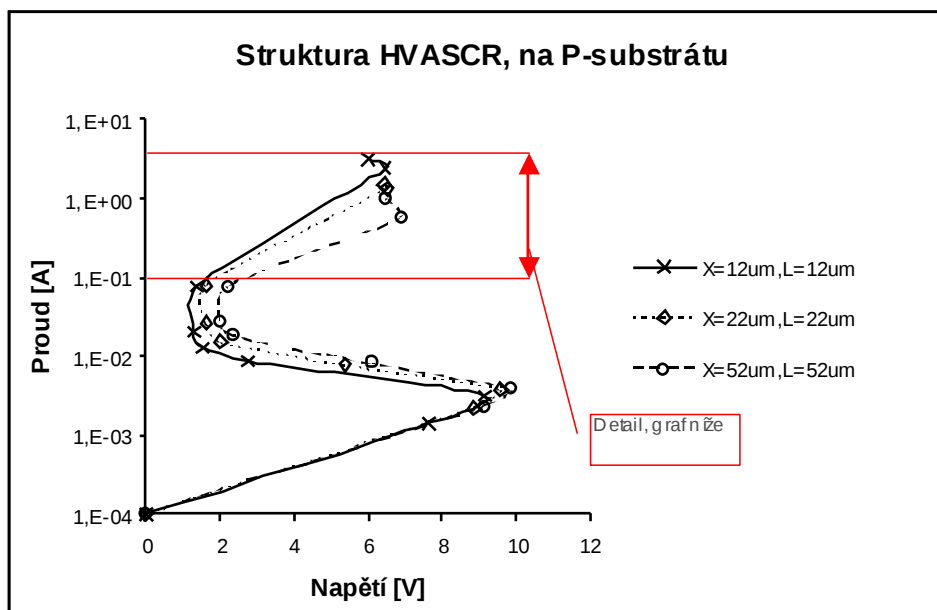
Obr. 4.31 Řez strukturou HVASCR na P-substrátu (vlevo), ve vrstvě N-WELL (vpravo)

Schématické znázornění struktury HVASCR je na obr. 4.32. Zde je vidět standardní náhradní obvodové schéma horizontálního tyristoru, ale je zde přidán bázevý odpor pro tranzistor NPN, který je závislý de rozměrech X a L. Tento odpor představuje vrstvu P+, která byla u struktury HVASCR schválně zavedena mezi anodu a katodu. Nyní budeme zkoumat chování udržovacího napětí při změnách délky X a délky L celé P-oblasti. Tyto rozměry jsou návrhovými parametry (X-parametry) pro tyristor HVASCR.

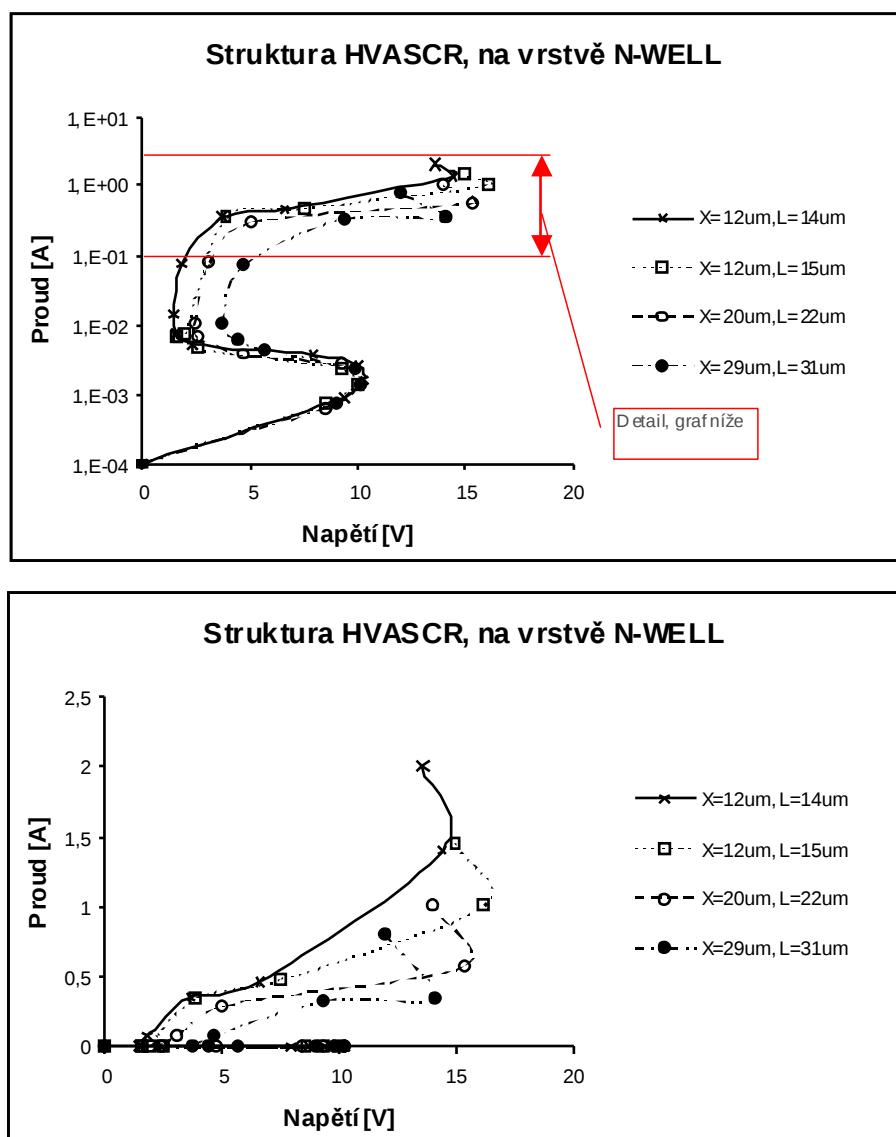


Obr. 4.32 Schématické znázornění struktury HVASCR.

Nejprve se zaměříme na P- substrátovou strukturu HVASCR (obr. 4.33). Zde je patrné, že hodnota udržovacího napětí se změnila (řádově v desetinách voltů). Spolu s udržovacím napětím se nepatrně měnilo i spouštěcí napětí. Je to dáno tím, že spouštěcí proud je ovlivněn odporem P-oblasti, který se přirozeně změnil také. A zcela logicky při zvětšení udržovacího respektive spouštěcího napětí, kdy jsem vzdálenost elektrod zvětšoval, se zvětšil i odpor P-oblasti, která byla rozšířena. Tím se zvětšil i odpor sepnutého tyristoru. Za cenu tohoto vyššího odporu se udržovací napětí posune pouze o 0,5 V. Plocha čipu se však zvětší. Tímto experimentem také demonstruji, že není možné měnit jeden parametr bez ovlivnění parametrů jiných. Návrh proto musí zahrnovat minimalizaci nežádoucích vlastností při změně rozhodujícího parametru. Pro lepší porovnání průběhů AV charakteristik je vždy zobrazena charakteristika s logaritmickým nárůstem proudu a s lineárním nárůstem proudu.



Obr. 4.33 Výsledky simulací tyristoru HVASCR na P-substrátu v logaritmicím měřítku (nahore), v lineárním měřítku (dole).

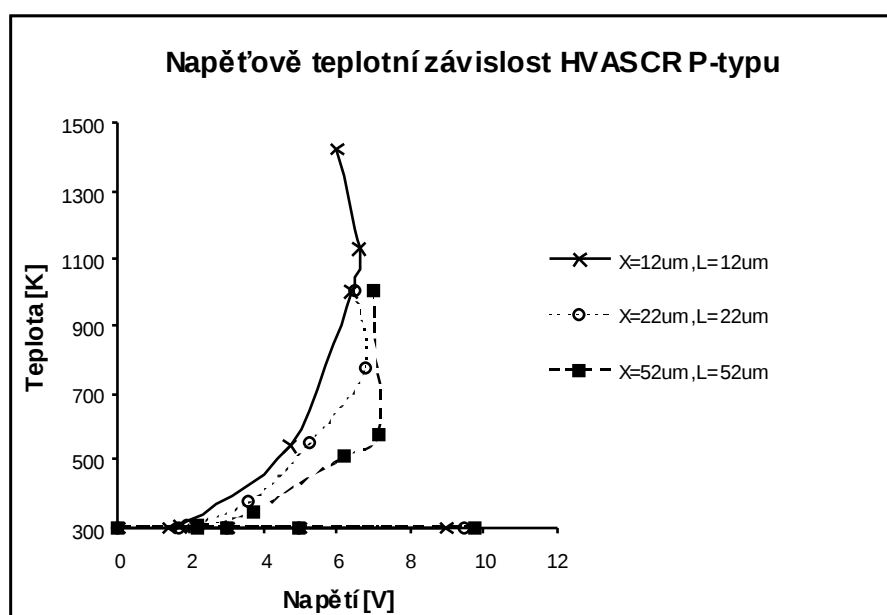


Obr. 4.34 Výsledky simulací tyristoru HVASCR ve vrstvě N-WELL. V logaritmickém měřítku (nahore), v lineárním měřítku (dole).

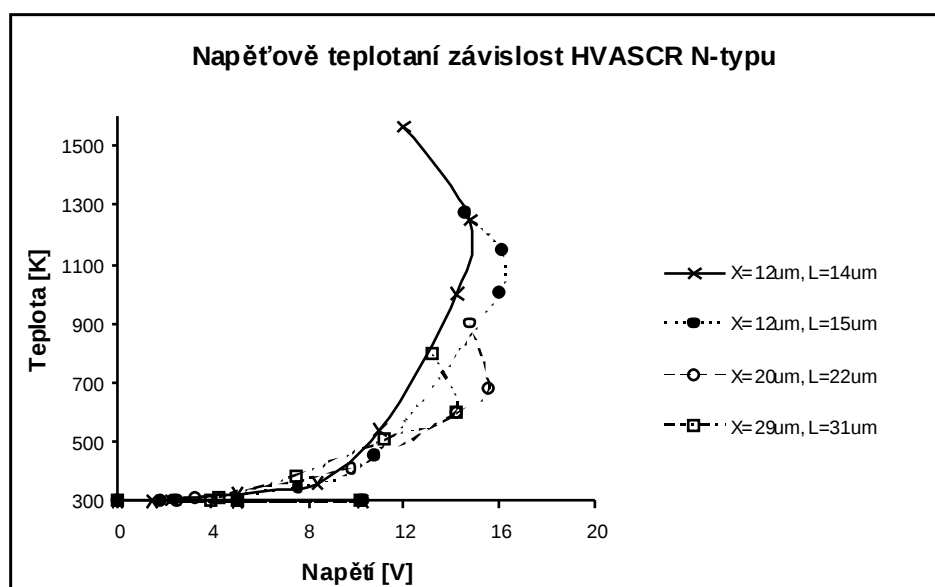
Obr. 4.34 ukazuje výsledky simulací pro strukturu HVASCR ve vrstvě N-WELL. Tento tyristor má vlastnosti lepší než P-substrátová varianta. Udržovací napětí se dá snadno nastavit až na téměř 5 V, přičemž se snižuje hodnota blokovacího proudu a spouštěcí napětí přitom zůstává konstantní. Vlivem jiného rozložení koncentrací příměsí ve struktuře vzrostl odpor sepnutého tyristoru a snížila se odolnost struktury proti druhému průrazu. Nicméně pro určité aplikace by tato struktura již mohla být použita, protože pro zlepšení odporu v sepnutém stavu lze zvětšit šířku struktury.

Tyristor s laditelným udržovacím napětím byl dále testován simulací teplotního namáhání. Na obr. 4.35 jsou zobrazeny výsledky simulace P-substrátové struktury

HVASC. Jedná se o závislost teploty na rostoucím anodovém napětí. Čím větší je udržovací napětí tyristoru, tím dříve (na nižších teplotách) dojde k teplotnímu průrazu. Zde je vidět, že nejnižší teplota destruktivního průrazu je u třetího vzorku asi 600 až 700 K. Na obr. 4.36 jsou zobrazeny tytéž výsledky simulace pro HVASC tyristor realizovaný na N-wellu. Zde je patrné, že struktura se na nižších napětích tolik nezahřívá jako P-substrátový tyristor. Nicméně nejnižší teploty destruktivního průrazu se pohybují rovněž kolem 600 až 700 K.

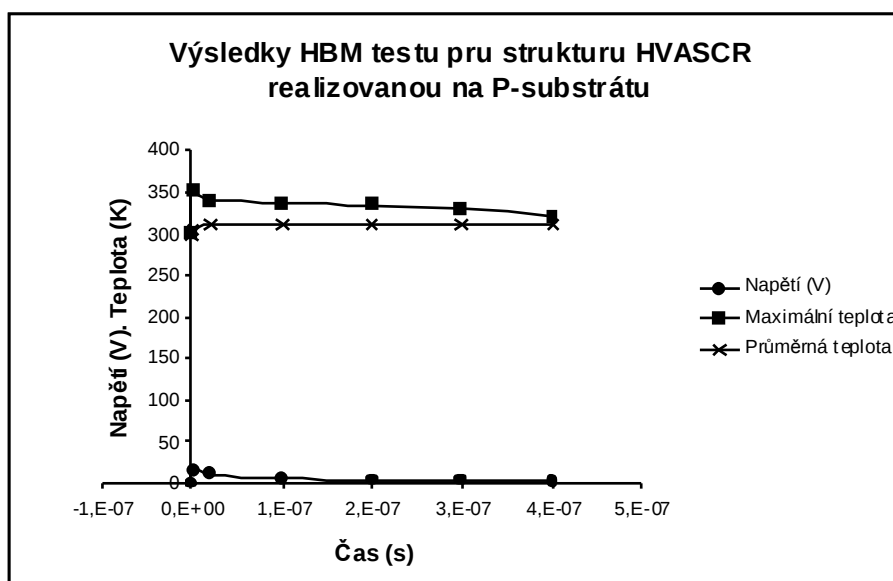


Obr. 4.35 Napětově teplotní závislost simulovaná v simulátoru ISE TCAD u struktury HVASC na P-substrátu.

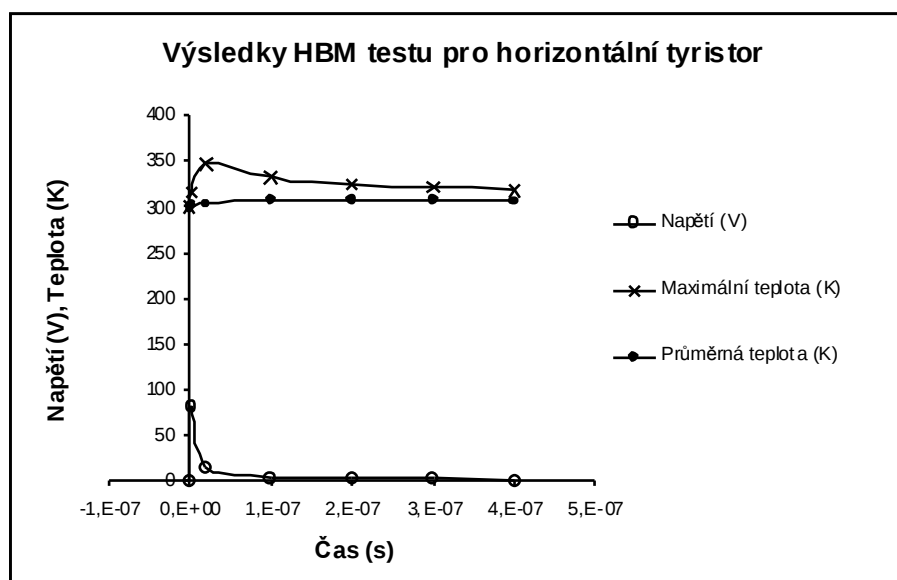


Obr. 4.36 Napěťově teplotní závislost simulovaná v simulátoru ISE TCAD u struktury HVASCR ve vsrťvě N-WELL.

Dále byl tyristor HVASCR podroben ESD testu lidského těla tzv. HBM modelu. Výsledky průběhu simulovaného testu ve srovnání s průběhem HBM testu u horizontálního tyristoru LSCR jsou zobrazeny na obr. 4.37 a obr. 4.38.

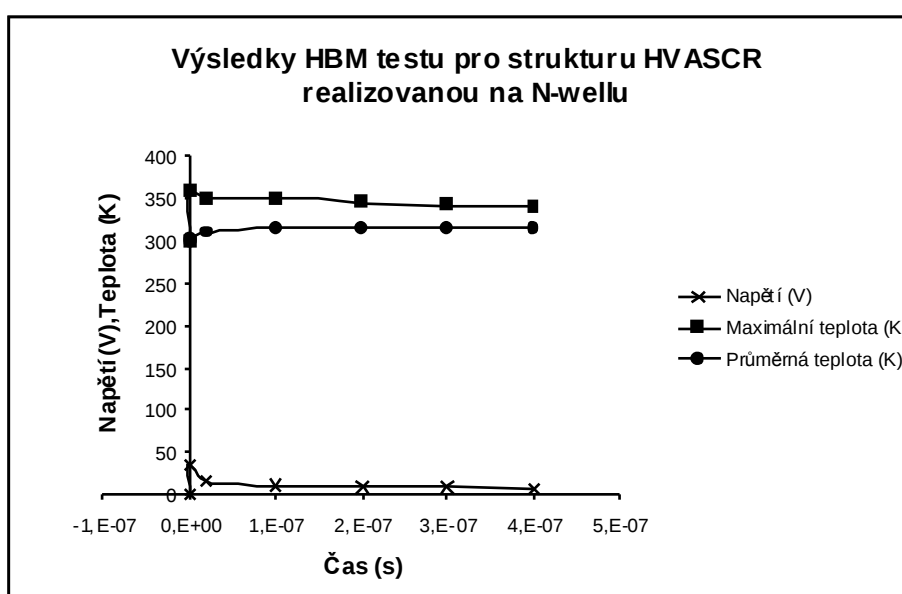


Obr. 4.37 Výsledný průběh HBM testu u P-substrátového tyristoru HVASCR.

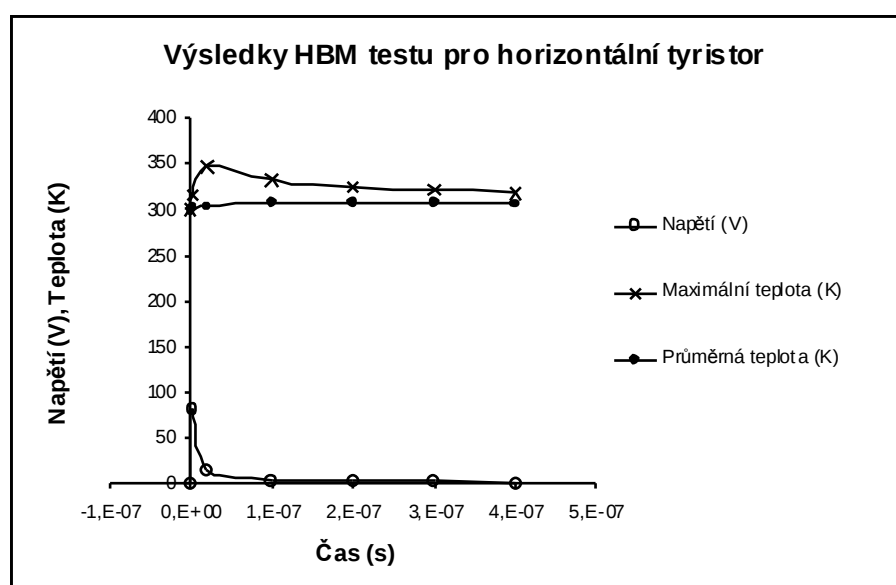


Obr. 4.38 Výsledný průběh HBM testu u horizontálního tyristoru LSR.

Při tomto srovnání je vidět, že P-substrátový tyristor HVASCR má větší špičkový nárůst maximální teploty než horizontální tyristor LSCR. Simulační výsledky průběhů HBM testu u struktury HVASCR ve vrstvě N-WELL jsou na obr. 4.39 a srovnání s horizontálním tyristorem LSCR na obr. 4.40. Zde je také špičkový nárůst maximální teploty vyšší než u horizontálního tyristoru LSCR. Navíc díky možnosti nastavovat vyšší udržovací napětí u struktury HVASCR ve vrstvě N-WELL dochází také k vyššímu odporu v sepnutém stavu a to se projeví na průběhu maximální teploty, kdy je sestup teplotní špičky pozvolnější než u P-substrátové struktury.

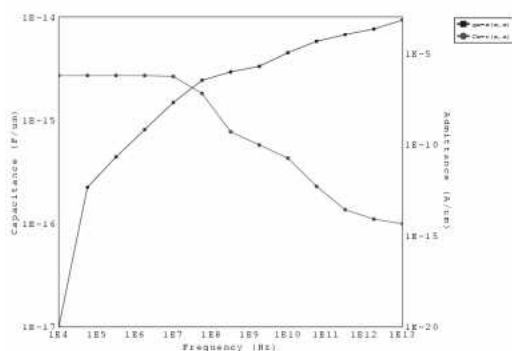


Obr. 4.39 Výsledný průběh HBM testu tyristoru HVASCR ve vstvě N-WELL.

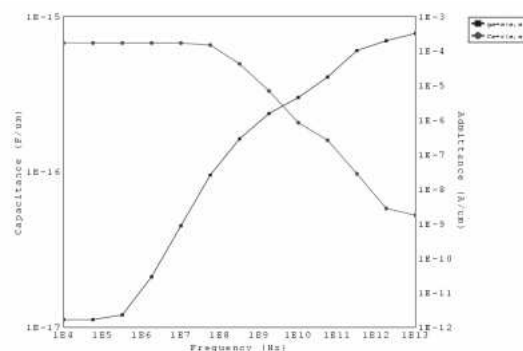


Obr. 4.40 Výsledný průběh HBM testu u horizontálního tyristoru LSCR.

AC simulace byla rovněž provedena v simulátoru ISE TCAD. Výsledky z AC simulace jsou vidět na obr. 4.41, obr. 4.42. Principiální schéma zapojení při AC simulaci je totožné se schématem na obr. 4.43.



Obr. 4.41 Výsledky AC simulace pro strukturu HVASCR ve vrstvě N-WELL.



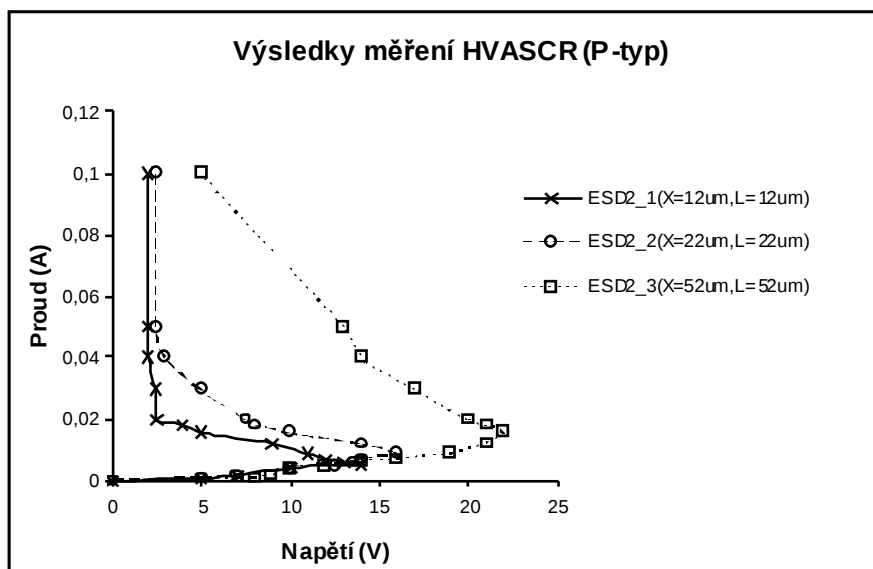
Obr. 4.42 Výsledky AC simulace pro strukturu HVASCR na P-substrátu.

Pro srovnání s výsledky AC simulace diody a konvenčního horizontálního tyristoru LSCR je možné nalistovat obr. 4.25 a obr. 4.27. Na základě výsledků AC simulace pro strukturu HVASCR můžeme konstatovat, že HVASCR ve vrstvě N-WELL má při nízkých kmitočtech vyšší kapacitu a vodivost struktury v závislosti na kmitočtu roste progresivněji než u HVASCR na P-substrátu. Je dobré poznamenat, že vizuální rozdíl ve vodivosti na grafech z obr. 4.41, obr. 4.42. je způsoben jiným měřítkem pravé osy y .

4.6.2 Výsledky měření vzorků vyrobených v CMOS technologii

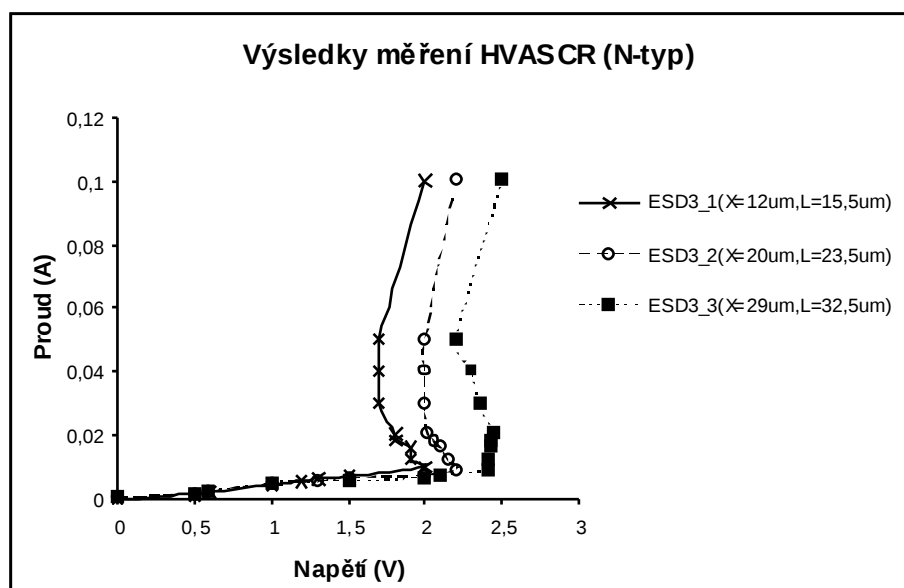
Stejně jako v případě předchozí struktury byly vyrobeny vzorky struktury HVASCR v technologii CMOS. Změřené křivky AV charakteristik jsou na obr. 4.43 a obr. 4.44. Z výsledků struktury „P-typu“ (vyrobené na P-substrátu) lze vidět principiálně stejné chování jako v simulátoru. Opět se zde projevila nepřesnost modelování této struktury ve výsledných hodnotách spouštěcího a udržovacího napětí. Udržovací napětí se mění v rozmezí 2 až 7 V, spouštěcí napětí v rozmezí 14 až 22 V.

Lze tedy hovořit o tom, že se obecně napěťové hodnoty těchto parametrů posunuly oproti simulačním výsledkům na vyšší hodnoty. To je ovšem dobrý výsledek, protože je tím dosaženo lepší variability a ukazuje se, že by tato struktura mohla být použita jako ochrana na 3 až 5 V.



Obr. 4.43 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR na P-substrátu.

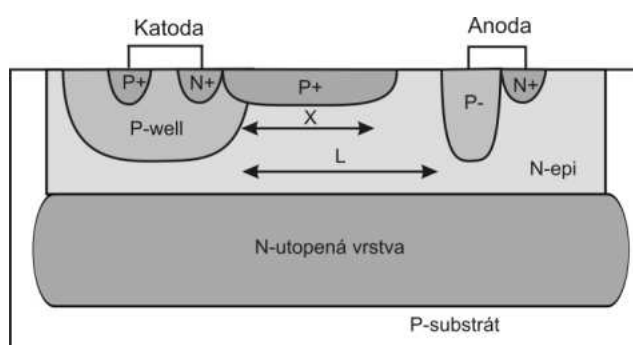
Struktura HVASCR vyrobená ve vrstvě N-WELL vykazuje podobné chování jako při simulaci. Výsledky z obr. 4.44 však nemůžeme příliš srovnávat s výsledky simulace pro tuto strukturu. Vyrobená struktura HVASCR měla na anodě vrstvy P+ o větší vodivosti, než bylo simulováno. To způsobilo přechod z lavinového průrazu na průraz tunelový, a proto se napěťová úroveň spouštěcího a udržovacího napětí přesunula na nižší napětí (řádově jednotky voltů). V simulátoru TCAD byla použita jen jedna vrstva P+. Nové simulace nebyly provedeny, protože nebyly poskytnuty technologické podklady pro definici koncentračního profilu vrstvy P+, která byla použita u vyrobených vzorků. Tato změna byla provedena záměrně, aby byl ověřen napěťový posun AV charakteristik. Tento jev bude dále rozebrán v další kapitole s tyristorovou strukturou VLSCR.



Obr. 4.44 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR ve vrstvě N-WELL.

4.6.3 Výsledky měření vzorků vyrobených v BiCMOS technologii

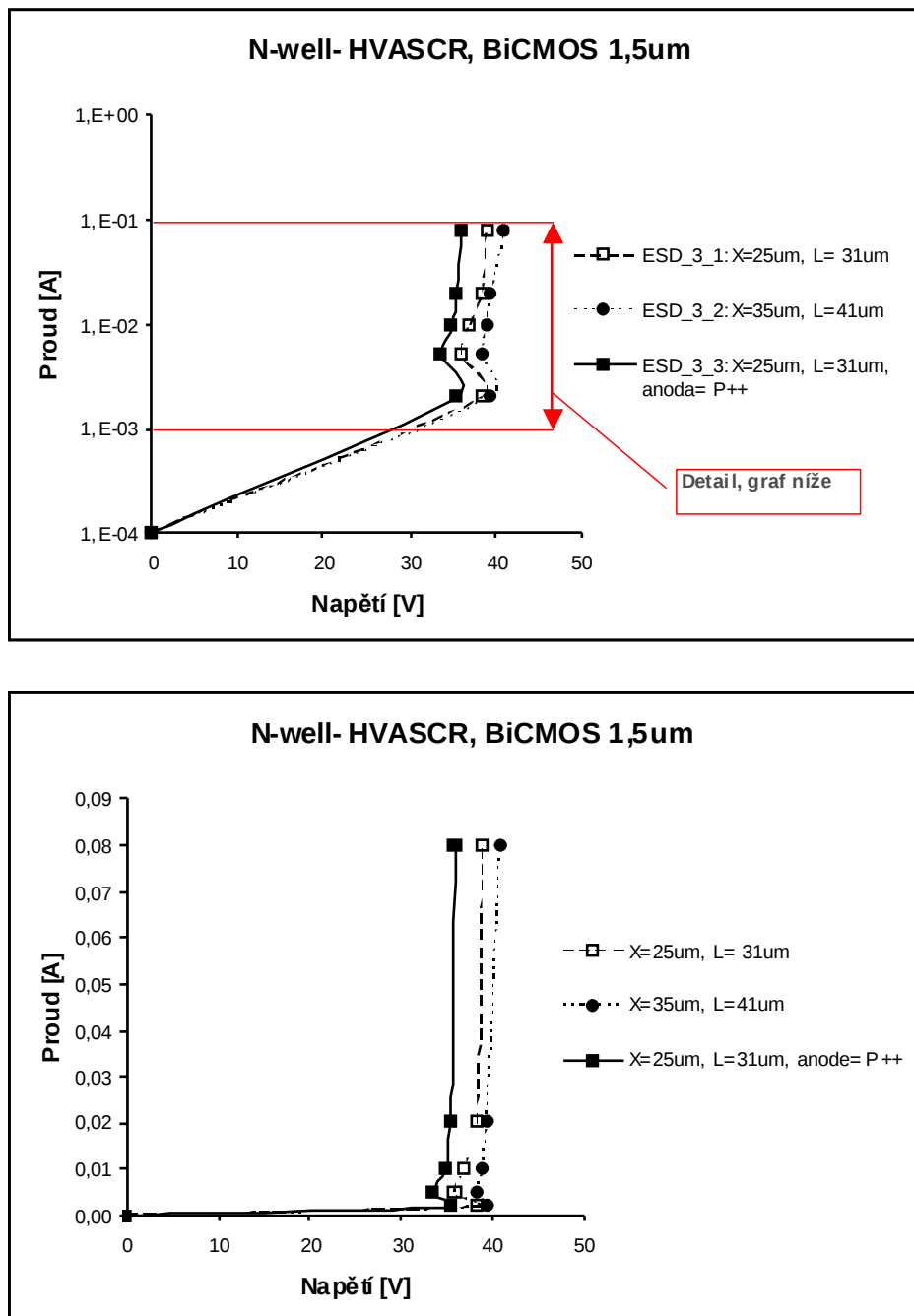
Na obr. 4.45 je zobrazen řez strukturou HVASCR, která byla vyrobena v BiCMOS technologii. Jedná se o strukturu podobnou variantě ve vrstvě N-WELL, protože je realizována na epitaxní vrstvě vodivosti typu N. Vrstva vodivosti typu P, která tvoří anodu, je relativně málo koncentrovaná stejně jako epitaxní vrstva vodivosti typu N. Toto se projeví vyšší napětíovou úrovní spouštěcího a udržovacího napětí než u standardních technologií CMOS.



Obr. 4.45 Řez strukturou HVASCR, která byla vyrobena v BiCMOS technologii.

Charakteristiky z obr. 4.46 ukazují výsledky měření struktury HVASCR, která měla šířku $80\mu\text{m}$ a byla vyrobena v technologii BiCMOS. Výsledky dokládají možnou použitelnost této struktury v praxi. Je zde vidět, že měření prokázalo posun udržovacího napětí se zvětšováním návrhových parametrů X a L . V této technologii lze

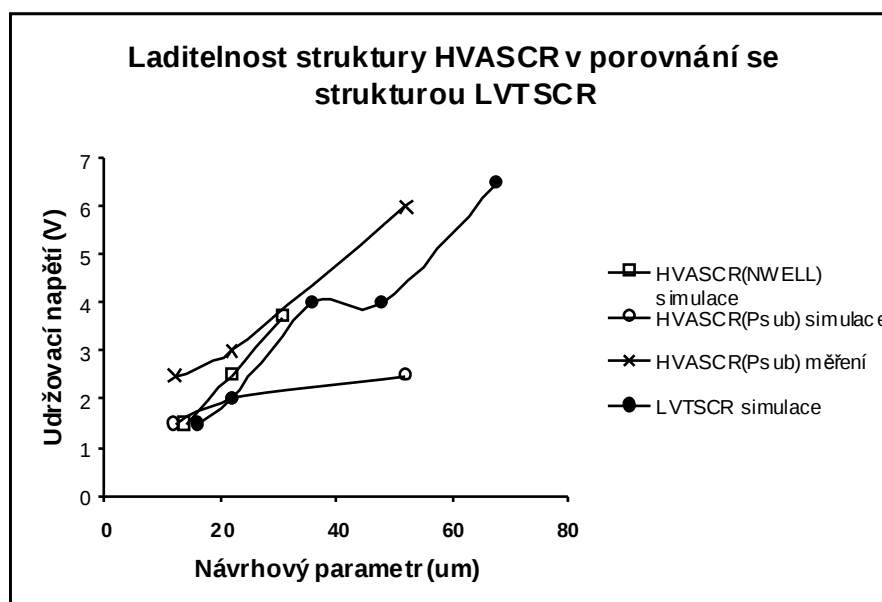
tyto měřené vzorky použít jako ESD ochranu na 30 až 35 V. Vzorek ESD_3_3 má nastavení parametrů X a L stejné jako vzorek ESD_3_1 (obr. 4.46), byla však použita anoda o vyšší vodivosti.



Obr. 4.46 Výsledky měření vzorků HVASCR vyrobeného v 1,5μm BiCMOS procesu.

Záměrem pro návrh struktury HVASCR bylo, jak jsem zmínil na začátku kapitoly, vytvořit tyristorovou strukturu s podobnou laditelností udržovacího napětí jako vykazuje tyristor LVTSCR. Obr. 4.47 ukazuje porovnání laditelnosti u obou

struktur. Na základě tohoto porovnání mohu konstatovat, že struktura HVASCR může nahradit strukturu LVTSCR pro ladění udržovacího napětí v rozmezí od 1,5 do 6 V. Toto je výsledek, který dokazuje možnost dalšího zlepšování laditelnosti tyristorových struktur pouhým posuvem difúzních vrstev.



Obr. 4.47 Laditelnost struktury HVASCR, porovnání platí pro struktury realizované v technologii CMOS.

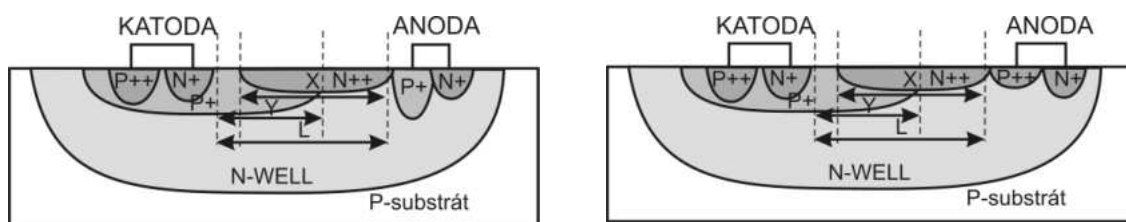
4.7 Variabilní horizontální tyristor (VLSCR)

Počáteční myšlenkou však bylo dosáhnout i ladění spouštěcího napětí. Tuto možnost nenabízí ani struktura LVTSCR ani struktura HVASCR. Proto jsem vytvořil tyristorovou strukturu, která umožňuje variabilitu spouštěcího a udržovacího napětí. Pro jednoduchost byla nazvána variabilní horizontální tyristor (Variable Lateral SCR = VLSCR) [69, 70, 71, 65]. Vyšel jsem přitom ze zkušenosti se strukturou HVASCR. Opět se jedná o konvenční horizontální tyristor doplněný o několik difúzních vrstev, se kterými se posunuje tak, aby se spouštěcí a udržovací napětí měnilo podle potřeby.

4.7.1 Výsledky z modelování a simulace

Jedná se tedy o horizontální tyristor vytvořený opět ve vrstvě N-WELL. Uspořádání vrstev je vidět na obr. 4.48. Tato struktura umožňuje variabilitu díky

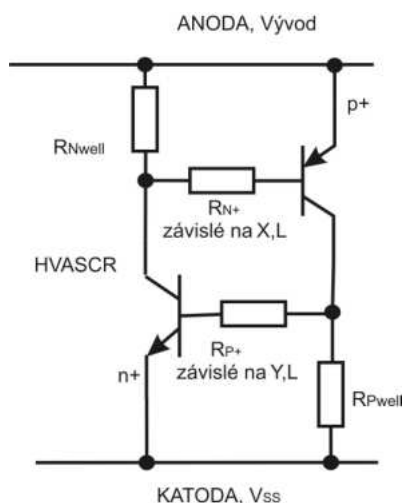
parametrům X, Y, L , které udávají vzdálenost difúzních vrstev, a které jsou návrhovými parametry. Vzájemným nastavením těchto tří vzdáleností lze modifikovat AV charakteristiku struktury VLSCR. Popis struktury je následující. Při nastavení parametru $Y=0 \mu\text{m}$ platí, že vrstva P-WELL, nebo obecněji oblast P, končí těsně za koncentrovanou vrstvou N^{++} ve směru k anodě. Parametr L určuje vzdálenost mezi anodou a katodou. Vzdálenost X definuje délku nekontaktované vrstvy N^{++} u anody. Při zavedení vrstvy N^{++} , která je určena parametrem X , dojde ke změně koncentračního profilu příměsí ve vrstvě N-WELL tvořící tranzistor PNP. Princip laditelnosti je tedy následující. Spínání každého horizontálního tyristoru je nastaveno na průraz vrstvy N-WELL do P-substrátu. Takže zde změnou koncentrace vrstvy N-WELL pomocí difúzní vrstvy N^{++} měníme úroveň spouštěcího napětí. Čím blíže je vrstva N^{++} katodě, tím nižší je spouštěcí napětí, protože díky koncentrovanějšímu profilu příměsí v horizontálním směru nastává dříve průraz. Vzdáleností L měníme šířku báze PNP tranzistoru. Když ponecháme parametr $Y=0 \mu\text{m}$, bude šířka báze tranzistoru NPN konstantní a stejně tak i jeho proudový zisk. Ale můžeme měnit proudový zisk tranzistoru PNP, a to právě pomocí vzdálenosti L . Čím delší bude vzdálenost L , tím menší bude proudový zisk PNP, a tedy tím více proudu musí do báze tranzistoru téct, aby zůstal otevřený. Jinými slovy udržovací napětí bude vyšší díky nižšímu proudovému zisku PNP.



Obr. 4.48 Řez strukturou VLSCR, vlevo méně dotovaná vrstva P+ tvořící anodu, vpravo více dotovaná vrstva N^{++} tvořící anodu.

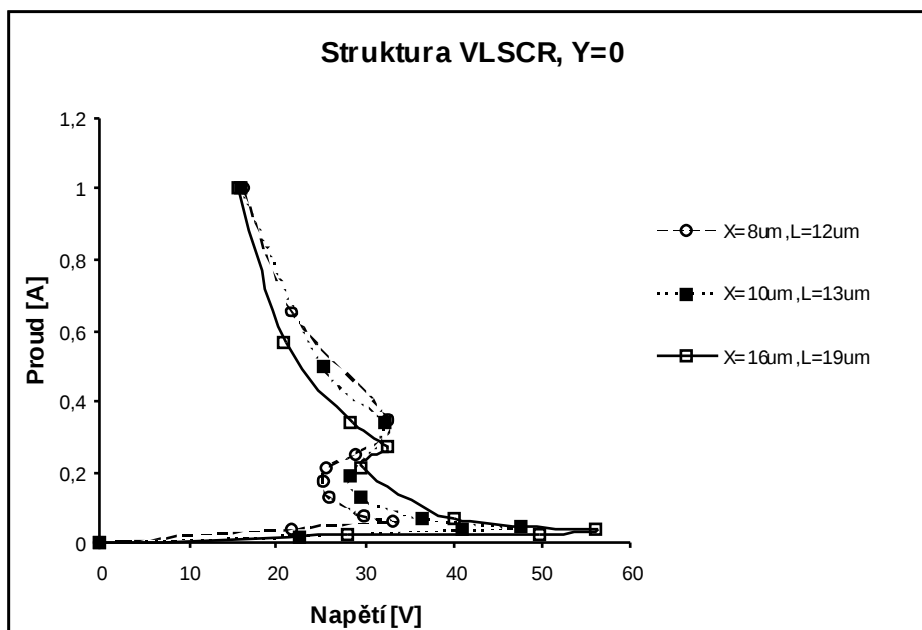
Obvodové schématické znázornění struktury VLSCR je vidět na obr. 4.49, kde je variabilita struktury demonstrována pomocí dvou odporů R_{N+} a R_{P+} , které jsou závislé na parametrech X, L, Y . Čím větší jsou tyto odpory, tím musí být větší bázové napětí

kvůli napěťovému úbytku na těchto odporech a díky tomu bude i vyšší udržovací napětí struktury. Zároveň změnou koncentračního profilu vrstvy N-WELL měníme úroveň spouštěcího napětí, takže tato struktura umožňuje jak ladění spouštěcího napětí, tak ladění udržovacího napětí.

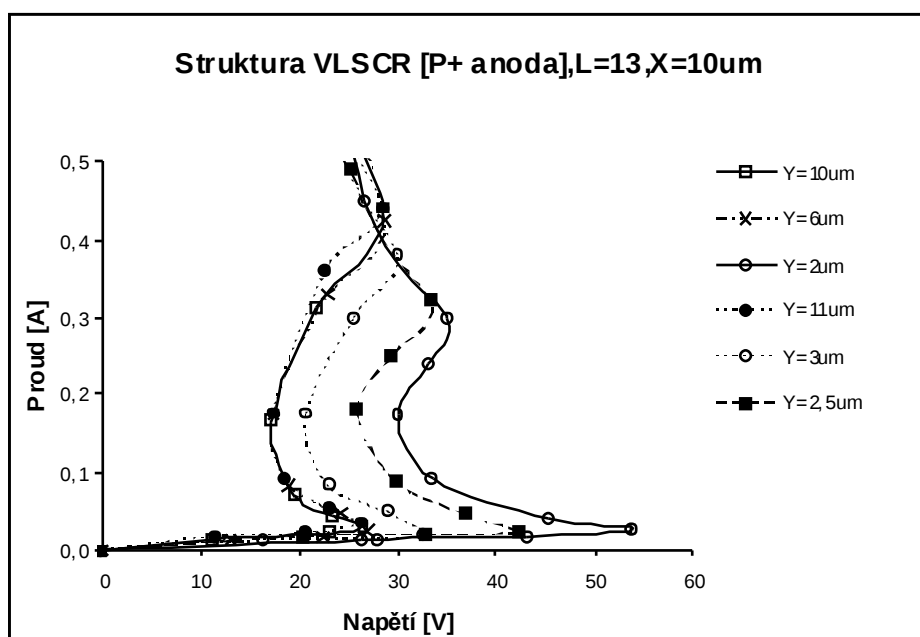


Obr. 4.49 Obvodové schématické znázornění struktury VLSCR.

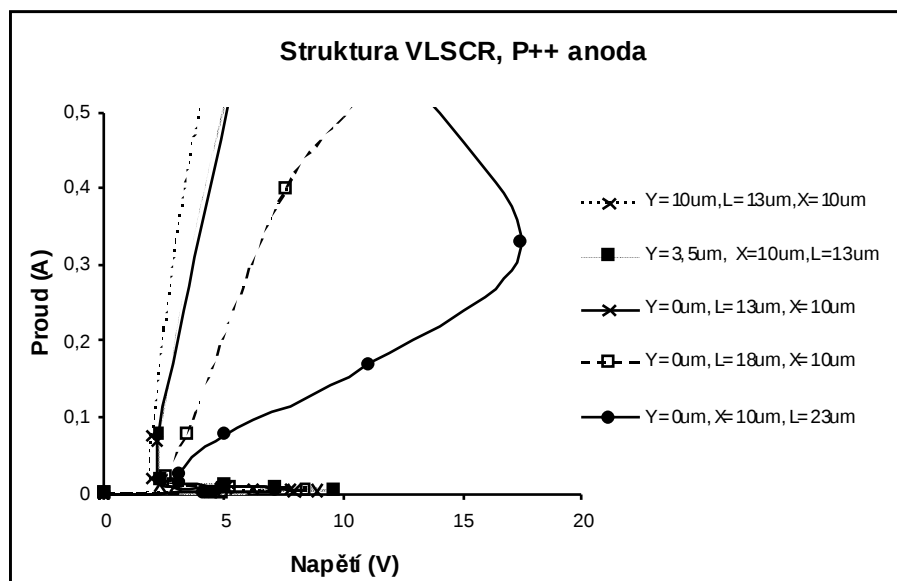
Výsledky ze simulátoru při modifikaci parametrů L a X jsou ukázány na obr. 4.50, kde je vidět úroveň laditelnosti charakteristik při změnách X a L . Udržovací napětí se mění v rozmezí od 25 V do 31 V a spouštěcí napětí v rozmezí od 35 V do 57 V. Úroveň druhého průrazu je někde na 0,4 A při šířce struktury 80 μm . I úroveň blokovacího (svodového) proudu je při tomto napětí relativně vysoká. Již se začíná blížit hodnotě svodového proudu u bipolárního tranzistoru před průrazem přechodu kolektor-emitor.



Obr. 4.50 Výsledky simulace struktury VLSCR v technologii CMOS při $Y=0 \mu\text{m}$



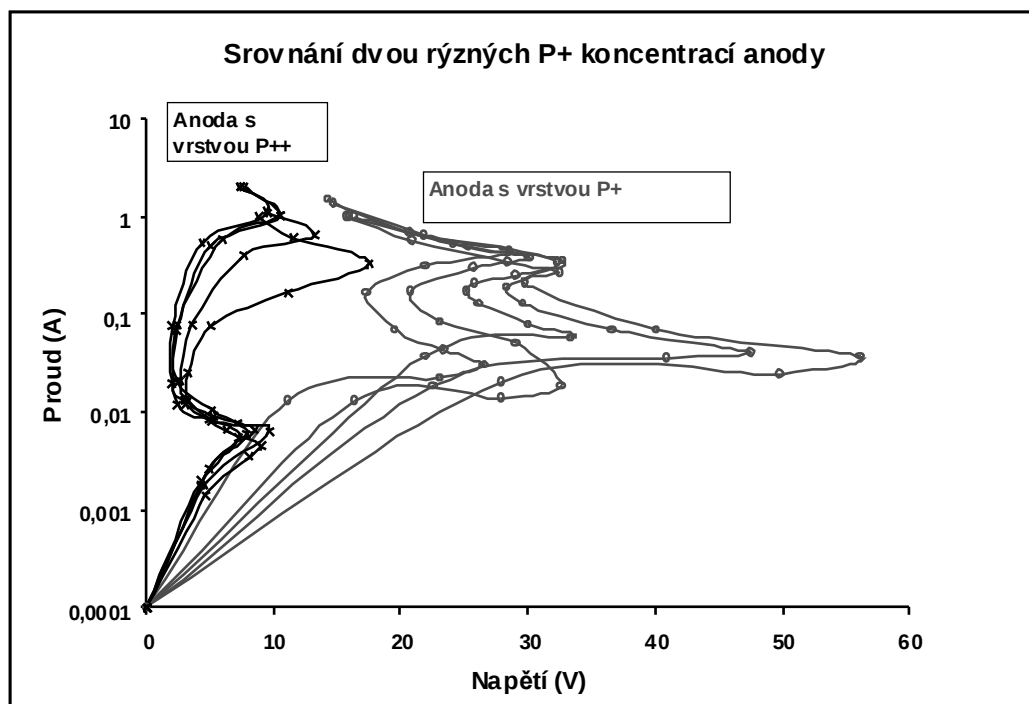
Obr. 4.51 Výsledky simulace struktury VLSCR v technologii CMOS, méně koncentrovaná vrstva P+ tvořící anodu.



Obr. 4.52 Výsledky simulace struktury VLSCR v technologii CMOS, struktura o vyšší koncentraci příměsí P++ na anodě.

Nicméně použitím parametru Y lze dosáhnout ještě větší variability. Při zavedení parametru Y se zvětší P-oblast, která udává šířku báze tranzistoru NPN. Tím by se sice na první pohled zdálo, že se zvýší udržovací napětí při snížení proudového zisku tranzistoru NPN, ale protože se zvětšuje šířka báze tranzistoru NPN na úkor báze tranzistoru PNP, tak se naopak urychluje spínání tranzistoru PNP a tím se spouštěcí napětí u struktury VLSCR ještě sníží. Výsledky pak pro neměnné parametry X a L ukazuje obr. 4.51. Zde jsem dosáhl variability pro spouštěcí napětí v rozmezí od 25 V do 57 V a variability pro udržovací napětí v rozmezí od 17 V do 31 V. Samozřejmě platí, že čím nižší úroveň udržovacího napětí, tím vyšší proudová odolnost pro druhý průraz a tím nižší blokovací (svodový) proud. V tento okamžik by se opět mohlo zdát, že pro tuto strukturu jsou možnosti ladění vyčerpány. To je však pravda jen částečně. Každá technologie má možnost aplikace různě dotovaných difúzních vrstev vodivosti typu N a P. Technologie BiCMOS nebo „CMOS *high voltage*“ mají možnost aplikace několika vrstev P+ o různých koncentracích příměsí ve vrstvě N-WELL. Všimněme si na obr. 4.48, že anoda je tvořena vrstvou P+ ve vrstvě N-WELL, katoda je propojena s vrstvou P-WELL (přes vrstvu P++). Koncentrační profil vrstvy P+ na anodě udává napětíové rozmezí pro udržovací a spouštěcí napětí v AV charakteristice. Čím bude koncentrace příměsí vrstvy P+ větší, tím nižší úroveň napětí dosáhneme, protože

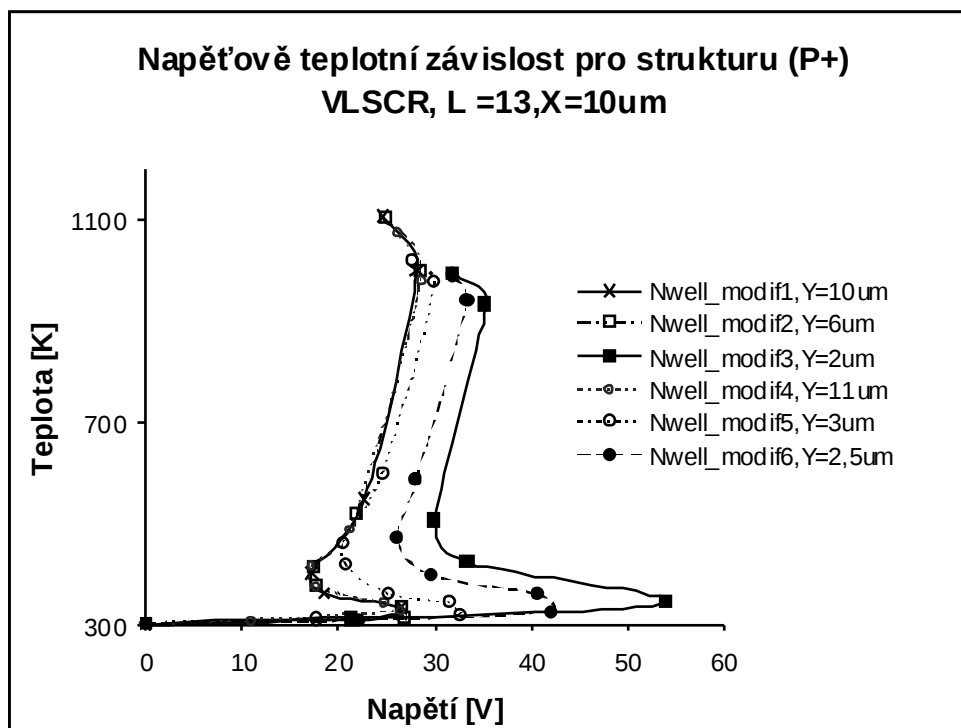
tranzistory budou rychleji spínat. Na obr. 4.48 vlevo je P+ vrstva tvořící anodu méně koncentrovaná než ostatní N+ nebo P+ kontaktované vrstvy, a proto bylo dosaženo napětové variability v řádech desítek voltů. Obr. 4.48 vpravo také ukazuje stejnou strukturu VLSCR, ale s koncentrovanější vrstvou P++. Použití této vrstvy umožňuje jak technologie BiCMOS, tak technologie „CMOS *high voltage*“. Výsledky z ladění AV charakteristik pak ukazuje obr. 4.53. Na grafu je vidět, že úroveň napětové variability klesla z desítek voltů na jednotky voltů. Při teoreticky neomezeném množství koncentračně odstupňovaných vrstev P+ by bylo možné dosáhnout úplné variability od cca 1 V až po cca 65 V. Výsledky variability AV charakteristik pro strukturu VLSCR jsou vyneseny v logaritmickém měřítku pro obě koncentrační varianty anody.



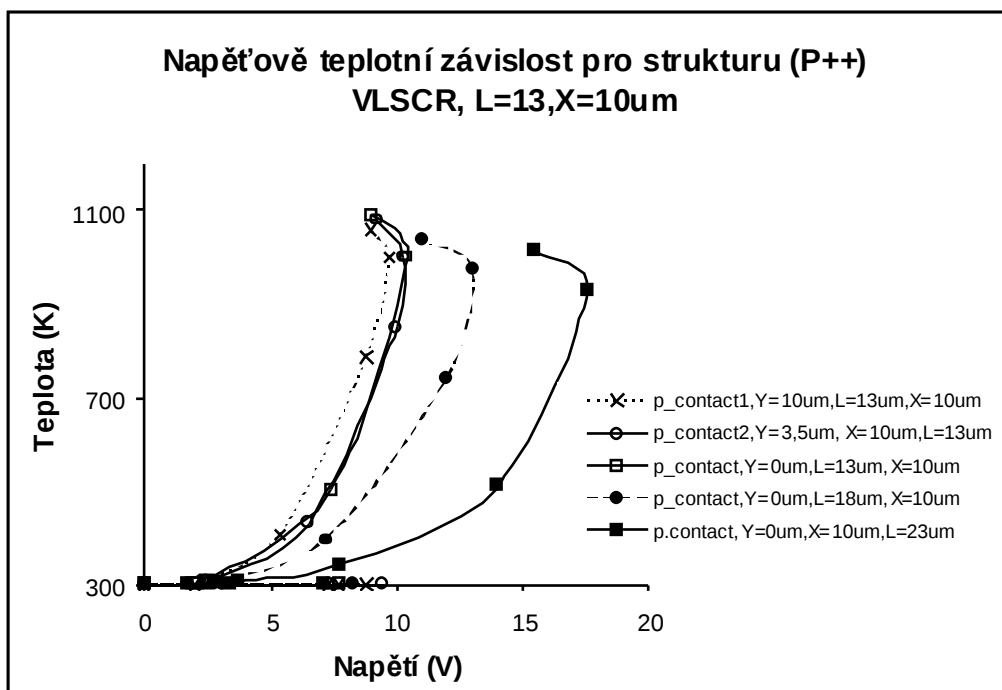
Obr. 4.53 Porovnání výsledků napětové variability pro dvě různé koncentrace vrstvy P+ tvořící anodu.

Předmětem dalšího zkoumání byly napětově teplotní vlastnosti variabilního horizontálního tyristoru. Na základě D-simulace bylo zjištěno, že struktura VLSCR teoreticky odolává teplotnímu průrazu do 900 až 950 K (cca 600 °C). Výsledky simulací dvou tyristorů VLSCR s různými koncentracemi příměsí na anodě jsou zobrazeny na obr. 4.54 a obr. 4.55. Z výsledků simulace je také vidět, že struktura s vyšší koncentrací příměsí na anodě se proráží na vyšších teplotách. Jinými slovy díky

tomu, že pracuje na nižších napětích, má větší odolnost proti destruktivnímu průrazu než struktura s nižší dotací.

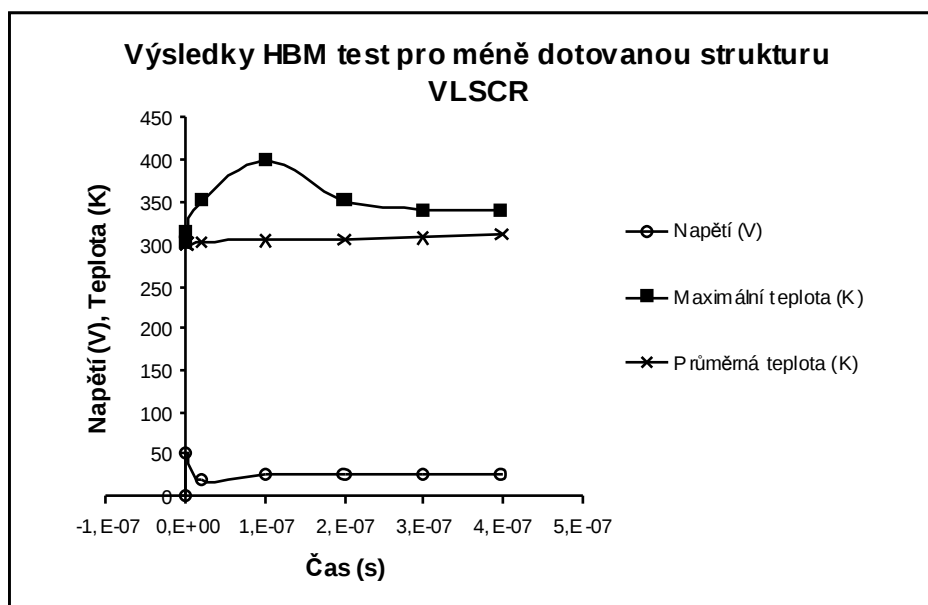


Obr. 4.54 Napětově teplotní závislost variabilního horizontálního tyristoru s nízkou koncentrací příměsí na anodě.

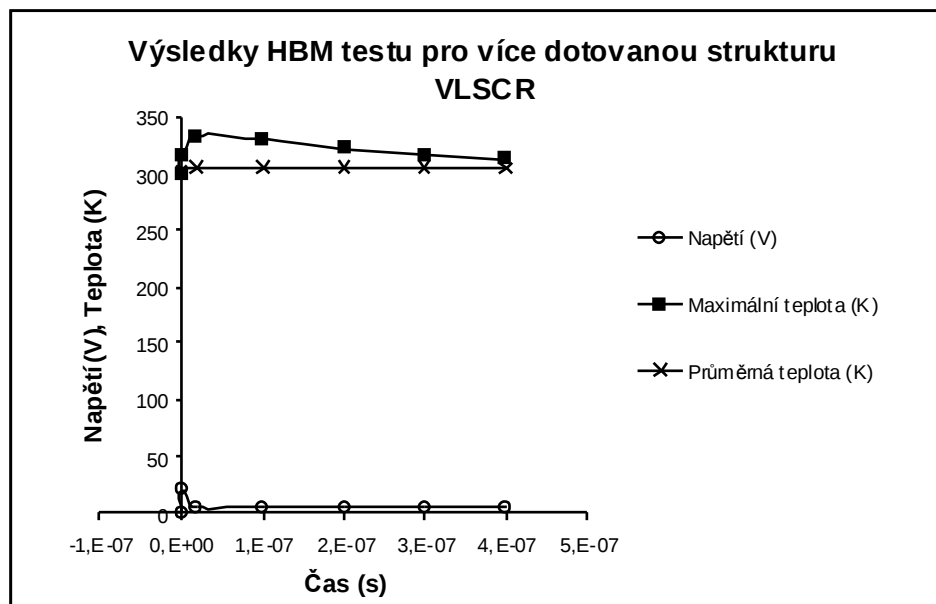


Obr. 4.55 Napětově teplotní závislost variabilního horizontálního tyristoru s vyšší koncentrací příměsí na anodě.

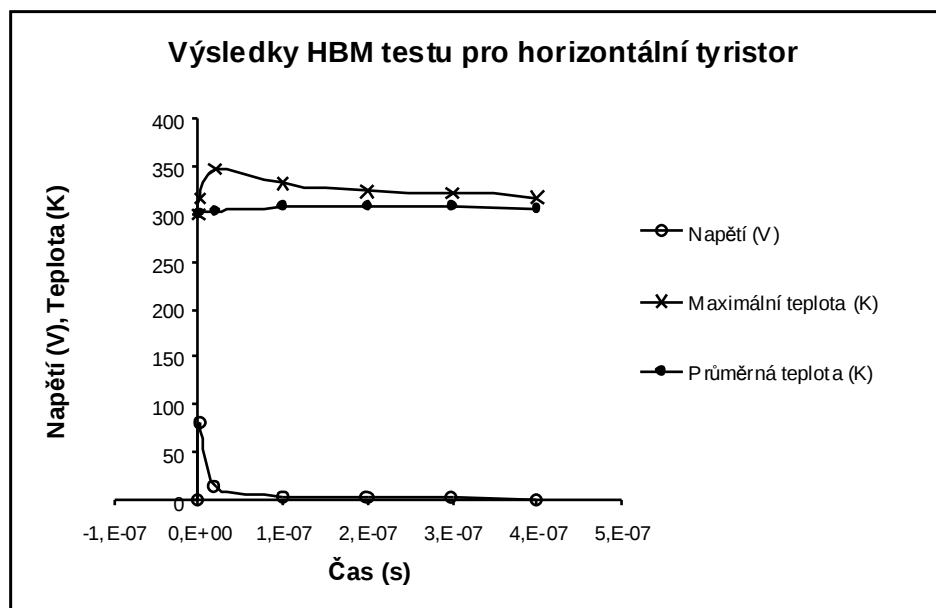
Dále byly zkoumány teplotní, napěťové a proudové průběhy struktury VLSCR po testu HBMu. Výsledné průběhy můžeme srovnat s průběhy běžného horizontálního tyristoru. Na obr. 4.56 a obr. 4.58 je srovnání průběhů po testu HBM struktury VLSCR s nízkou dotací anody a konvenčního horizontálního tyristoru LSCR. Srovnání průběhů pro strukturu VLSCR s vyšší dotací anody je vidět na obr. 4.57 a obr. 4.58 [65].



Obr. 4.56 Výsledný průběh teploty, napětí a proudu po testu HBM pro strukturu VLSCR s nízkou dotací anody.

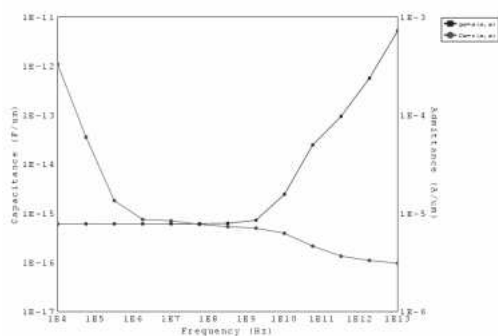


Obr. 4.57 Výsledný průběh teploty, napětí a proudu po testu HBM pro strukturu VLSCR s vyšší dotací anody.

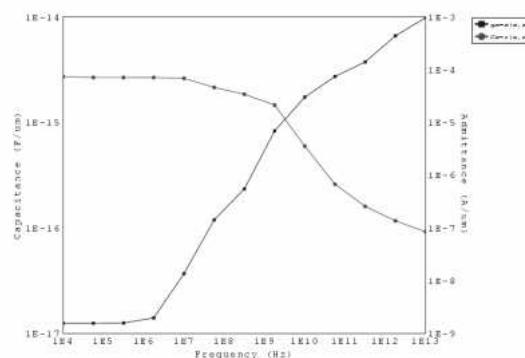


Obr. 4.58 Výsledný průběh teploty, napětí a proudu po testu HBM pro horizontální tyristor LSCR.

Rovněž i u tyristorů VLSCR byly provedeny AC simulace. Výsledky kapacitních a vodivostních charakteristik v závislosti na kmitočtu jsou zobrazeny na obr. 4.59 a obr. 4.60.



Obr. 4.59 Výsledky AC simulace pro strukturu VLSCR s nižší koncentrací příměsí na anodě.



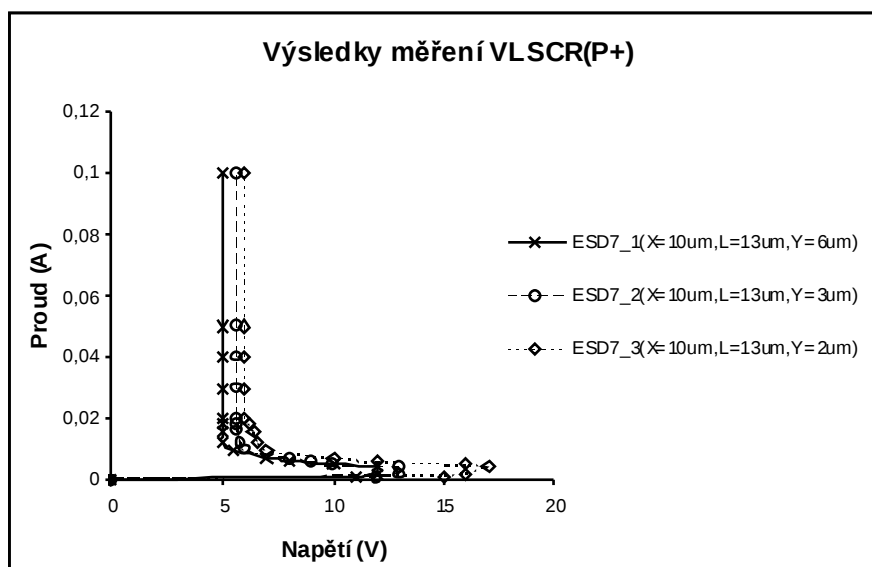
Obr. 4.60 Výsledky AC simulace pro strukturu VLSCR s vyšší koncentrací příměsí na anodě.

Na základě výsledků AC simulace můžeme říci, že struktura VLSCR s nižší koncentrací příměsí na anodě má obecně větší kapacitu přes celé kmitočtové pásmo a vodivost struktury se mění odlišně od všech ostatních tyristorových struktur, které byly doposud simulovány. Je to způsobeno tím, že tyristor pracuje na relativně velkém napětí v rozmezí od 20 V do 60 V. Díky tomu jsou na něm velké svodové proudy i

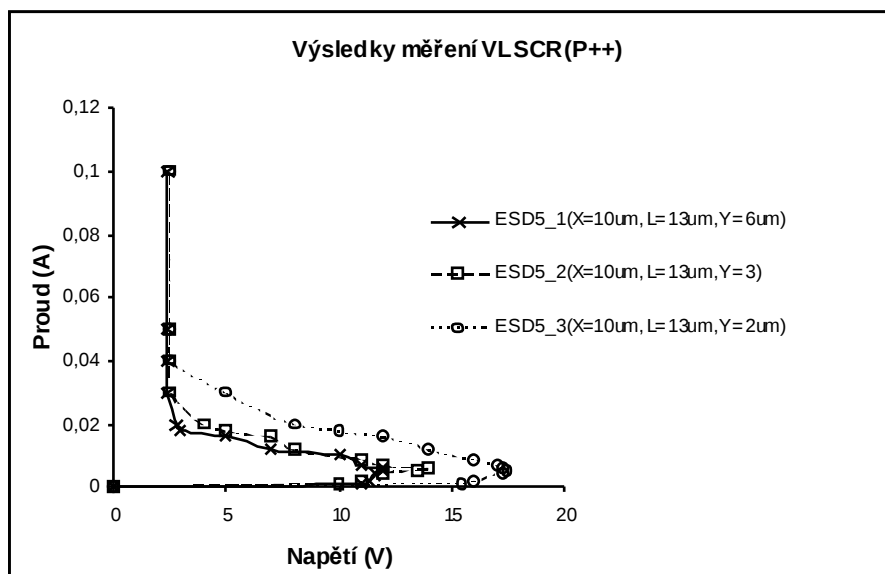
v blokovacím stavu, a proto i vodivost na nižších frekvencích je podstatně vyšší než u ostatních struktur pracujících na nižších napětích.

4.7.2 Výsledky měření vzorků vyrobených v CMOS technologii

Struktura podle obr. 4.48 byla navržena a vyrobena v CMOS technologii. Pro ověření laditelnosti AV charakteristik byly použity dvě různé koncentrace vrstvy tvořící anodu. Méně koncentrovaná vrstva P+, která byla simulována, nebyla při přípravě vzorků použita z důvodů problematického kontaktování. Proto bylo třeba čekat nižší napěťové rozmezí AV charakteristik. Výsledky měření vzorků struktury VLSCR pro dvě různé koncentrace P+ vrstvy na anodě jsou zobrazeny na obr. 4.61 a obr. 4.62.

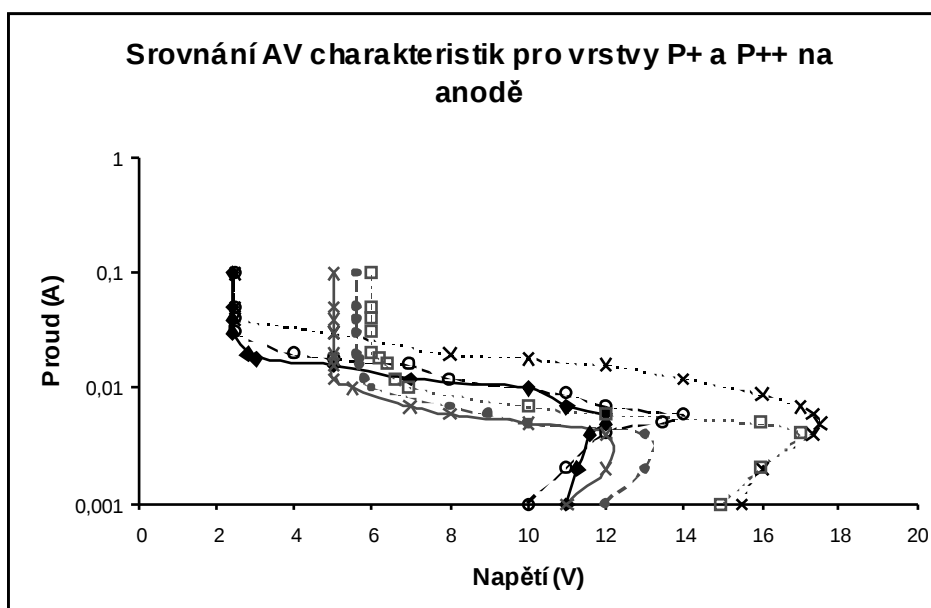


Obr. 4.61 Výsledky měření vzorků struktury VLSCR s méně koncentrovanou vrstvou P+ na anodě.



Obr. 4.62 Výsledky měření vzorků struktury VLSCR s koncentrovanější vrstvou P+ na anodě.

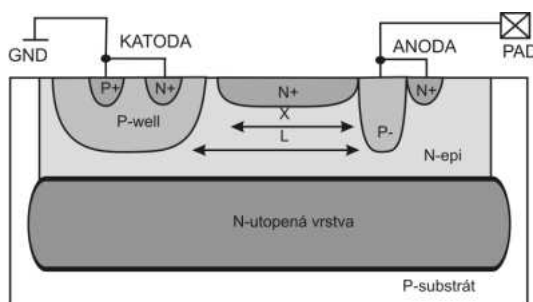
Z měření vyplynulo, že spouštěcí napětí se pohybuje v rozmezí od 12 V do 16 V a udržovací napětí v rozmezí od 2 V do 7 V. Když vezmeme v úvahu výsledky ze simulace pro koncentrovanější vrstvu P+, pak je zřejmé, že změřené charakteristiky se velice blíží výsledkům ze simulace. Dále můžeme porovnat variabilitu struktury VLSCR s variabilitou první struktury LVTSCR. Zjistíme, že pomocí nově zavedené struktury VLSCR je možné dosáhnout stejného ladění udržovacího napětí, ale s podstatně nižší úrovní spouštěcího napětí, což je velice důležité pro rychlou reakci ESD ochrany (obr. 4.63). Další velkou výhodou struktury VLSCR oproti tyristoru LVTSCR je fakt, že do struktury není zavedeno hradlo MOS tranzistoru a díky tomu není tento tyristor náchylný na destrukci tenkého oxidu.



Obr. 4.63 Srovnání AV charakteristik vyrobených struktur VLSCR v technologii CMOS pro dvě různé koncentrace příměsí na anodě.

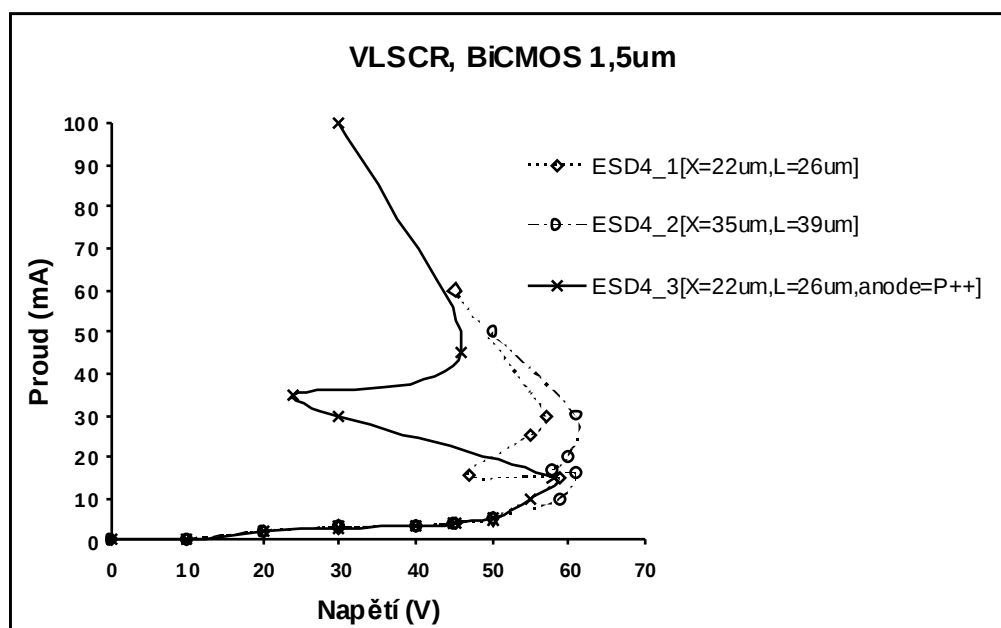
4.7.3 Výsledky měření vzorků vyrobených v BiCMOS technologii

Konfigurace struktury VLSCR při $Y=0 \mu\text{m}$ byla také ověřena v $1,5 \mu\text{m}$ BiCMOS technologii. Řez vyrobenou strukturou VLSCR v BiCMOS technologii je na obr. 4.64.



Obr. 4.64 Řez strukturou VLSCR, která byla realizována v BiCMOS technologii.

Výsledky měření na vzorcích tyristoru VLSCR jsou vidět na obr. 4.65 [71]. Na obrázku vlevo jsou výsledky ze simulátoru pro srovnání. Je zde vidět téměř konstantní spouštěcí napětí, což odpovídá neměnné vzdálenosti „ $(X - L)$ “, která byla v návrhu dodržena. Takže jediné co se měnilo, byla vzdálenost anody od katody, což způsobilo různou velikost udržovacího napětí.

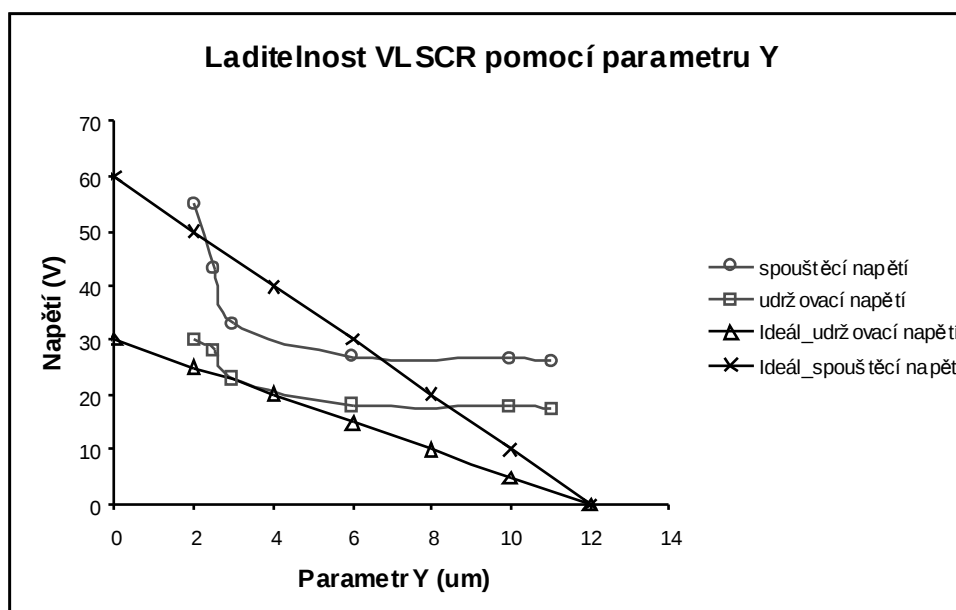


Obr. 4.65 Výsledky z měření v technologii BiCMOS při $Y=0\ \mu\text{m}$.

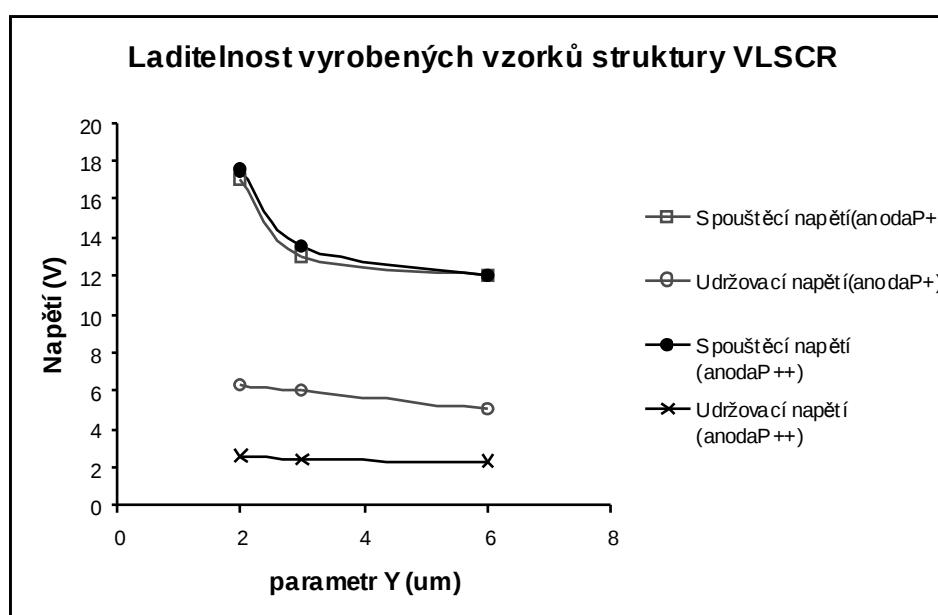
Díky málo dotované vrstvě P+ a také díky relativně málo dotované epitaxní vrstvě může tyristor pracovat na podstatně vyšších napěťových úrovních než v případě CMOS technologie. Samozřejmě pro příznivější průběhy AV charakteristik je zapotřebí zavést i hloubkovou vrstvu P, která je definovaná parametrem Y (obr. 4.48). V době, kdy se připravovaly vzorky v BiCMOS technologii, nebyly ještě k dispozici všechny simulační výsledky, proto se parametr Y ve vyrobené struktuře neuplatnil.

4.7.4 Zhodnocení laditelnosti struktury VLSCR

Stanoveným cílem pro návrh struktury VLSCR byla možnost ladit kromě udržovacího napětí také spouštěcí napětí. Jak výsledky ze simulace, tak i výsledky z měření potvrzují, že tyristorová struktura VLSCR je laditelnou strukturou umožňující nastavování spouštěcího a udržovacího napětí pouhým posuvem difúzních vrstev. Výsledný graf laditelnosti struktury VLSCR na základě simulací v ISE TCAD je vidět na obr. 4.66. V grafu je porovnání s ideální laditelnou strukturou, která má lineární závislost na návrhovém parametru.



Obr. 4.66 Laditelnost struktury VLSCR na základě simulací v ISE TCAD a porovnání s ideální lineární laditelností.



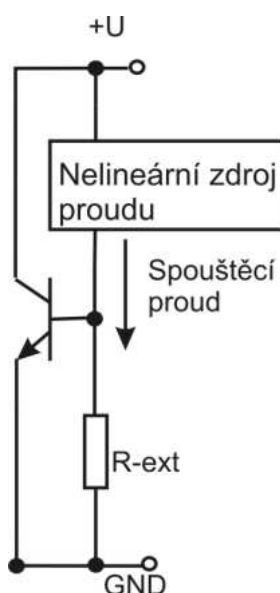
Obr. 4.67 Laditelnost struktury VLSCR, měřené vzorky v CMOS technologii.

obr. 4.67 ukazuje laditelnost struktury VLSCR na základě výsledků z měření v technologii CMOS. Je vidět, že na nižších napětích má laditelnost spíše lineární charakter, zatímco na vyšších napětích se křivky laditelnosti progresivněji zakřivují, což je patrné již i simulovaných výsledků.

4.8 ESD ochrana se spínacím bipolárním tranzistorem

Kromě tyristorových ochran lze navrhnout také ESD ochranu se spínacím bipolárním tranzistorem. Zde jsem se zaměřil na možnost ladění velikosti spouštěcího napětí. V kapitole 2.4 je proveden základní rozbor bipolární struktury v režimu ESD ochrany. Ve zmíněné kapitole je uvedeno, že pro ESD ochrany se používá zapojení podle Obr. 2.20. Báze je zapojena na emitor nebo přes externí odpor R_{ext} . Jsou možné dva módy sepnutého stavu. První je podle obr. 2.20 a druhý je podle obr. 2.21.

Ve svém vlastním návrhu ESD ochrany s bipolárním tranzistorem vycházím z této konvenční koncepce. Jedná se tedy o spínací bipolární tranzistor, který má mezi bází a kolektorem externí spouštěcí zdroj, jak je vidět např. na obr. 4.68.



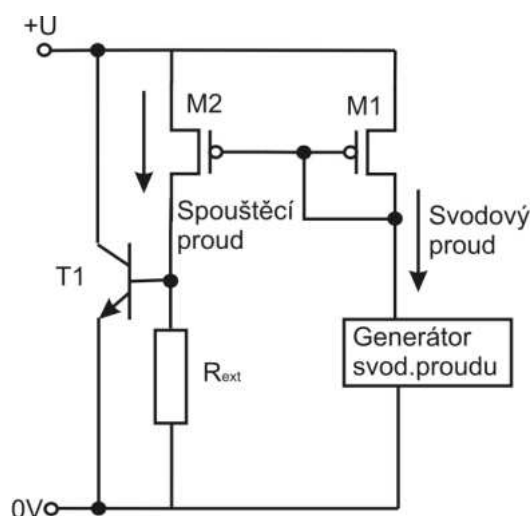
Obr. 4.68 ESD ochrana se spínacím bipolárním tranzistorem spouštěná externím proudovým zdrojem.

Taková konfigurace je možná například se Zenerovou diodou coby externím proudovým zdrojem, jak bylo ukázáno v kapitole 2.3, obr. 2.16. ESD obvody spouštěné pomocí Zenerova průrazu mají vysoké spouštěcí napětí. Toto je výhoda pro „vysokonapěťové“ aplikace, ale je to omezení pro pokročilé technologie CMOS, BiCMOS, nebo pokročilé bipolární technologie. Pro danou velikost výstupního bipolárního tranzistoru musí být spouštění Zenerovou diodou pod úrovní lavinového průrazu výstupní ESD ochrany. Tím, že je Zenerův průraz nad úrovní lavinového

průrazu ESD ochrany, má tento obvod smysl pro aplikace s vysokým napětím nebo pro aplikace, které obsahují bipolární tranzistory s vysokou úrovní lavinového průrazu (BV_{cer} nebo BV_{ceo} převyšuje Zenerovo spouštěcí napětí).

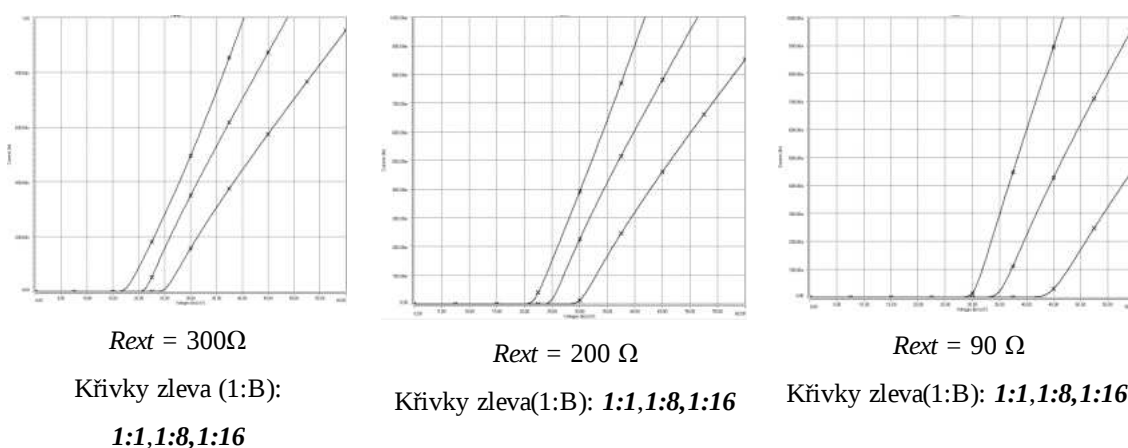
Ve svém vlastním návrhu zavádím na místo Zenerovy diody proudový zdroj vytvořený z PMOS tranzistorů [66, 64]. Nebo-li na místo zdroje spouštěcího proudu byly zavedeny tranzistory M1 a M2 a takzvaný „generátor svodového proudu“, viz obr. 4.69. Tento generátor je vlastně nelineární proudový zdroj o velmi malých hodnotách proudu. Nejedná se o spínaný generátor. Velikost tohoto proudu musí být pod úrovní povolené hodnoty svodového proudu pro celou ESD ochranu (viz. později). Poměrem parametrů W/L tranzistorů M1 ku M2 lze tento proud kopírovat a násobit do bazové smyčky se spínacím bipolárním tranzistorem. Návrhovými parametry pro tuto ESD ochranu jsou tedy poměry W/L jednotlivých tranzistorů. Takto lze modifikovat spouštěcí napětí celého systému. Nicméně tranzistory M2 a M1 nemohou pracovat v saturaci, takže chování tohoto systému nelze analyzovat běžným obvodovým přístupem. Kdyby byly tranzistory v saturaci, ochrana by představovala zkrat mezi vstupním nebo výstupním uzlem a zemí. Proto funkci takového systému rozeberu postupně. Za předpokladu, že je mezi vstupem (+U) a zemí nulové napětí, neděje se nic. V okamžiku, kdy začne napětí na vstupu nebo výstupu (podle použití ochrany) růst, začíná tranzistorem M1 procházet velmi malý proud, jehož velikost je dána proudovým zdrojem, který představuje generátor svodového proudu, jak uvádím dále. Tento proud musí být maximálně řádově v jednotkách nanoampérů. Celkový součet velikostí všech proudů (I_{M1} , I_{M2} a I_{TL}), které protékají od vstupního uzlu +U do země nesmí přesáhnout povolenou hodnotu svodového proudu pro celou ochranu. Takové omezení bývá řádově v desítkách nanoampérů až po jednotky mikroampérů. Tranzistor M1 je zapojen trvale „propustně“ (elektrody G a D zkratovány), proto přes něj teče při potenciálovém rozdílu mezi elektrodou *source* a *drain* proud. Tento malý svodový proud je kopírován do druhé větve s tranzistorem M2 a je násoben nebo dělen jednak poměrem velikostí W/L tranzistorů M1 a M2 vůči sobě a také velikostí rezistoru *Rext*.

V okamžiku, kdy dosáhne proud tranzistorem M2 velikosti, která stačí na otevření přechodu báze-emitor spínacího bipolárního tranzistoru (řádově v mikroampérech), přičemž na rezistoru R_{ext} vzniká odpovídající napěťový úbytek, spínací bipolární tranzistor sepne a elektrostatický výboj z uzlu $+U$ je zkratován do zemního uzlu 0 V . Po pominutí výboje již není důvod, aby byl bipolární tranzistor otevřen, protože rozdíl potenciálů na vstupním uzlu a zemi neumožňuje otevření spínacího tranzistoru. Proto celý systém přejde do počátečního závěrného stavu.



Obr. 4.69 Schéma systému ESD ochrany s proudově spínaným bipolárním tranzistorem.

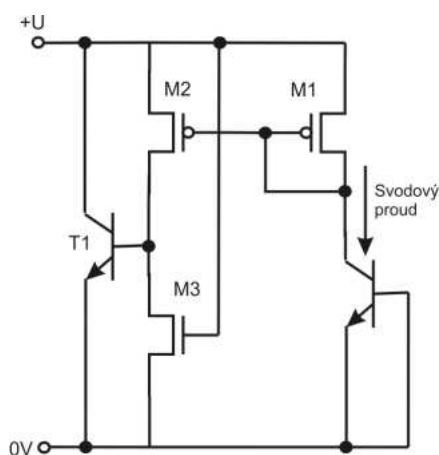
Tento přístup byl nejdříve simulován v obvodově v HSpice simulátoru. Na obr. 4.70 jsou AV charakteristiky tohoto systému pro různé hodnoty



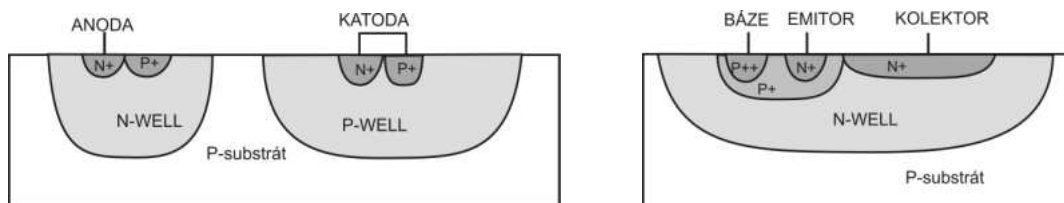
Obr. 4.70 Výsledky HSPICE simulace s odporem R_{ext} v technologii CMOS $0,35\mu\text{m}$. Šířky tranzistorů jsou nastaveny následovně: $W_{M2} : W_{M1} = 1 : B$, délky jsou totožné $L_{M1} = L_{M2}$

Simulaci bylo potřeba provést v TCAD simulátoru, aby bylo možné ověřit skutečné chování parazitních bipolárních struktur. Upravené schéma pro simulaci je na obr. 4.73. Systém je stabilnější, když je báze připojena na zem, protože průrazné napětí je vyšší. Proto je tedy kontakt báze uzemněn [66, 64].

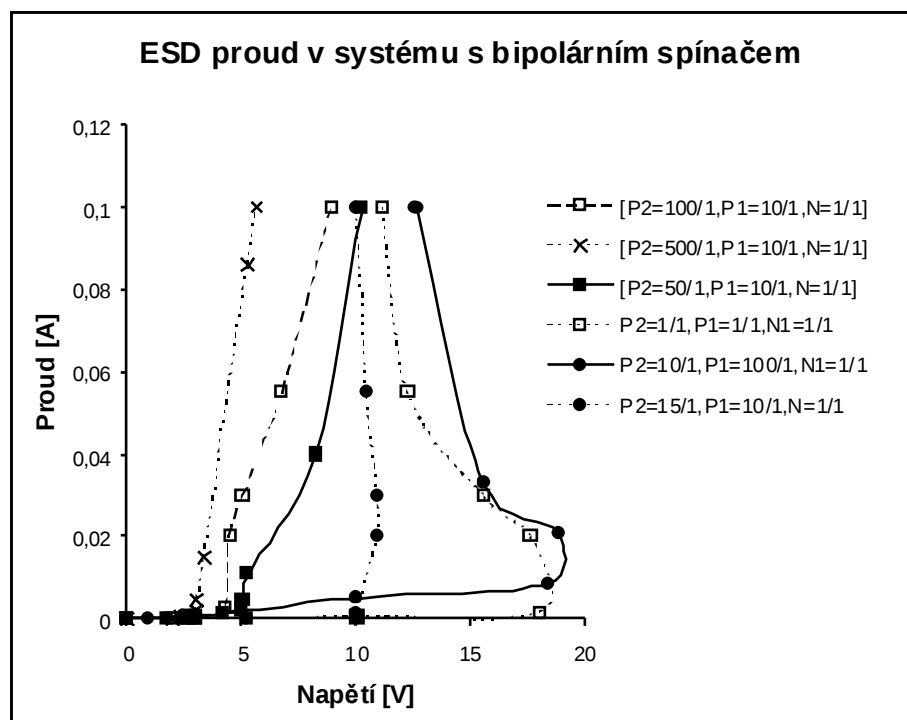
TCAD simulace byla provedena pro různé varianty poměrů tranzistorů (viz. obr. 4.72). Tímto způsobem bylo dosaženo napěťové variability spínání v rozmezí od 3 V do 15 V. Výsledky jsou v grafu na obr. 4.75.



Obr. 4.73 Schéma systému, jehož funkčnost byla ověřena v TCAD simulátoru.

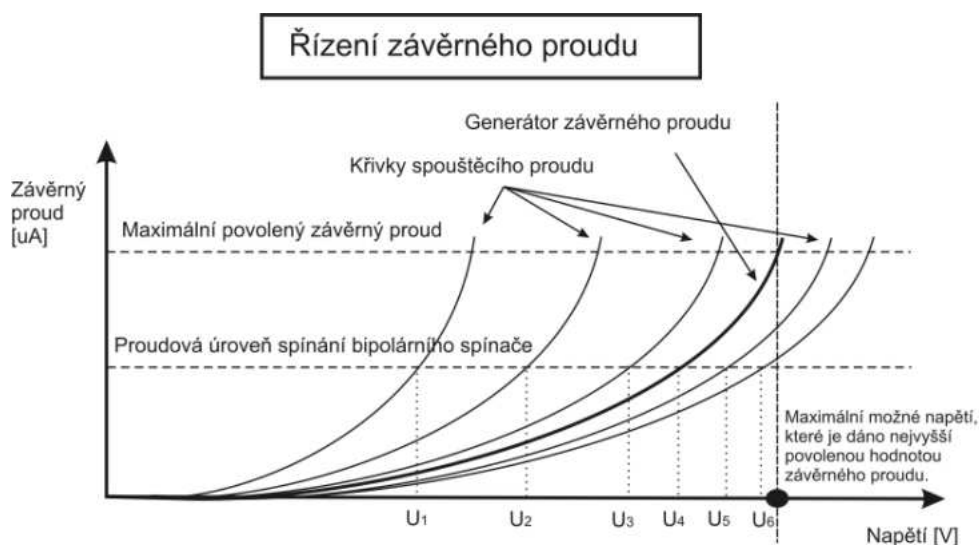


Obr. 4.74 Řez strukturou bipolárního generátoru závěrného proudu v technologii CMOS (vlevo), Řez strukturou bipolárního spínače v technologii CMOS (vpravo)



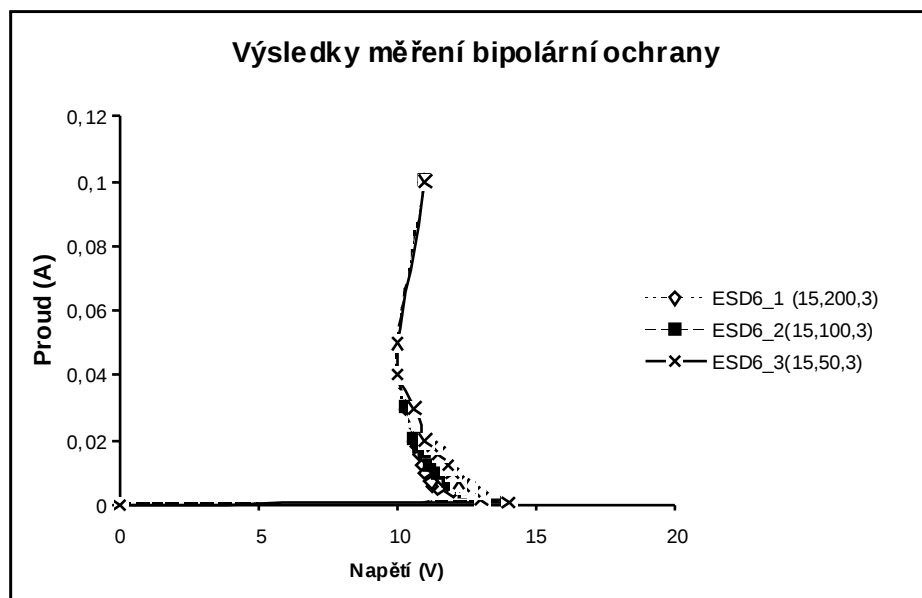
Obr. 4.75 Výsledky simulace pro různé hodnoty W/L u proudového zrcadla tvořeného tranzistorem PMOS.

Obr. 4.76 s názvem „Řízení závěrného proudu“ ukazuje chování jednotlivých proudů v systému [66]. Jak už bylo řečeno, celkový proud v systému nesmí přesáhnout povolenou hladinu svodového proudu. Povolená hodnota proudu je 20 μA , a vychází z požadavků používané technologie CMOS a BiCMOS. Pokud by ochrana měla v režimu „vypnuto“ vyšší svodový proud, nemohla by být použita v integrovaném obvodu. Dalším důležitým bodem je, aby bipolární tranzistor, který funguje jako spínač, spínal při bázevém proudu, který je menší, než je povolená úroveň svodových proudů. Proudový zdroj tvořený tranzistorem M1a M2 pak jen tento proud násobí pomocí rozměrů W/L nebo dělí, což je vidět na obr. 4.76. Jinými slovy buď urychluje spínání ochrany na nižší napětí nebo oddaluje spínání na vyšší napětí. Maximální možné napětí je takové, kdy dosáhne proudová charakteristika generátoru svodového proudu maximální povolené hodnoty svodových proudů. Všechny násobené nebo dělené charakteristiky musí mít na úrovni proudového spínání odpovídající spouštěcí napětí nižší.



Obr. 4.76 Princip řízení závěrného proudu pro spouštění bipolárního spínače.

Vzorky ESD ochrany se spínacím bipolárním tranzistorem byly vyrobeny v technologii CMOS. Protože v technologii CMOS je možné vyrobit pouze parazitní bipolární struktury, tranzistorový spínač byl tedy realizován z vrstev, které lze v CMOS procesu použít. Proto bipolární struktury „spínače“ a „generátor svodového proudu“ byly navrženy podle obr. 4.74. Takto byly navrženy, simulovány a vyrobeny v CMOS procesu. Výsledky z měření vzorků jsou zobrazeny na obr. 4.77.

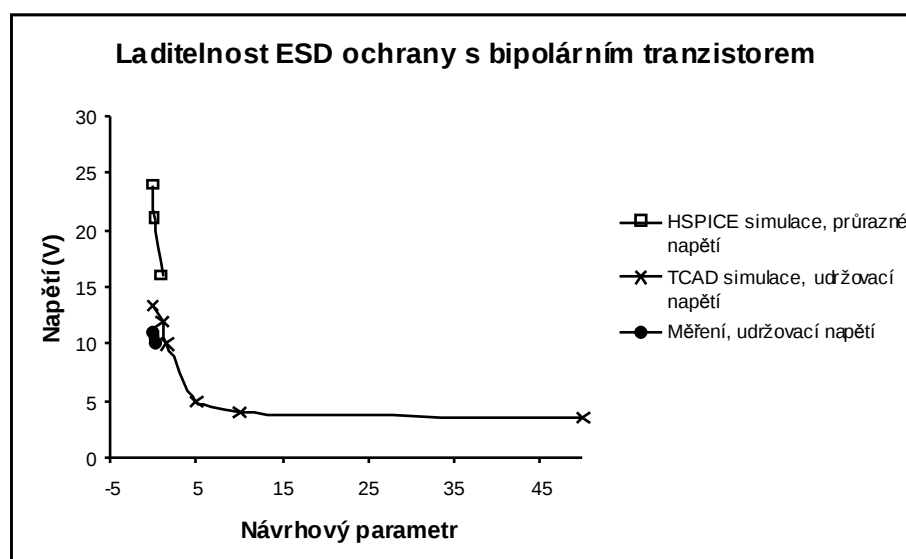


Obr. 4.77 Výsledky měření vzorků ESD ochrany se spínacím bipolárním tranzistorem.

Lze si všimnout, že všechny charakteristiky se blíží spouštěcímu napětí mezi 10 V až 15 V což se v simulátoru neukázalo. Zřejmě kvůli těžko předvídatelnému chování

bipolárních struktur v CMOS procesu nelze snadno dosáhnout dobré variability a jednoduchého ladění takové ochrany pomocí změn rozměrů tranzistorů. Nicméně tato ochrana vykazuje mimořádně dobrou charakteristiku jako 10 V ochrana napájení na 10 V. Žádná z předchozích struktur se nepřiblížila s udržovacím napětím hodnotě 10 V. Tato struktura již takovou ochranu umožňuje.

Laditelnost ESD ochrany s bipolárním tranzistorem je znázorněna na Obr. 4.78. Návrhovým parametrem pro tento graf je bezrozměrné číslo a jedná se o poměr šířky W tranzistoru M1 ku šířce W tranzistoru M2.



Obr. 4.78 Laditelnost ESD ochrany s bipolárním tranzistorem.

V grafu je vidět porovnání obvodové simulace z nástroje HSPICE s fyzikální simulací v nástroji ISE TCAD a s měřenými výsledky. Křivka laditelnosti ze simulací a z měření vykazuje shodný průběh, který je složen z jednotlivých výsledků z měření a simulace.

5. Závěr

Nejvýznamnější úlohu celého výzkumu hrál návrh způsobu ladění průběhů AV charakteristik tyristorových struktur v technologiích CMOS a BiCMOS. Takový výklad nebyl doposud v literatuře popsán. Jak bylo zmíněno již na počátku této práce, jedinou známou laditelnou strukturou je tyristor s nízkým spouštěcím napětím známý pod zkratkou LVTSCR [13]. Díky znalosti principu ladění bylo možné navrhnout a modelovat nové tyristorové struktury, které umožňují lepší laditelnost než dosud známá tyristorová struktura LVTSCR.

Na základě tohoto modelování a simulací jsem navrhnul nové tyristorové struktury nazvané „Tyristor s nastavitelným udržovacím napětím“ (angl. HVASCR = Holding Voltage Adjustable Silicon Controlled Rectifier) [67, 70] a „Variabilní horizontální tyristor“ (angl. VLSCR = Variable Lateral Silicon Controlled Rectifier) [70, 71, 65], což je hlavní teoretický přínos této práce. Tyto nově definované struktury byly podrobeny různým analýzám v simulátoru a výsledky těchto simulací jsou rozebrány v předchozí kapitole.

Dalším výstupem z tohoto výzkumu jsou realizované a změřené vzorky nových tyristorových struktur v CMOS a BiCMOS technologii, což je praktickým výstupem této práce a vlastně hlavním výstupem celé výzkumné práce. Výsledky měření jsou také rozebrány v předchozí kapitole.

Součástí výzkumu struktur pro ESD ochrany byl také návrh a modelování alternativních přístupů v návrhu ochranných struktur. Díky tomu byl navržen systém ochrany s bipolárním tranzistorem jako spínačem [66, 64], který je rozebrán v poslední sekci předchozí kapitoly.

Cíle práce byly zaměřeny jen na napěťově řízené ochrany. Aplikačním výstupem této práce je přehled vlastností navržených struktur (tab. 7, tab. 8) a buňky ESD ochran konkrétních rozměrů pro „layout“, které byly navrženy a vyrobeny. Popis navržených vzorků do výroby pro technologii CMOS a BiCMOS je přiložen v příloze k této práci.

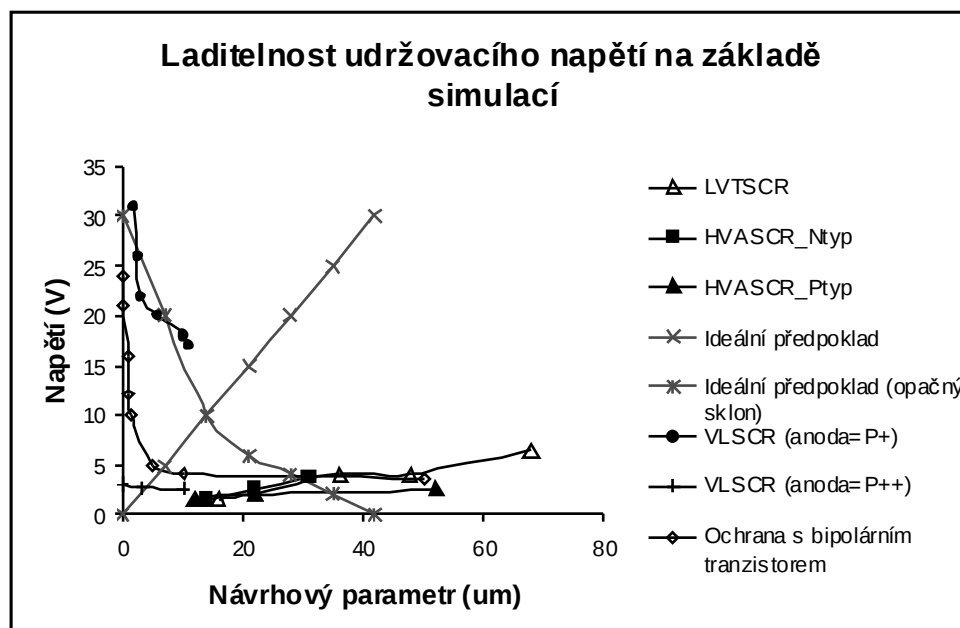
Nově navržené struktury, které umožňují ladění, byly postupně jednotlivě rozebrány v předchozí kapitole. V úvodu tohoto výzkumu jsem definoval ideální lineární laditelnost a předpokládanou laditelnost, která nemá lineární charakter. Grafy z obr. 5.1 a obr. 5.2 ukazují výslednou laditelnost navržených struktur (výsledky simulace nástroje ISE TCAD) a zároveň jsou přidány křivky ideální předpokládané laditelnosti. Některé křivky laditelnosti jsou s kladným sklonem a některé jsou se záporným sklonem. To znamená, že u první možnosti se sledované napětí zvětšuje se zvětšováním návrhového parametru a u druhé možnosti se sledované napětí zvětšuje při zmenšování hodnoty návrhového parametru.

Výsledky laditelnosti na základě simulací v nástroji TCAD jsou vidět na obr. 5.1 a obr. 5.2. Zde je vidět, že nejvíce se blíží ideálu struktura VLSCR (anoda P+) a ochrana s bipolárním tranzistorem. Toto je patrné i z přehledu parametrů z tabulky 7. Pokud bychom brali v úvahu pouze tyto výsledky ze simulací, pak by bylo možné konstatovat, že zmíněné struktury splňují požadované cíle disertační práce v plném rozsahu.

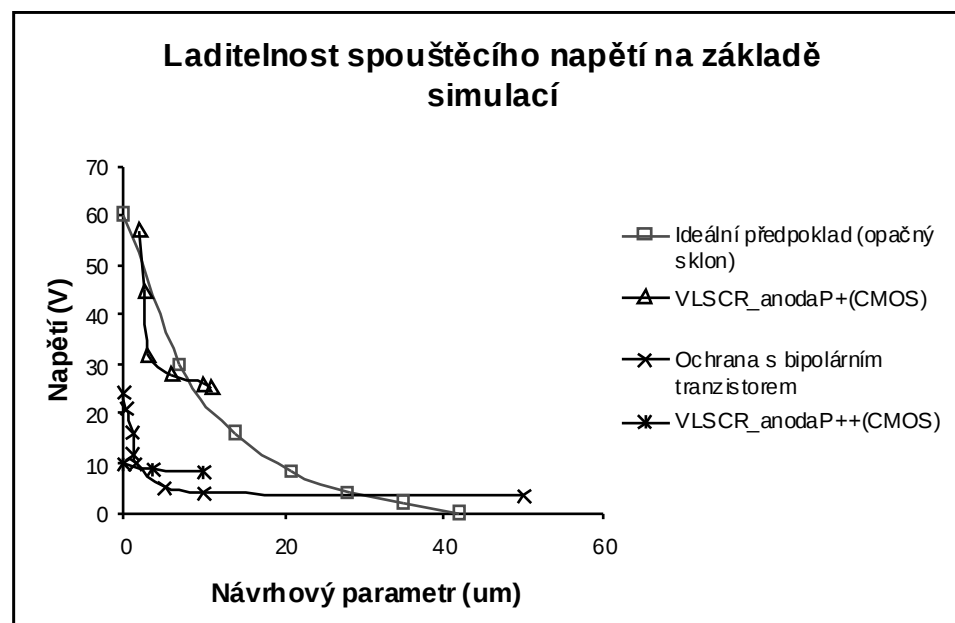
Podstatné jsou také výsledky z měření u vyrobených vzorků ochran. Laditelnost těchto vzorků je vidět na obr. 5.3 a obr. 5.4. Je zřejmé, že nebyla navržena univerzální struktura, která by umožňovala ladění v celém rozsahu např. od 1 V do 50 V. Nicméně vhodné použití té či oné tyristorové struktury pro danou aplikaci doplňuje tento nedostatek. Téměř všechny struktury splňují požadavky na odpor v sepnutém stavu (viz. tab.8), který by měl být maximálně 20 Ω . Podmínka maxima blokovacího (svodového) proudu, který má činit maximálně 20 μA , není u všech změřených vzorků splněna. Tato podmínka je splněna pouze na úroveň udržovacího napětí u vzorků v technologii CMOS. Struktura HVASCR realizovaná ve vrstvě N-WELL splňuje proudovou podmínku pouze do 0,8 V a pak jí překračuje.

Tabulka 7 Výsledné chování založené na simulacích v nástroji TCAD.

Výsledky ze simulace	Laditelnost (V)		Maximum	
Název struktury	Spouštěcí napětí	Udržovací napětí	svod.proud (A)	odpor R-ON (Ohm)
LVTSCR	15	2 až 8	10n	2
HVASC	10	1,5 až 5	50n	20
VLSCR (anoda P+)	25 až 57	17 až 31	30u	40
VLSCR (anoda P++)	8 až 10	2,5 až 3	10n	20
Ochrana s bipolárním tranzistorem	3,5 až 45	3,5 až 45	20u	10



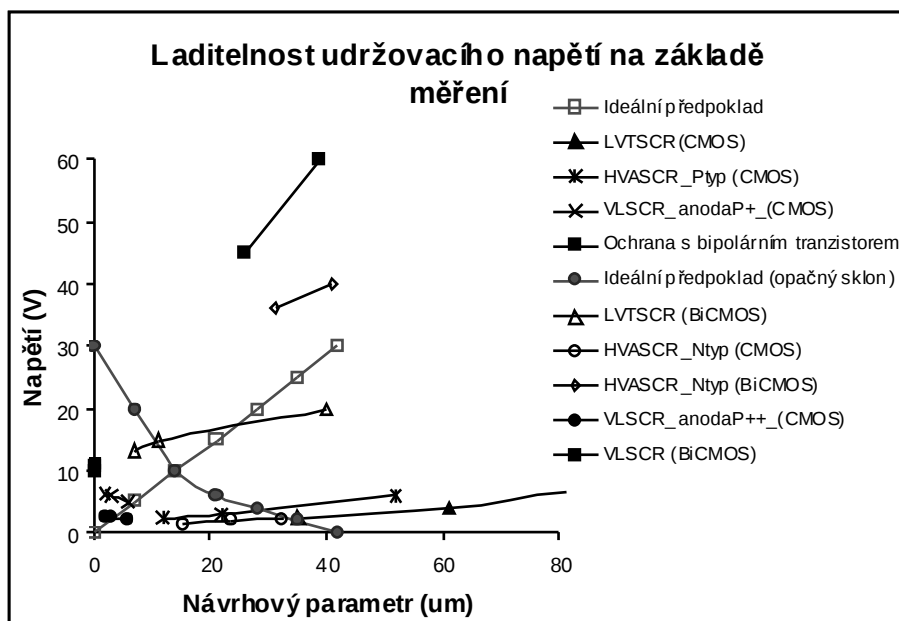
Obr. 5.1 Přehled laditelnosti udržovacího napětí u navržených struktur, simulační výsledky.

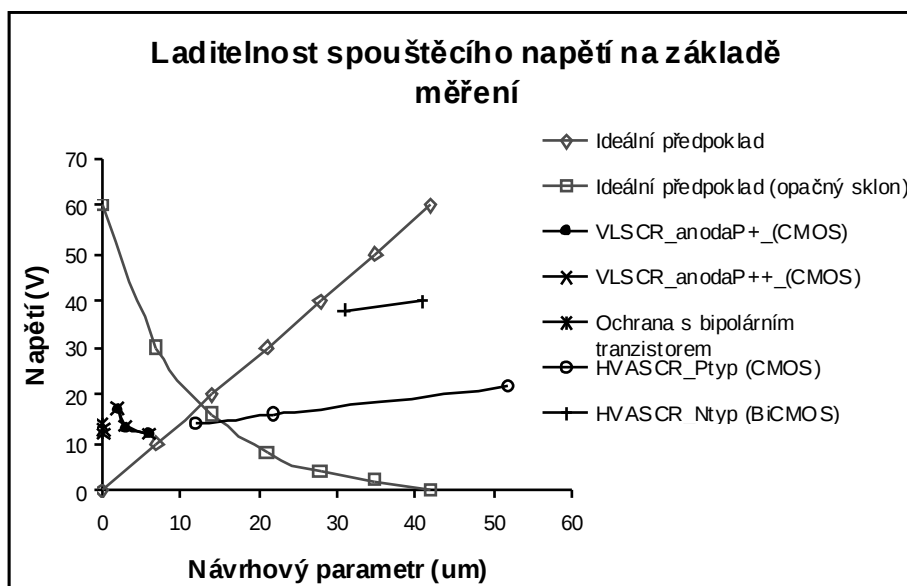


Obr. 5.2 Přehled laditelnosti spouštěcího napětí u navržených struktur, simulační výsledky.

Tabulka 8 Chování vycházející z měření vyrobených vzorků.

Výsledky z měření	Laditelnost (V)		Maximum	
	Spouštěcí napětí	Udržovací napětí	svod.proud	odpor R-ON (Ohm)
LVTSCR (CMOS)	23	2 až 8	100n	2
LVTSCR (BiCMOS)	19	13 až 20	100n	20
HVASCN (P-ty) (CMOS)	14 až 22	2 až 7	50n	2
HVASCN (N-ty) (CMOS)	2 až 2,5	1,5 až 2,3	100n	10
HVASCN (N-ty) (BiCMOS)	35 až 40	33 až 40	30u	30
VLSCR (CMOS)	12 až 16	2 až 7	50n	2
VLSCR (BiCMOS)	58 až 60	22 až 60	100u	100
Ochrana s bipolárním tranzistorem	12 až 14	10 až 11	20u	10


Obr. 5.3 Přehled laditelnosti udržovacího napětí u navržených struktur, změřené výsledky.



Obr. 5.4 Přehled laditelnosti spouštěcího napětí u navržených struktur, změřené výsledky.

Další vzorky tyristorových struktur byly vyrobeny v technologii BiCMOS. Z výsledků měření vzorků v technologii BiCMOS lze konstatovat, že pomocí navržených tyristorových struktur je možné realizovat ESD ochrany od 13 V do 20 V (LVTSCR), a od 33 V do 40 V (HVASCR).

Mezi cíle práce patřil i návrh ochrany napájení. Na základě výsledků měření vzorků v technologii BiCMOS můžeme vybrat strukturu typu HVASCR jako vhodnou ESD ochranu napájení na 30 V, která může nahradit sériový diodový řetězec. Maximální možné udržovací napětí v technologii CMOS bylo 10 V u ESD ochrany se spínacím bipolárním tranzistorem. Taková ochrana by mohla být použita jako ochrana napájení na 10 V.

V následujících letech se budou dál rozvíjet způsoby ochrany proti elektrostatickému výboji v integrovaných obvodech. Kvůli postupnému zmenšování rozměrů u standardních technologií CMOS se stává tato otázka důležitější než kdykoliv dříve. Tato práce může posloužit jako návod a východisko pro realizaci tyristorových struktur, které umožňují ochranu pro různá napětí na jednom čipu. Představené struktury jsou vhodné zejména pro technologie pracující s vyšším napětím (řádově desítky voltů).

Literatura

- [1] AMERASEKERA A., CHANG M. C., SEITCHIK J., CHATTERJEE A., MAYARAM K., CHERN J. H. "Self-heating effects in basic semiconductor structures", *IEEE Electr. Dev.*, ED-40, 1836-1844, 1993.
- [2] AMERASEKERA A., CHATTERJEE A. "An Investigation of BiCMOS ESD Protection Circuit Elements and Applications in Submicron Technologies", in *Proc. 14th EOS/ESD Symposium*, pp. 265-276, 1992.
- [3] AMERASEKERA A., DUVVURY C., *ESD in Silicon integrated Circuits*. Chichester: John Wiley and Sons , 1995.
- [4] AMERASEKERA A., GUPTA V., VASANTH K., RAMASWAMY S.. "Analaysis of snapback behavior on the ESD capability of sub-0.20 μ m nMOS", in *Proc.37th IRPS.*, 159-166, 1999.
- [5] AMERASEKERA A., MCNEIL V., RODDER M. "Correlating drain junction scaling, silicide thickness, and lateral npn behavior with the ESD/EOS performance of a 0.25 μ m CMOS process", in *Tech.Dig. IEDM.*, 893-896, 1996.
- [6] AVERY L. Using SCR`s as Transient Protection Structures in Integrated Circuits. *Proceedings of the Electrical/Overstress/Electrostatic Discharge (EOS/ESD) Symposium*,1983;177-180.
- [7] BOCK K., KEPPENS B., DE HEYN V., GROESENEKEN G., CHING L.Y., NAEM A. "Influence of Gate Length on ESD Performance For Deep Submicron CMOS Technology", in *Proc. 20th EOS/ESD Symposium*, pp. 95-104, 1999.
- [8] BOSELLI G., RAMSWAMY S., AMERASEKERA A., MOUTHAAAN T., KUPER F. "Modeling Substrate Diodes under Ultra-High ESD Injection Conditions", in *In Proc. 23rd EOS/ESD Symposium* , pp.135-144, 2001.
- [9] BOSSARD P., CHEMELLI R., UNGER B. "ESD damage from triboelectrically charged pins " in *Proc. 2nd EOS/ESD Symposium*, ESD Association, Rome, NY, USA, pp. 12-22, 1980.
- [10] CARBAJAL B.,CLINE R., NDERSON B., „A succesful HBM ESD Protection Circuit for Micron and Sub-Micron Level CMOS“, in *Proc.14th EOS/ESD Symposium*, pp. 234-242, 1992.
- [11] CARUSO A., SPIRITO P., VITALE G. "Negative resistance induced by avalanche injection in bulk semiconductors", *IEEE Trans. Electr. Dev.*, ED-21, 578-586, 1974.
- [12] CHATTERJEE A., POLGREEN T., AMERASEKERA A. "Design and Simulation of a 4 kV ESD Protection Circuit", in *Tech. Dig. IEDM*, 913-916, 1991.
- [13] CHATTERJEE A., POLGREEN T., "A low-voltage triggering SCR for on-chip protection at output and input pads." *Elec. Dev. Lett.* EDL-12, 21-22, 1991.

- [14] CHATTERJEE A., SEITCHIK J.A., CHERN J.H., WANG P., WEI C.C., “Direct evidence supporting the premises of a two-dimensional diode model for the parasitic thyristor in CMOS circuits built on thin Epi”, *IEEE Electron Device Lett.* EDL-9,509-511,1988.
- [15] CHEN J.Z, AMERASEKERA A., DUVVURY C., “Design Methodology for Optimizing Gate Driven ESD Protection Circuits in Submicron CMOS Processes”, in *Proc. 19th EOS/ESD Symposium*, pp. 230-239, 1997.
- [16] CHEN Z.CH., AMERASEKERA A., VROTSOS T. “Bipolar SCR ESD Protection Circuits for High Speed Submicron Bipolar/BiCMOS Circuits.” *IEDM*, 1995, p. 337-340. 0-7803-2700-4.
- [17] CORSI M., NIMMO R., FATTORI F. “ESD Protection of BiCMOS Integrated Circuits Which Need to Operate in the Harsh Environments of Automotive or Industrial”, in *Proc. 15th EOS/ESD Symposium*, pp. 209-214, 1993.
- [18] CROWELL C., SZE S.M., “Temperature dependence of avalanche multiplication in semiconductors”, *Appl.Phys.Lett.*, 9, 242-233, 1966.
- [19] DIAZ C., MOTLEY G., „Bi-Modal Triggering For LVSCR ESD Protection Devices“, in *Proc. 16th EOS/ESD Symposium*, pp. 106-112, 1994.
- [20] DUTTON R. W. “Bipolar transistor modeling of avalanche generation for computer circuit simulation”, *IEEE T. Electron Dev.*, ED-22, 334-338, 1975.
- [21] EITAN B., FROHMAN-BENTCHKOWSKY D.. “Surface conduction in short-channel MOS devices as a limitation to VLSI scaling”, *IEEE T. Electron Dev.*, ED-29, 254-266, 1982.
- [22] ESTREICH D.B, The Physics and Modeling of Latch-Up in CMOS Integrated Circuits, Ph.D Thesis, Stanford University, 1981.
- [23] GRANT W.N., “Electron and hole ionization rates in epitaxial silicon at high electric fields”, *J. Solid State Elect.*, 16, 1189-1203, 1973.
- [24] GUPTA V., AMERASEKERA A., RAMASWAMY S., TSAO A. “ESD related Process Effects in Mixed Voltage Sub-0.5 μm Technologies”, in *Proc. 20th EOS/ESD Symposium.*, pp. 161-169, 1998
- [25] HALLIDAY D., RESNIK R., WALKER J. *Fundamentals of Physics, 5th edition* Cleveland , John Wiley & Sons, 1997 , ISBN-0471156639
- [26] HERLET A., RAITHEL K., “Forward characteristics of thyristors in the fired state”, *J.Solid State Electr.*, 9,1089-1105,1966.
- [27] HOWER P.L., REDDI V.G.K., “Avalanche injection and second breakdown in transistors”, *IEEE T. Electron Devices*, ED-17, 320-335, 1970.
- [28] HSU F.C., KO P.K., TAM S., HU C, MULLER R. “An analytical breakdown model for short-channel MOSFETs”, *IEEE T.Electron Dev*, ED-29, 1735-1740, 1982.

- [29] JANKOVIC N. D. "Pre-turn-on source bipolar injection in graded NMOST's", *IEEE T. Electron Dev.*, ED-38, 2527-2530, 1991.
- [30] KENNEDY D.P., O'BRIEN R.R., „Avalanche Breakdown Calculations for a Planar p-n Junction“, *IBM Journal*, 213-219, May 1966
- [31] KER M.D., "Lateral SCR Devices with Low-Voltage High-Current Triggering Characteristics for Output ESD Protection in Submicron CMOS Technology." *IEEE Transactions on Electron Devices*, 1998, vol. 45, no.4, p. 849-860. 0018-9383/98.
- [32] KER M.D., CHEN Z.P. "SCR Device With Dynamic Holding Voltage for On-Chip ESD Protection in a 0.25 μ m Fully Salicided CMOS Process." *IEEE Transactions on Electron Devices*, 2004, vol. 51, no.10, p. 1731-1733. 0018-9383/04.
- [33] KER M.D., LIN K.H., "The Impact of Low-Holding-Voltage Issue in High-Voltage CMOS Technology and the Design of Latchup-Free Power-Rail ESD Clamp Circuit for LCD Driver ICs." *IEEE Journal of Solid-State Circuits*, 2005, vol. 40, no.8, p. 1751-1759. 0018-9200.
- [34] KER M.D., LIN K.H., "Double Snapback Characteristics in High-Voltage nMOSFETs and the Impact to On-Chip ESD Protection Design." *IEEE Electron Device Letters*, 2004, vol. 25, no.9, p. 640-642. 0741-3106/04.
- [35] KER M.D., HSIAO Y. W., WU W.L. "ESD-Protection Design With Extra Low-Leakage-Current Diode String for RF Circuits in SiGe BiCMOS Process." *IEEE Transactions on Device and Materials Reliability*, 2006, vol.6, no.4, p. 517-527, 1530-4388.
- [36] KER M., WU C., LEE C., „A Novel CMOS ESD/EOS Protection Circuit with Full-SCR Structures“, in *Proc. 14th EOS/ESD Symposium*, pp. 258-264, 1992.
- [37] KHURANA B. S., SUGANO T., YANAI H., "Thermal breakdown in silicon p-n junction devices", *IEEE Electr. Dev.*, ED-13, 763-770, 1966.
- [38] KRIEGER G. "The Dynamics of Electrostatic Discharge Prior to Bipolar Action Related Snapback", in *Proc. 11th EOS/ESD Symposium*, pp 136-144, 1989.
- [39] LAFFERTY D. "Secondary discharge: a new jeopardy and a new tool " in *Proc. 6th EOS/ESD Symposium*, ESD Association, Rome, NY, USA, pp. 131-135, 1984.
- [40] LAI CH.H., LIU M.H., SU S., LU T.CH., PAN S. "A Novel Gate-Coupled SCR ESD Protection Structure With High Latchup Immunity for High-Speed I/O Pad." *IEEE Electron Device Letters*, 2004, vol. 25, no.5, p. 328-330. 0741-3106/04.
- [41] LEE J.H., WU Y.H., PENG K.R., CHANG R.Y. YU T.L. ONG T.C. "The Embedded SCR NMOS and Low Capacitance ESD Protection Device For Self-Protection Scheme and RF Application." *Science Based industrial Park*, No.9, 93-96, Hsin-Chu, Taiwan.

- [42] LINDMAYER J. SCHNEIDER W. "Theory of lateral transistors", *J. Solid State Circuits.*,10, 225-234, 1967.
- [43] MILLER S.L., "Ionization rates for holes and electrons in silicon", *Phys.Rev.*, 105, 1246-1249, 1957.
- [44] MUSIL V., BRZOBOHATÝ J., BOUŠEK J., PRACHALOVÁ I. *Elektronické součástky*, vysokoškolská skripta, nakladatelství VUTIUM, 2000. ISBN 80-214-1776-5
- [45] NUSSBAUM A., *Fyzika polovodičových součástek* SNTL PRAHA 1965, přeložil ŠIMEČEK T.
- [46] OKUTO Y., CROWELL C.R., "Threshold energy effect on avalanche breakdown voltage in semiconductor junctions", *J.Solid State Electr.*, 18, 161-168, 1975.
- [47] PINTO-GUEDES M., CHAN P. "A circuit simulation model for bipolar induced breakdown in MOSFET", *IEEE Trans.Comp.Aid. Des.*, CAD-7, 289-294, 1988.
- [48] RAMASWAMY S. "A unified substrate current model for weak and strong impact ionization in sub-0.25 μm nMOS devices", in *Tech.Dig. IEDM.*, 885-888, 1997.
- [49] REISCH M. "On bistable behavior and open-base breakdown of bipolar transistors in the avalanche regime – modeling and applications", *IEEE T. Electron Dev.*, ED-39, 1398, 1992.
- [50] RENNINGER R. "Mechanisms of charged device model electrostatic discharges " in *Proc. 13th EOS/ESD Symposium*, ESD Association, Rome, NY, USA, pp. 127-143, 1991.
- [51] RICCO B., SANGIORGI E., FERRIENI G., High Holding Voltage CMOS Technology with Lightly Doped Source and Drain Regions, *IEEE Transactions on Electron Dev.* 1987, vol. ed-34, no. 4, p. 810 - 816. 0018-9383/87/0400-0810.
- [52] SALCEDO J.A., LIOU J.J., BERNIER J.C., "Design and Integration of Novel SCR-Based Devices for ESD Protection in CMOS/BiCMOS Technologies." *IEEE Transactions on Electron Dev.*, 2005, vol. 52, no.12, p. 2682 2689. 0018-9383/20.
- [53] SEITCHIK J., CHATTERJEE A., YANG P., "An analytical model of holding voltage for latch-up in epitaxial CMOS", *IEEE Electr. Device Lett.*, EDL-8, 157-159,1987.
- [54] SPEAKMAN T.S., "A model for the failure of bipolar silicon integrated circuits subjected to electrostatic discharge." in *Proc. 12th Annual Symposium on Reliability Physics*, IEEE, pp. 60-69, 1974.
- [55] STRÁNSKÝ J. a kol., *Polovodičová technika* (4. vydání) SNTL PRAHA 1982
- [56] YANG P., CHERN J. H., "Design for reliability: the major challenge for VLSI", in *Proc.IEEE.*, 81, 730-744, 1993.

- [57] VASHCHENKO V.A., CONCANNIN A., BEEK M., HOPPER P. "High Holding Voltage Cascoded LVTSCR Structures for 5.5-V Tolerant ESD Protection Clamps." *IEEE Transactions on Device and Materials Reliability.*, 2004, vol. 04, no.2, p. 273-280. 1530-4388/04.
- [58] VERDONCKT-VANDEBROEK S., WONG S.S., WOO J., KO P.K. "High gain lateral bipolar action in a MOSFET structure", *IEEE T. Electron Dev.*, ED-38, 2487-2496, 1991.
- [59] VOBECKÝ J.; ZÁHLAVA, V. *Elektronika- součástky a obvody, principy a příklady*. Grada, 2006, ISBN 80-247-1241-5.
- [60] VOLDMAN S. H., *ESD Circuits and Devices*. Vermont USA: John Wiley and Sons, 2006.
- [61] VOLDMAN S. H., *ESD RF Technology and Circuits*, Vermont USA: John Wiley and Sons, 2006.
- [62] VOLDMAN S., ANDERSON W., ASHTON R., CHAINE M., DUVVURY C., MALONEY T. T., WORLEY E., „A Strategy for Characterization and Evaluation of ESD Robustness of CMOS Semiconductor Technologies“, in *Proc. 21st EOS/ESD Symposium*, pp. 212-224,1999.

Publikace doktoranda

- [63] BĚŤÁK P., “An advanced SCR protective structure against ESD stress.” in *Proceedings of the 13th conference Student EEICT 2007*, Volume 4., Brno 2007. s.286-290. ISBN:978-80-214-3410-3
- [64] BĚŤÁK P. „Bipolar ESD Power Clamp in High Voltage CMOS Based on TCAD Device Simulation“, in *32nd International Spring Seminar on Electronics Technology „Hetero System Integration, the path to New Solutions in the Modern Electronics“*, Brno 2009, 260-261, ISBN 978-1-4244-4260-7.
- [65] BĚŤÁK P., BRZOBOHATÝ J., MUSIL V., „Variable Lateral Silicon Controlled Rectifier for IC's ESD Protection Design“ in *Proceedings, Seventh International Conference on Soft Computing Applied in Computer and Economic Environments*, ICSC 2009, 75-81, ISBN 978-80-7314-163-9.
- [66] BĚŤÁK P. „Current-Triggered Bipolar ESD Power clamp“ in *Electronic devices and systems IMAPS CS International Conference 2008*, Brno 2008
- [67] BĚŤÁK P., “Holding Voltage Adjustable Silicon Controlled Rectifier.” in *ISSE 2007 31th International Spring Seminar on Electronics Technology*, Budapest 2008.
- [68] BĚŤÁK P., “SCR based protective structure against ESD for VHVIC technology.” in *Electronic devices and systems IMAPS CS International Conference 2007*, Brno 2007.
- [69] BĚŤÁK P., “SCR I-V Characteristics Tuning for Applications of ESD Protections.” in *Proceedings of the 14th conference Student EEICT 2008*, Volume 4. Brno 2008.
- [70] BĚŤÁK, P.; MUSIL, V. Snap-back characteristics tuning of SCR-based semiconductor structures. *WSEAS Transactions on Electronics*. 2007 (Special Issue: Integrated Circuit Design) . 4 (9). p. 175 - 180. ISSN 1109-9445.
- [71] BĚŤÁK P., MUSIL V. „Variable Lateral Silicon Controlled Rectifier as an ESD Protection“ *WSEAS Transactions on Electronics*, 2008, roč.5, č.8, 350-359, ISSN 1109-9445
- [72] BĚŤÁK P., NOVÁČEK K. “Advanced tunable protective structure against electrostatic discharge.” in *ISSE 2007 30th International Spring Seminar on Electronics Technology*, Cluj-Napoca 2007, p. 238-241.

Seznam obrázků a grafů

Obr. 2.1 Zapojení RLC obvodu modelu HBM.....	7
Obr. 2.2 Zapojení RLC obvodu modelu MM.....	7
Obr. 2.3 Zapojení RLC obvodu modelu CDM.....	8
Obr. 2.4 Zapojení RLC obvodu modelu IEC.....	8
Obr. 2.5 Principiální rozmístění ESD ochran v integrovaném obvodu [3].	9
Obr. 2.6 Ochranné schéma se společným vodičem Vss, proudová cesta pro kladný ESD (nahore),	11
Obr. 2.7 Ochranné schéma se společným vodičem Vdd, proudová cesta pro kladný ESD (nahore),	11
Obr. 2.8 Primární ochrana využívající horizontální tyristor.	12
Obr. 2.9 Sekundární ochrana využívající uzemněný MOS tranzistor.	12
Obr. 2.10 Sériový diodový řetězec jako ochrana napájení.	12
Obr. 2.11 Řez strukturou horizontálního tyristoru v CMOS technologii.....	13
Obr. 2.12 Řez strukturou NMOS tranzistoru s uzemněným hradlem pro ESD ochranu.....	13
Obr. 2.13 Řez horizontální diodou (vlevo) a vertikální diodou (vpravo) v CMOS technologii[3].	14
Obr. 2.14 Ukázka ochrany napájení s MOS tranzistorem, který je spínán frekvenčně [60, 61].	15
Obr. 2.15 Ukázka ochrany napájení s tranzistorem MOS, který je spínán napěťově [60].	15
Obr. 2.16 Ukázka ochrany napájení s bipolárním tranzistorem, který je napěťově spínáný [3, 60].	16
Obr. 2.17 Ukázka ochrany napájení s bipolárním tranzistorem, který je spínáný kapacitně [60].	16
Obr. 2.18 Dioda PN, propustný směr [3].	17
Obr. 2.19 Dioda PN, závěrný směr [3].	17
Obr. 2.20 Schéma zapojení při lavinovém spínání bipolárního tranzistoru [3].	18
Obr. 2.21 Schéma zapojení se spínacím	18
Obr. 2.22 AV charakteristika zobrazující lavinový průraz (vlevo)[3],	18
Obr. 2.23 AV charakteristika tranzistoru NMOS (vlevo), struktura tranzistoru NMOS včetně parazitního NPN (vpravo) [3].	20
Obr. 2.24 Vysokoproudová AV char. pro NMOS tranzistor [3].	21
Obr. 2.25 AV charakteristiky různých tyristorových struktur [44].	22
Obr. 2.26 AV charakteristiky struktur typu DIAC a TRIAC [59].	22
Obr. 2.27 Polovodičová struktura tyristoru, struktury DIAC a TRIAC [59].	23
Obr. 2.28 Řez strukturou LSCR a typická AV charakteristika [6].	24
Obr. 2.29 Řez strukturou MLSCR [3].	25
Obr. 2.30 Řez strukturou LVTSCR (vlevo), měřený průběh AV charakteristik pro různé rozměry kanálu a N+ vrstvy na okraji přechodu NWELL-Psubstrát. [13]	25
Obr. 2.31 Řez strukturou LCESD(vlevo) a průběh A/V charakteristik (vpravo) [41].	26
Obr. 2.32 Řez strukturou HH-LVTSCR a průběh AV charakteristik [52].	26
Obr. 2.33 Řez strukturou DHVSCR a průběh AV charakteristik [32].	27
Obr. 2.34 Řez strukturou LIGCSCR a průběh AV charakteristik [40].	27
Obr. 2.35 Řez strukturou GGNMOS a průběh AV charakteristik [33, 34].	28
Obr. 2.36 Řez strukturou tyristoru a průběh AV charakteristik [16].	29
Obr. 2.37 Schéma uspořádání ESD ochrany a průběh AV charakteristik [35, 60].	29
Obr. 2.38 Schéma jednotlivých součástí programu ISE TCAD, které na sebe navazují a které byly využívány.	30
Obr. 2.39 Příklad 2D struktury vytvořené v podprogramu MDRAW.	30
Obr. 2.40 Příklad struktury vytvořené v podprogramu DIOS.	31
Obr. 4.1 Principiální ukázka pudorysu ochrany, kde je znázorněn X-parametr, pomocí kterého je možné ladit spouštěcí a udržovací napětí.	34
Obr. 4.2 Ideální lineární závislost představující laditelnost spouštěcího a udržovacího napětí.	35
Obr. 4.3 Ideální lineární závislost spouštěcího a udržovacího napětí se záporným sklonem.	36
Obr. 4.4 Ukázka možné závislosti spouštěcího a udržovacího napětí na změně X-parametru.	36
Obr. 4.5 Způsob umístění ochrany vedle vývodu integrovaného obvodu.	37
Obr. 4.6 Řez horizontálním tyristorem v CMOS technologii se zobrazením parazitních PNP a NPN tranzistorů. Odpor Rn-well je odpor vrstvy N-WELL, Rp-well je odpor vrstvy P-WELL a Repi je odpor epitaxní vrstvy. Nízkoodporový substrát je na potenciálu 0 , vpravo je zobrazeno obvodové schéma takového tyristoru.	38

Obr. 4.7 Princip činnosti horizontální tyristorové struktury.	39
Obr. 4.8 AV charakteristika tyristoru pro relativně velké proudy, ukazuje spouštěcí napětí, spouštěcí proud a udržovací napětí.	39
Obr. 4.9 Princip sepnutí horizontální tyristorové struktury pomocí lavinové ionizace.	41
Obr. 4.10 Horizontální CMOS tyristor s přídavnou N+ vrstvou rozhraní vrstvy N-WELL z důvodu redukce spouštěcího napětí.	41
Obr. 4.11 Horizontální CMOS tyristor bez přídavné difúze s označením rozměrů X a Y [3].	41
Obr. 4.12 Řez tyristorovou strukturou LVTSCR a ekvivalentní obvodové zapojení vlevo.[3].	42
Obr. 4.13 Proud v závěrném směru jako funkce teploty [3, 56].	45
Obr. 4.14 Typické AV charakteristiky pro oblast průrazu polovodičových součástek v BiCMOS a CMOS technologii simulované v TCAD simulátoru.	48
Obr. 4.15 Změna napěťové úrovně lavinového spínání u horizontální tyristorové struktury.	49
Obr. 4.16 Řez strukturou DIAC, která byla navržena v horizontální podobě pro CMOS a BiCMOS technologie.	50
Obr. 4.17 Řez strukturou LVTSCR, která byla simulována v CMOS procesu.	51
Obr. 4.18 Změna udržovacího napětí u struktury LVTSCR v logaritmickém měřítku (nahore) a v lineárním měřítku (dole) ze simulátoru TCAD.	52
Obr. 4.19 Laditelnost udržovacího napětí pro strukturu LVTSCR.	53
Obr. 4.20 Výsledky teplotního namáhání struktury LVTSCR v simulátoru TCAD.	54
Obr. 4.21 Výsledky testu HBM pro tyristor s nízkým spouštěcím napětím (LVTSCR).	54
Obr. 4.22 Výsledky testu HBM pro horizontální tyristor (LSCR).	55
Obr. 4.23 Znáznornění zapojení čtyřvrstvé tyristorové struktury pro AC simulaci	55
Obr. 4.24 Výsledky AC simulace pro strukturu LVTSCR.	56
Obr. 4.25 Výsledky AC simulace pro diodu v závěrném směru.	56
Obr. 4.26 Výsledky AC simulace pro strukturu LVTSCR.	56
Obr. 4.27 Výsledky AC simulace pro běžný horizontální tyristor LSCR.	56
Obr. 4.28 Výsledky měření vzorků struktury LVTSCR.	57
Obr. 4.29 Vzorky struktury LVTSCR N-typu(vlevo) a P-typu(vpravo), které byly vyrobené v technologii BiCMOS.	59
Obr. 4.30 Výsledky měření AV charakteristik u vzorků tyristoru LVTSCR vyrobených v technologii BiCMOS.	59
Obr. 4.31 Řez strukturou HVASCR na P-substrátu (vlevo), ve vrstvě N-WELL (vpravo)	60
Obr. 4.32 Schématické znázornění struktury HVASCR.	61
Obr. 4.33 Výsledky simulací tyristoru HVASCR na P-substrátu v logaritmickém měřítku (nahore), v lineárním měřítku (dole).	62
Obr. 4.34 Výsledky simulací tyristoru HVASCR ve vrstvě N-WELL.V logaritmickém měřítku (nahore), v lineárním měřítku (dole).	63
Obr. 4.35 Napěťové teplotní závislost simulovaná v simulátoru ISE TCAD u struktury HVASCR na P-substrátu.	64
Obr. 4.36 Napěťové teplotní závislost simulovaná v simulátoru ISE TCAD u struktury HVASCR ve vrstvě N-WELL.	65
Obr. 4.37 Výsledný průběh HBM testu u P-substrátového tyristoru HVASCR.	65
Obr. 4.38 Výsledný průběh HBM testu u horizontálního tyristoru LSR.	65
Obr. 4.39 Výsledný průběh HBM testu tyristoru HVASCR ve vrstvě N-WELL.	66
Obr. 4.40 Výsledný průběh HBM testu u horizontálního tyristoru LSCR.	66
Obr. 4.41 Výsledky AC simulace pro strukturu HVASCR ve vrstvě N-WELL.	67
Obr. 4.42 Výsledky AC simulace pro strukturu HVASCR na P-substrátu.	67
Obr. 4.43 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR na P-substrátu.	68
Obr. 4.44 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR ve vrstvě N-WELL.	69
Obr. 4.45 Řez strukturou HVASCR, která byla vyrobena v BiCMOS technologii.	69
Obr. 4.46 Výsledky měření vzorků HVASCR vyrobeného v 1,5μm BiCMOS procesu.	70
Obr. 4.47 Laditelnost struktury HVASCR, porovnání platí pro struktury realizované v technologii CMOS.	71
Obr. 4.48 Řez strukturou VLSCR, vlevo méně dotovaná vrstva P+ tvořící anodu, vpravo více dotovaná vrstva P++ tvořící anodu.	72
Obr. 4.49 Obvodové schématické znázornění struktury VLSCR.	73
Obr. 4.50 Výsledky simulace struktury VLSCR v technologii CMOS při Y=0 μm.	74

Obr. 4.51 Výsledky simulace struktury VLSCR v technologii CMOS, méně koncentrovaná vrstva P+ tvořící anodu.....	74
Obr. 4.52 Výsledky simulace struktury VLSCR v technologii CMOS,.....	75
Obr. 4.53 Porovnání výsledků napěťové variability pro dvě různé koncentrace vrstvy P+ tvořící anodu.....	76
Obr. 4.54 Napěťově teplotní závislost variabilního horizontálního tyristoru s nízkou koncentrací příměsí na anodě.....	77
Obr. 4.55 Napěťově teplotní závislost variabilního horizontálního tyristoru s vyšší koncentrací příměsí na anodě.....	77
Obr. 4.56 Výsledný průběh teploty, napětí a proudu po testu HBM pro strukturu VLSCR s nízkou dotací anody.....	78
Obr. 4.57 Výsledný průběh teploty, napětí a proudu po testu HBM pro strukturu VLSCR s vyšší dotací anody.....	78
Obr. 4.58 Výsledný průběh teploty, napětí a proudu po testu HBM pro horizontální tyristor LSCR.....	79
Obr. 4.59 Výsledky AC simulace pro strukturu VLSCR s nižší koncentrací příměsí na anodě.....	79
Obr. 4.60 Výsledky AC simulace pro strukturu VLSCR s vyšší koncentrací příměsí na anodě.....	79
Obr. 4.61 Výsledky měření vzorků struktury VLSCR s méně koncentrovanou vrstvou P+ na anodě.....	80
Obr. 4.62 Výsledky měření vzorků struktury VLSCR s koncentrovanější vrstvou P+ na anodě.....	81
Obr. 4.63 Srovnání AV charakteristik vyrobených struktur VLSCR v technologii CMOS pro dvě různé koncentrace příměsí na anodě.....	82
Obr. 4.64 Řez strukturou VLSCR, která byla realizována v BiCMOS technologii.....	82
Obr. 4.65 Výsledky z měření v technologii BiCMOS při $Y=0\ \mu\text{m}$	83
Obr. 4.66 Laditelnost struktury VLSCR na základě simulací v ISE TCAD a porovnání s ideální lineární laditelností.....	84
Obr. 4.67 Laditelnost struktury VLSCR, měřené vzorky v CMOS technologii.....	84
Obr. 4.68 ESD ochrana se spínacím bipolárním tranzistorem spouštěná externím proudovým zdrojem.....	85
Obr. 4.69 Schéma systému ESD ochrany s proudově spínaným bipolárním tranzistorem.....	87
Obr. 4.70 Výsledky HSPICE simulace s odporem R_{ext} v technologii CMOS $0,35\ \mu\text{m}$. Šířky tranzistorů jsou nastaveny následovně: $W_{M2} : W_{M1} = 1 : B$, délky jsou totožné $L_{M1}=L_{M2}$	87
Obr. 4.71 Schéma systému s tranzistorem M3 a bipolárním generátorem závěrného proudu.....	88
Obr. 4.72 Výsledky HSPICE simulace s tranzistorem M3 v technologii CMOS $0,35\ \mu\text{m}$	88
Obr. 4.73 Schéma systému, jehož funkčnost byla ověřena v TCAD simulátoru.....	89
Obr. 4.74 Řez strukturou bipolárního generátoru závěrného proudu v technologii CMOS (vlevo), Řez strukturou bipolárního spínače v technologii CMOS (vpravo).....	89
Obr. 4.75 Výsledky simulace pro různé hodnoty W/L u proudového zrcadla tvořeného tranzistorem PMOS.....	90
Obr. 4.76 Princip řízení závěrného proudu pro spouštění bipolárního spínače.....	91
Obr. 4.77 Výsledky měření vzorků ESD ochrany se spínacím bipolárním tranzistorem.....	91
Obr. 4.78 Laditelnost ESD ochrany s bipolárním tranzistorem.....	92
Obr. 5.1 Přehled laditelnosti udržovacího napětí u navržených struktur, simulační výsledky.....	95
Obr. 5.2 Přehled laditelnosti spouštěcího napětí u navržených struktur, simulační výsledky.....	95
Obr. 5.3 Přehled laditelnosti udržovacího napětí u navržených struktur, změřené výsledky.....	96
Obr. 5.4 Přehled laditelnosti spouštěcího napětí u navržených struktur, změřené výsledky.....	97

Seznam tabulek

<i>Tabulka 1 Přehled RLC modelů s uvedenými hodnotami součástek.....</i>	<i>7</i>
<i>Tabulka 2 Smyšlené hodnoty pro demonstraci ladiitelnosti z Obr. 4.2.....</i>	<i>35</i>
<i>Tabulka 3 Smyšlené hodnoty pro demonstraci ladiitelnosti z Obr. 4.3.....</i>	<i>35</i>
<i>Tabulka 4 Smyšlené hodnoty pro demonstraci ladiitelnosti z Obr. 4.4.....</i>	<i>36</i>
<i>Tabulka 5 Přehled difúzních vrstev dostupných v použitých technologiích.....</i>	<i>49</i>
<i>Tabulka 6 Předpokládaná ladiitelnost tyristoru LVTSCR.....</i>	<i>51</i>
<i>Tabulka 7 Výsledné chování založené na simulacích v nástroji ISE TCAD.....</i>	<i>94</i>
<i>Tabulka 8 Chování vycházející z měření vyrobených vzorků.</i>	<i>96</i>

Seznam použitých zkratek

BiCMOS	technologie kombinující použití bipolárních tranzistorů a unipolárních tranzistorů typu MOS (NMOS a PMOS)
BVav	průrazné napětí při lavinovém průrazu (avalanche Breakdown Voltage)
CDM	model nabitého zařízení (Charged Device Model)
CMOS	technologie používající tranzistory typu NMOS a PMOS (Complementary MOS)
DIAC	diodový tyristor (Diode Alternating Current Switch)
DHVSCR	tyristor s dynamickým udržovacím napětím (Dynamic Holding Voltage SCR)
DUT	testované zařízení (Device Under Test)
ESD	elektrostatický výboj (Electrostatic Discharge)
FCDM	alternativní model nabitého zařízení (Field Induced Charged Device Model)
GATE	označení pro izolovanou elektrodu MOS tranzistoru, v češtině se někdy používá termín „hradlo“, nebo „báze“ nebo elektroda G.
HBM	model lidského těla (Human Body Model)
HH-LVTSCR	tyristor s nízkým spouštěcím napětím ale s vysokým udržovacím napětím (High Holding LVTSCR)
HINTSCR	N-typ tyristoru spouštěný velkým proudem (High Current NMOS Trigger SCR)
HIPTSCR	P-typ tyristoru spouštěný velkým proudem (High Current PMOS Trigger SCR)
HVASC	tyristor s nastavitelným udržovacím napětím (Holding Voltage Adjustable SCR)
IEC	standard mezinárodní elektrotechnické komise (IEC = International Electrotechnical Commission)
IEEE	mezinárodní institut elektrotechnických inženýrů (Institute of Electrical and Electronics Engineers)
IO	integrovaný obvod (IC = Integrated Circuit)
ISO	označení pro mezinárodní normy (International Organization for Standardization)
LCESD	nízkokapacitní ESD ochrana (Low-Capacitance ESD protection)

LIGCSCR	tyristor odolný proti jevu latch-up (Latch-up-Immune Gate-Coupled SCR)
LNPN	horizontální bipolární tranzistor (Lateral NPN)
LSCR	horizontální tyristor (Lateral SCR)
LVTSCR	tyristor s nízkým spouštěcím napětím (Low-Voltage Triggering SCR)
MLSCR	modifikovaný horizontální tyristor (Modified Lateral SCR)
MOS	označení pro tranzistorovou strukturu kov- izolant-polovodič (Metal-Oxide-Semiconductor)
MOSFET	jiná zkratka pro tranzistor typu MOS, znamená tranzistor řízený polem ve struktuře kov- izolant-polovodič (MOS Field Effect Transistor)
MM	model stroje (Machine Model)
NMOS	MOS tranzistor s kanálem vodivosti typu N
NPN	bipolární tranzistor tvořený polovodičovými vrstvami N-P-N
N-WELL	označení pro hlubokou vrstvu vodivosti typu N, která se používá pro realizaci PMOS tranzistorů v CMOS a BiCMOS technologii
PMOS	MOS tranzistor s kanálem vodivosti typu P
PNP	bipolární tranzistor tvořený polovodičovými vrstvami P-N-P
RC	obvod obsahující prvky rezistor a kapacitor
RF	radiofrekvenční obvod
RLC	zkratka pro obvod obsahující pasivní prvky rezistor, induktor a kapacitor
SCR	tyristor (Silicon Controlled Rectifier)
SNAPBACK	oblast AV charakteristiky, která je charakteristická záporným odporovým režimem až do bodu, kde se charakteristika vrací do kladného odporového režimu
STI	označení specifického druhu izolace polovodičových vrstev v IO (Shallow Trench Insulation)
TCAD	software pro modelování struktur a simulace jejich fyzikálního chování (Technology Computer Aided Design)
TLP	způsob ESD testování pomocí impulzů (Transmission Line Pulsing)
TRIAC	triodový tyristor (obousměrný)
VHVIC	technologie integrovaných obvodů používající vyšší napěťové úrovně řádově v desítkách voltů (Very High Voltage Integrated Circuits)
VLSCR	variabilní horizontální tyristor (Variable Lateral SCR)

Přílohy

V příloze jsou technické zprávy z měření v technologiích CMOS a BiCMOS. Zprávy jsou v anglickém jazyce, protože jsem je napsal pro společnost ON Semiconductor jako zprávu o výzkumu. Všechny uveřejnitelné informace, které zprávy obsahují, jsou uvedeny a rozebrány v disertační práci. Z důvodu firemního tajemství musí být neveřejné údaje týkající se parametrů technologie zakryty. Zprávy obsahují rozměry navržených a vyrobených struktur a jejich výsledkové AV charakteristiky včetně stručného komentáře.

Seznam příloh:

1. Measurement results of snapback characteristics in BiCMOS PS5 technology
2. Measurement results of the I-V snap-back characteristics, A-CMOS VHVIC-3