

MODELOVÁNÍ A NÁVRH ESD OCHRAN V INTEGROVANÝCH OBVODECH

Teze disertační práce

Ing.Petr Běťák

Abstrakt

Disertační práce představuje nové polovodičové struktury, které lze použít jako elektrostatické ochrany v integrovaných obvodech. Základem pro návrh zmíněných struktur se stala horizontální čtyřvrstvá tyristorová struktura, která byla dále modifikována tak, aby umožňovala variabilitu spouštěcího a udržovacího napětí v závislosti na rozměrech masky. Na základě výsledků z modelování byly vyrobeny vzorky těchto struktur a jejich vlastnosti byly ověřeny měřením. Další navrženou ochranou byl systém s bipolárním tranzistorem jako spínačem elektrostatické ochrany. Tento přístup byl simulován a ověřován na vyrobených vzorcích. Výhody a nevýhody představených ochrany jsou v práci rozebrány.

Abstract

The thesis introduces new semiconductor structures that are used as protections against Electrostatic Discharge occurring in integrated circuits. The fundamental structure for modeling and simulation has been lateral Silicon Controlled Rectifier. This SCR structure has been modified to enable tuning of the triggering and holding voltages by changing geometrical mask dimensions. On the base of modeling and simulation the new proposed structures have been published. Also several protection structures have been designed to be manufactured and measured on a testchip. The final electrical behavior has been verified by measurement. Finally, the focus has been aided to protection circuit with bipolar transistor. This approach has been also simulated and verified by measurement. Advantages and disadvantages of the proposed protection structures are commented in the thesis.

OBSAH

1 ÚVOD.....	4
2 VÝVOJ NAPĚŤOVĚ SPOUŠTĚNÝCH OCHRAN PRO IO A JEJICH VLASTNOSTI.....	5
3 CÍLE DISERTACE	9
4 REALIZACE CÍLŮ DISERTAČNÍ PRÁCE.....	10
4.1 Tyristor s nízkým spouštěcím napětím (LVTSCR)	12
4.2 Tyristor s laditelným udržovacím napětím (HVASCR)	15
4.3 Variabilní horizontální tyristor (VLSCR)	19
4.4 ESD ochrana se spínacím bipolárním tranzistorem	22
5 ZÁVĚR.....	26
LITERATURA	27

1 ÚVOD

Elektrostatický výboj (ESD = electrostatic discharge) vyvolává představy blesku nebo jiskření. K těmto jevům může docházet například při dotyku kovových předmětů za nízké vlhkosti vzduchu. Jiskry jsou také výsledkem ionizace vzdušné mezery mezi nabitým lidským tělem a nulovým potenciálem povrchu kovového předmětu. Hrozba elektrostatického výboje uvnitř integrovaného obvodu vznikla především kvůli postupnému zmenšování rozměrů polovodičových součástek. Polovodičový průmysl se musel začít touto skutečností vážně zabývat, protože elektrostatické jevy způsobovaly destruktivní průrazy součástek. To vedlo k intenzivnímu výzkumu této problematiky a k postupnému zavádění ochranných prvků do struktury integrovaných obvodů.

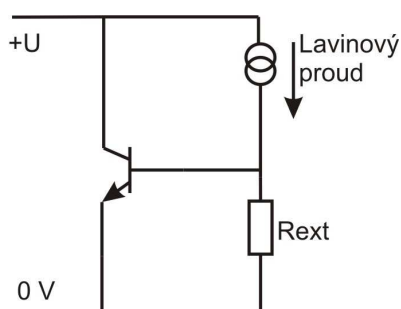
Od chvíle kdy se začaly ESD události simulovat pomocí definovaných modelů, se vyvíjí strategie ochrany IO proti ESD. Strategií ochrany IO existuje celá řada, koncepty ochrany v integrovaném obvodu využívají dvou-pólové ochrany, které odvádí výboj bezpečnou cestou uvnitř IO. Tyto ochrany jsou tvořeny polovodičovými součástkami, které použitá technologie nabízí. Nejčastější ochranou je dioda pracující v závěrném či propustném směru. Velmi častým ochranným prvkem je také MOS tranzistor s uzemněným hradlem zapojený v konfiguraci diody. Podle způsobu sepnutí ESD ochrany se rozlišují ochrany spínané napětově, kapacitně nebo frekvenčně.

Tato práce je zaměřena na modelování a návrh napětově spouštěných ESD ochran a byla prováděna ve spolupráci se společností ON Semiconductor v návrhovém středisku Czech Design Centre v Rožnově pod Radhoštěm. Předmětem prvotního výzkumu a modelování bylo zkoumání tyristorových struktur a možnosti jejich aplikace v návrhu ESD ochran, následně ladění jejich AV charakteristik. Všechny cíle výzkumu jsou rozebrány v kapitole Cíle disertace. Základem pro modelování a návrh ochran byly informace ze společnosti ON Semiconductor a informace získané z odborných článků. Pro modelování byl použit simulační program TCAD. Konečné ověření funkčnosti modelovaných a navržených ochranných struktur, včetně struktury se spínacím bipolárním tranzistorem, bylo provedeno měřením vyrobených vzorků v technologii BiCMOS a CMOS v Rožnově pod Radhoštěm.

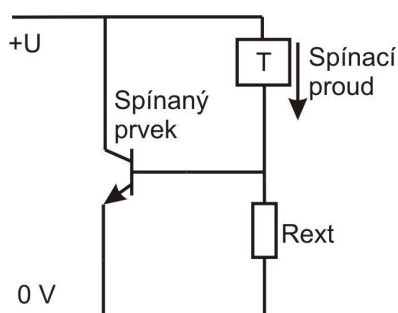
2 VÝVOJ NAPĚŤOVĚ SPOUŠTĚNÝCH OCHRAN PRO IO A JEJICH VLASTNOSTI

Základními polovodičovými součástkami pro napěťově spouštěné ochrany jsou diody, bipolární tranzistory a tranzistory typu MOS. Všechny další polovodičové struktury již čerpají z vlastností těchto prvků. V textu jsou ve zkratce představeny vlastnosti těchto součástek s ohledem na použití v ochranných obvodech.

Nejjednodušší napěťovou ochranou je dioda. Bipolární tranzistor se pro ochranné obvody používá v zapojení podle Obr. 1. Báze je zapojena na emitor nebo přes externí odpor R_{ext} . Jsou možné dva módy sepnutého stavu [30]. První je dle Obr. 1 a druhý je podle Obr. 2.



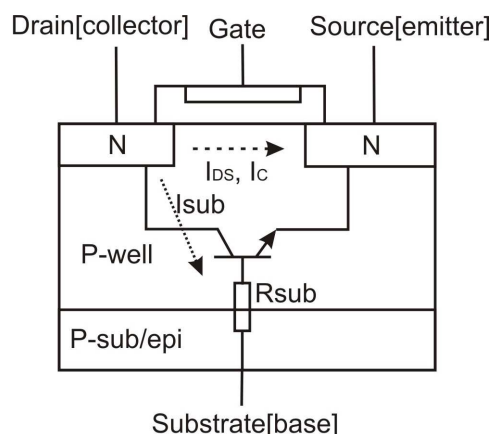
Obr. 1 Schéma BJT v režimu samospínání.



Obr. 2 Schéma BJT připojeného na spínací obvod.

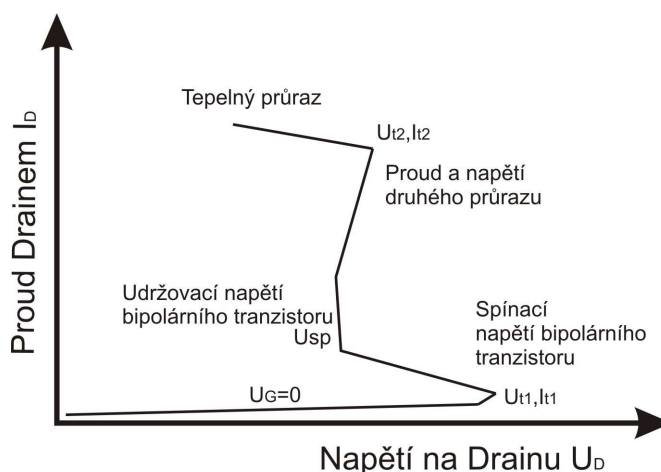
První typ pracuje v režimu samo-napájení díky lavinové generaci nosičů, která tranzistor sepne. Tranzistor je sepnut průrazným napětím kolektor-báze ($U_{BR(CBO)}$). Druhý způsob je, že je vytvořeno napájení pomocí externího proudového zdroje T (Obr. 2) a napěťového úbytku na odporu R_{ext} .

Další používaným prvkem je unipolární tranzistor. Tranzistor MOS při výboji musí snést velký proud řádově v jednotkách ampérů. Takový tranzistor by měl mít nízké spouštěcí napětí. Takovou ochranu můžeme získat spínáním vnitřního horizontálního bipolárního tranzistoru, který je přítomný jak v NMOS tak v PMOS tranzistorové struktuře. Obr. 3 ukazuje řez tranzistorem NMOS a uvnitř bipolární strukturou NPN. Kolektor je tvořen elektrodou „DRAIN“ u tranzistoru NMOS, emitor je tvořen elektrodou „SOURCE“ a báze substrátem.



Obr. 3 Struktura tranzistoru NMOS včetně parazitní bipolární struktury.

Mechanismus činnosti tranzistoru při výboji zahrnuje lavinový průraz i sepnutí parazitního bipolárního tranzistoru (Lateral NPN = LNPN). Pro lepší pochopení této činnosti uvažujme tranzistor s hradlem, elektrodou „Source“ a substrátem připojenými na 0 V, z čehož vyjde chování ilustrované na Obr. 4 [1, 2].

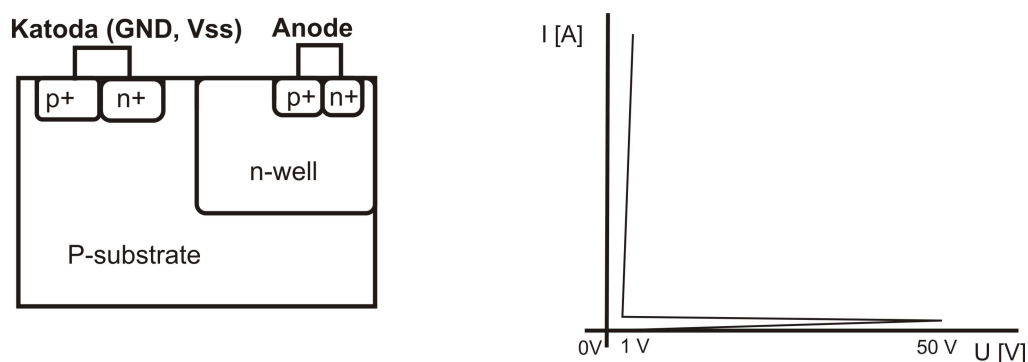


Obr.4 Vysokoproudová AV char. pro tranzistor NMOS.

Jak se zvýší proud elektrodou „Drain“, závěrný přechod „Drain-substrát“ je zpočátku vysoko-impedanční. Jediný protékající proud je proud svodový. Přechod „Drain-substrát“ však přechází do lavinového průrazu generovanými páry elektron-díra z důvodu zvýšeného napětí, které se na tomto přechodu objeví. Elektrony přejdou přes přechod elektrody „Drain“ až k jejímu, zatímco díry driftují ke kontaktu substrátu a zvyšují tak substrátový proud I_{sub} , který je podobný bázovému proudu u bipolárního tranzistoru. Efektivní substrátový odpor je v obr. 3 označený R_{sub} . Když se zvyšuje substrátový proud, roste potenciál mezi elektrodou „Source“ a substrátem a tím se tento přechod otevírá. Elektronová proudová hustota z elektrody „Source“ začíná přispívat proudu elektrody „Drain“ a parazitní bipolární

tranzistor je tím pádem otevřen. Toto je typická samo-spouštěcí schopnost bipolárního tranzistoru při lavinové generaci proudu na přechodu „Drain-substrát“.

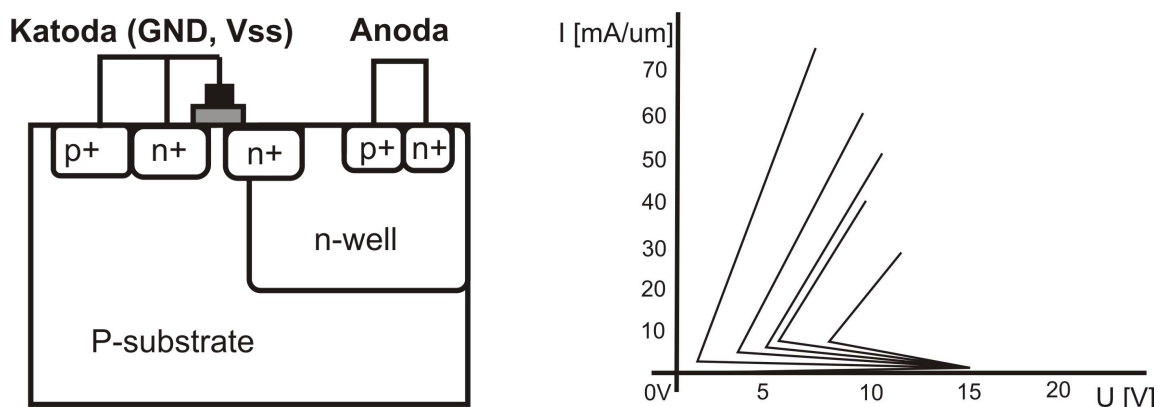
Výzkum využití tyristorových struktur pro elektrostatické ochrany je velmi intenzivní, protože tyristorová struktura je nejrychlejší ochranou proti výboji a dokáže vydržet značnou proudovou zátěž. Největším problémem tyristorové ochrany je nastavování spouštěcího a udržovacího napětí. Když je spouštěcí napětí nastaveno příliš vysoko, tyristor sepne v okamžiku, kdy rostoucí napětí již stačilo zničit citlivé struktury v obvodu a naopak, když je spouštěcí napětí příliš malé, tyristor je spínán šumem a může zkratovat funkční obvody uvnitř obvodu, aniž by došlo k samotnému výboji. Udržovací napětí je u typické tyristorové ochrany velmi nízké (řádově jednotky voltů), což znevýhodňuje jeho použití pro ochrany napájení, protože kvůli sepnutému stavu, by došlo ke zkratu napájení. Z těchto důvodů je věnována intenzivní pozornost na možnosti ladění AV charakteristiky tyristoru prostřednictvím změn topografie masky. Základní používanou tyristorovou strukturou je horizontální tyristor tzv. LSCR (Lateral Silicon Controller Rectifier), jehož struktura je zobrazena na Obr. 5.



Obr.5 Řez strukturou LSCR a typická AV charakteristika [10].

Podle obr. 5 vidíme, že spouštěcí napětí LSCR je někde na úrovni 40 až 50 V a udržovací napětí kolem 1 V. Takové chování ochrany je nepřijatelné. S možností změnit tyto vlastnosti přišel Ricco [1], který pro tuto strukturu měnil vzdálenost mezi jednotlivými vrstvami anody a katody, při nízké koncentraci dopantu. Tímto přístupem se podařilo zvýšit udržovací napětí až na několik voltů, ale spouštěcí napětí zůstalo na stejné úrovni. Pro snížení spouštěcího napětí bylo zapotřebí snížit průrazné napětí vrstvy N-WELL na P-substrát, protože spouštěcí napětí struktury LSCR je dáno tímto průrazem. Byla tedy zavedena vrstva N+ na okraj vrstvy N-WELL. Tato vrstva zvyšuje koncentraci příměsí v N-oblasti a tím zde zvyšuje počet nosičů. Nosiče potom urychlují průraz vrstvy N-WELL na substrát. Díky vrstvě N+ ve struktuře MLSCR se dosáhlo snížení spouštěcího napětí na úroveň 20 až 25 V. Toto snížení však stále znemožňuje použití struktury v pokročilých CMOS procesech. Tenký hradlový oxid u MOS zařízení vydrží nápor asi do 15 V, záleží na použité technologii. V roce 1991 představil Chatterjee tyristorovou strukturu s nízkým spouštěcím napětím „Low-voltage Triggering SCR“ (LVTSCR) [3]. Tato

struktura se stala základem pro mnohé aplikace tyristorů v návrhu ESD ochran. Řez touto strukturou a její typické AV charakteristiky jsou vidět na obr. 6 [3, 4].



Obr.6 Řez strukturou LVTSCR (vlevo), typický průběh AV charakteristik pro různé rozměry kanálu a vrstvy N+ .

Struktura LVTSCR umožňuje ladění udržovacího napětí AV charakteristiky při konstantním spouštěcím napětí. Struktura spíná na napětí, které odpovídá spouštěcímu napětí tranzistoru MOS a dál pokračuje v typické tyristorové činnosti. Jedná se o tranzistor MOS, který je v podstatě v paralelním spojení s tyristorem. Ladění udržovacího napětí se dosahuje změnou velikosti kanálu tranzistoru MOS a také šířkou báze tranzistoru NPN uvnitř tyristorové struktury.

3 CÍLE DISERTACE

Z předchozí kapitoly je zřejmé, že o využití tyristorových struktur pro ESD ochrany je mezi vývojovými pracovníky velký zájem. Tento zájem vyplývá z lepších vlastností tyristorové ochrany ve srovnání s běžně používanými diodami nebo MOS tranzistory s uzemněným hradlem. Problém tyristorové ochrany, jak již bylo zmíněno, je dán relativně vysokým spouštěcím napětím a velmi nízkým udržovacím napětím. Proto je snaha tento rozdíl vyrovnat, aby byly tyristory použitelné v návrhu ESD ochran. Nicméně zatím se nepodařilo vyvinout univerzálně laditelný tyristor, který by pouhou modifikací rozměrů layoutu měnil úroveň napěťového spouštění a udržovacího napětí. Tyristorová ochrana, která by toto umožňovala, by byla velmi žádanou ochrannou strukturou v integrovaných obvodech, které používají více typů tranzistorů v jedné technologii. Například MOS tranzistory do 5 V, tranzistory DMOS do 20 V, 50 V až 80 V.

Pokud jsou na vstupní nebo výstupní vývody připojeny různé tranzistory, pak je zapotřebí každý vývod chránit ESD ochranou, která má jiné spouštěcí napětí. Univerzální laditelný tyristor jako ESD ochrana by tak mohl nahradit celý soubor ESD ochran (zejména diod), které jsou vytvořeny jako ochrany k jednotlivým typům tranzistoru. Toto je stále výzva, i když tyristorové struktury typu LVTSCR, které byly představeny v předchozí kapitole, tyto možnosti do určité míry nabízí. Problém nastává také při vytváření ESD ochran pro napájení, které mají mít spouštěcí napětí vyšší než Zenerova dioda. Jedná se především o aplikace ochran ve starších technologiích nebo v technologiích, které jsou rozšířené o použití velkých napětí (např. až 80 V). Zde je třeba pracovat s lavinovým průrazem součástky, který ovšem může velmi rychle přecházet v průraz destruktivní, tepelný. Návrh polovodičové součástky, která by toto dokázala není jednoduchý. Z výše zmíněných důvodů byly cíle této práce stanoveny takto:

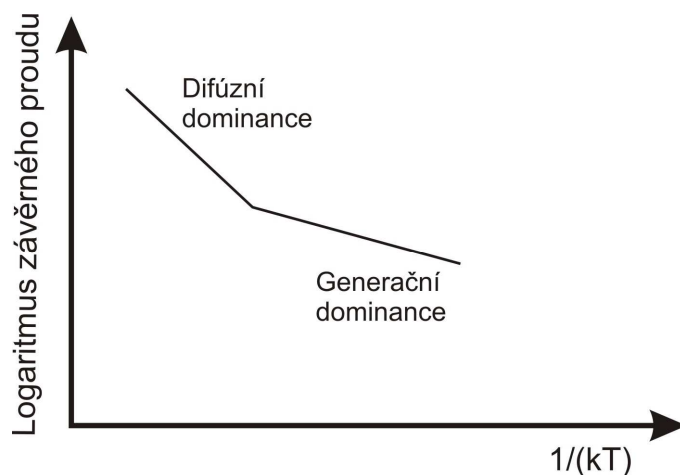
- Modelování a návrh tyristorových ESD ochran a realizace návrhu v konkrétní technologii. Ověření funkčnosti tyristorových ochran měřením jejich AV charakteristik.
- Návrh tyristorové ESD ochrany, která umožňuje ladění vlastností změnou topografie součástky.
- Návrh tyristorové nebo tranzistorové ESD ochrany pro napájení.

Limitujícími parametry jsou velikost svodového/blokovacího (*leakage*) proudu, který u požadovaných ESD ochran nemá přesáhnout 20 μA , dále odpor v sepnutém stavu (*ON resistance*), který by měl být maximálně 20 Ω . Napěťová úroveň pro ochranu napájení by měla být 30 až 60 V, tzn. spouštěcí napětí maximálně 55 až 60 V a udržovací napětí minimálně 30 až 35 V. Návrhy mají být realizovány v technologii CMOS VHVIC (Very High Voltage Integrated Circuits) a v (1,5 μm) technologii BiCMOS. Pro studium a návrh ESD ochran byly poskytnuty koncentrační profily technologie CMOS, které slouží jako podklad pro D-simulace struktur v softwarovém prostředí TCAD.

4 REALIZACE CÍLŮ DISERTAČNÍ PRÁCE

Uvažujme nyní polovodičový přechod PN v závěrném směru. Proud tímto přechodem je dán rovnicí (1).

$$I_R = \frac{qADN_C N_V}{L_d N_B} \exp\left(\frac{-E_g}{kT}\right) + \frac{qW}{\tau_e} \sqrt{N_C N_V} \exp\left(\frac{-E_g}{2kT}\right) \quad (1)$$



Obr.7 Proud v závěrném směru jako funkce teploty.

Obr. 7 ukazuje $\ln(IR)$ jako funkci $1/kT$. Při nízkých teplotách bude závěrný proud I_R dominovat teplotní generací a na grafu je vidět se sklonem $1/2$. Při vyšších teplotách dominuje proudová difúze a I_R má sklon 1. Když se závěrné napětí zvýší a elektrické pole dosáhne hodnoty asi 10^5 V cm^{-1} , nosiče v depletační oblasti mohou předat dostatečnou energii při kolizi s mřížkou k tomu, aby byl generován pár elektron-díra, které se stávají volnými nosiči. Tyto nové nosiče jsou urychleny a při kolizi s mřížkou vytváří další nosiče. Tento proces se nazývá lavinová ionizace. Proud děr I_{p0} a proud elektronů I_{n0} procházející přes tuto oblast je násoben a celkový proud v oblasti se rovná:

$$I_p = I_{p0} + \alpha_p I_{p0} + \alpha_n I_{n0} \quad (2)$$

$$I_n = I_{n0} + \alpha_p I_{p0} + \alpha_n I_{n0} \quad (3)$$

$\alpha_{n,p}$ jsou koeficienty ionizace elektronů a děr a jsou teplotně závislé. Empirická rovnice pro koeficienty ionizace elektronů a děr coby funkce teploty je:

$$\alpha_{n,p} = A_{n,p} [1 + C_{n,p} 10^{-4} (T - 300)] E \exp\left(\frac{-B_{n,p}^2 [1 + D_{n,p} (T - 300)]^2}{E^2}\right) \quad (4)$$

$A_n = 0,426 /V$, $A_p = 0,243 /V$, $B_n = 4,81 \times 10^5 \text{ Vcm}^{-1}$, $B_p = 6,53 \times 10^5 \text{ Vcm}^{-1}$, $C_n = 3,05 \times 10^{-4}$, $C_p = 5,35 \times 10^{-4}$, $D_n = 6,86 \times 10^{-4}$ a $D_p = 5,87 \times 10^{-5}$ jsou koeficienty pro elektrony a díry: E má jednotku Vcm^{-1} . Výše zmíněné rovnice mohou být zjednodušeny na:

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i}{E}\right) \quad (5)$$

Kde vztahem $B_i = E_g/q\lambda$ a λ je míněna volná cesta nosičů .

$$\lambda = \lambda_0 \tanh\left(\frac{E_{r0}}{2kT}\right) \quad (7)$$

$\lambda_0 = 50 \text{ \AA}$ a $E_{r0} = 50 \text{ meV}$ pro $T = 0 \text{ K}$. Upřesnění experimentálních výsledků bylo získáno:

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i(T)}{E}\right) \quad (8)$$

kde koeficient A_i zůstává konstantní jako funkce teploty, přičemž hlavní teplotní změna nastane v exponentu $B_i(T)$. Násobící faktor pro elektrony a díry $M_{n,p}$ je důležitý parametr pro ionizační účinky sledující chování polovodičového prvku.

$$(M_{n,p} = \frac{I_{n,p}(\text{out})}{I_{n,p}(\text{in})} \quad (9)$$

$I_{n,p}(\text{out})$ a $I_{n,p}(\text{in})$ definují proudy na okraji depletační oblasti. Pro $\alpha_n \sim \alpha_p \sim \alpha$, $M_{n,p}$ můžeme napsat:

$$M_{n,p} = \frac{1}{1 - \int_0^{\omega} \alpha dx} \quad (10)$$

Lavinový průraz nastává při napětí, kdy se $M_{n,p}$ blíží k nekonečnu:

$$\int_0^{\omega} \alpha = 1 \quad (11)$$

Empirický vztah mezi faktorem M a napětím na přechodu U_j je popsán:

$$M = \frac{1}{1 - \left(\frac{U_j}{U_{av}}\right)^n} \quad (12)$$

Kde U_{av} je napětí lavinového průrazu a n je parametr nabývající hodnoty 2 až 6 a závisí na typu přechodu. Nárůst faktoru M s napětím je velmi ostrý ve chvíli, kdy se U_j blíží velikosti U_{av} . Jinou možností je substituce α z rovnice (8) do rovnice (10) a dostaneme:

$$M = \frac{1}{1 - A_i \exp\left(\frac{-B_j}{U_j}\right)} \quad (13)$$

Parametry $A_i \sim A_{xd}$ a $B_i \sim B_{xd}$ jsou empirické hodnoty a umožňují lepší představu U_j ve srovnání s rovnicí (4.12). Jakmile se U_j blíží U_{av} , M se blíží k nekonečnu, pak může být rovnice (4.13) přepsána jako:

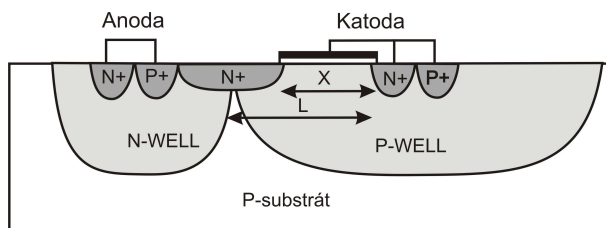
$$U_{av} = \frac{B_i}{\ln(A_i)} \quad (14)$$

Pokud známe práh napětí lavinové ionizace U_{av} , můžeme tuto rovnici použít pro vzájemný vztah A_i a B_i . Omezením je pouze odpor neutrální oblasti mimo depletační oblast. Teplotní závislost α se chová následovně. Při růstu teploty T se vliv ionizace snižuje a násobící faktor M klesá. To znamená, že napětí lavinového průrazu roste s teplotou.

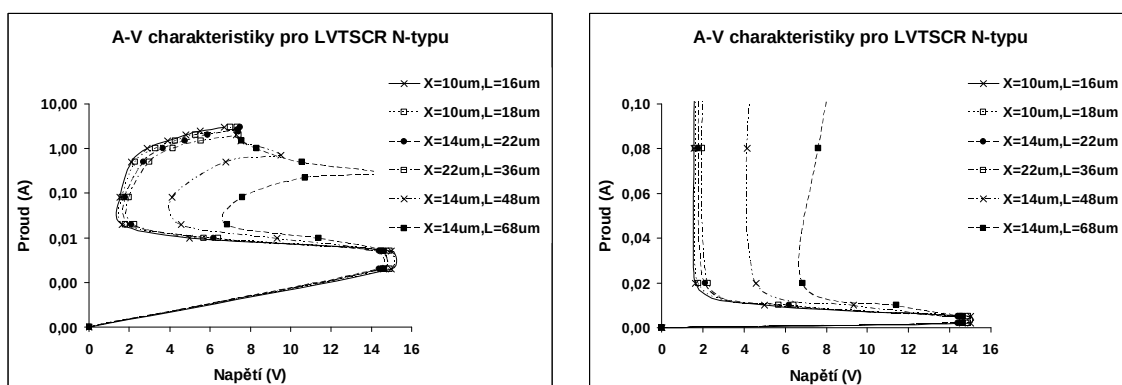
4.1 TYRISTOR S NÍZKÝM SPOUŠTĚCÍM NAPĚTÍM (LVTSCR)

Na základě dosavadního vývoje v oblasti návrhu elektrostatických ochran se dá předpokládat, že prvním krokem pro zjištění použitelnosti tyristorové struktury bude vytvoření tyristoru s nízkým spouštěcím napětím (Low-Voltage Triggering Silicon Controlled Rectifier) [3].

Tuto strukturu jsem definoval pro TCAD simulátor použitím polovodičových vrstev, které jsem měl k dispozici v CMOS technologii [5, 9]. Řez modelovanou strukturou LVTSCR je ilustrován na obr. 8.



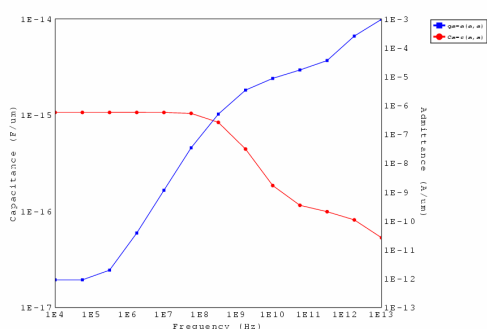
Obr. 8 Řez strukturou LVTSCR, která byla simulovaná v CMOS procesu.



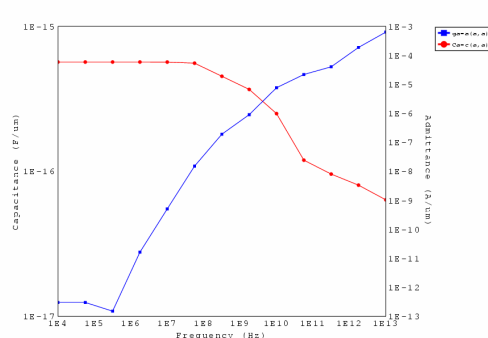
Obr. 9 Změna udržovacího napětí u struktury LVTSCR v logaritmickém měřítku a v lineárním měřítku z TCAD D- simulace.

Tento tyristor umožňuje ladění udržovacího napětí. Změna tohoto napětí je nejvíce citlivá na změnu proudového zisku tranzistoru NPN uvnitř tyristoru LVTSCR. Tento proudový zisk měníme pomocí vzdálenosti L , tedy změnou délky jeho báze. Výsledky ze simulace ukazují použitelnost této struktury pro návrh ochran. Struktura LVTSCR spíná na 15 V a udržovací napětí je nastavitelné od 2 V do 8 V. Navíc struktura má velmi nízký svodový (blokovací) proud (řádově nA) a velmi nízkou rezistenci při aktivaci. Porovnáním průběhů testu HBM bylo zjištěno, že u běžného horizontálního tyristoru vystoupí napětí na anodě na desítky voltů dříve než tyristor sepne, zatímco u tyristoru s nízkým spouštěcím napětím se jedná pouze o jednotky voltů. Dalším rozdílem je teplota struktury při testu HBM, kdy u běžného horizontálního tyristoru dosáhne maximální teplota asi 350 K a u tyristoru s nízkým spouštěcím napětím jen 330 K. Je to samozřejmě dáno tím, že struktura LVTSCR spíná rychleji, a proto neklade vyššímu nárůstu napětí takový odpor jako běžný horizontální tyristor, který spíná až kolem 60 V.

Dále byla provedena AC analýza v TCAD simulátoru. Amplituda střídavého signálu byla stanovena tak, aby se její hodnota neblížila spouštěcímu napětí LVTSCR. Při zvyšování kmitočtu se mění kapacitní vlastnosti této struktury a vodivost. Struktura by neměla kapacitně sepnout v kmitočtovém pásmu, které odpovídá pracovnímu režimu obvodu dané aplikace. Výsledky AC simulace jsou zobrazeny na Obr. 10, Obr. 11.



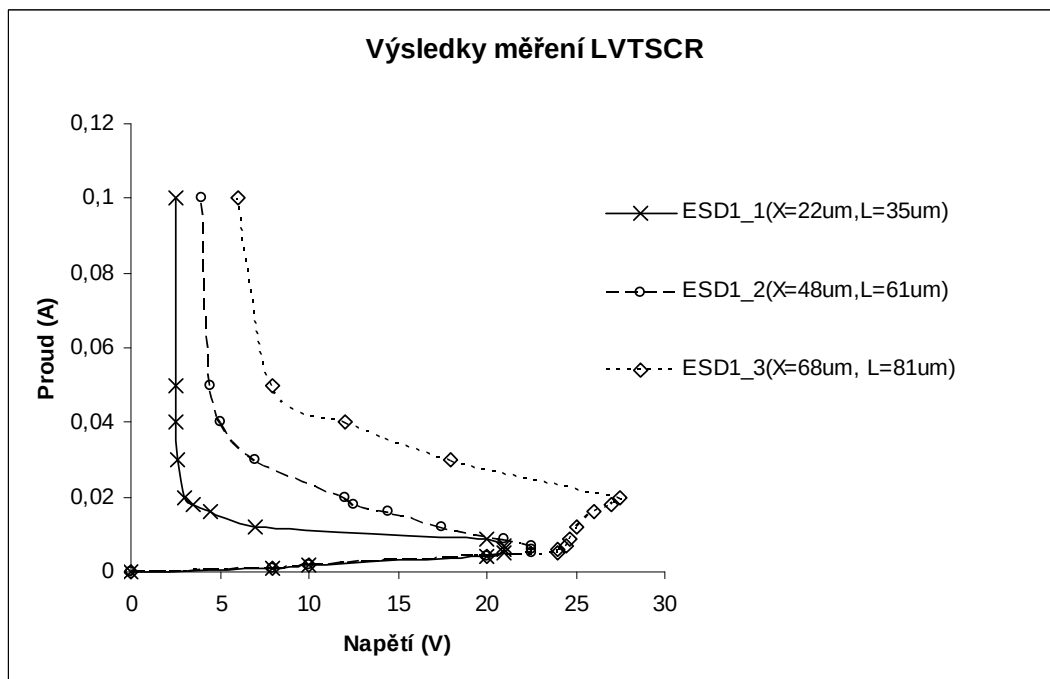
Obr. 10 Výsledky AC simulace pro strukturu LVTSCR.



Obr. 11 Výsledky AC simulace pro diodu v závěrném směru.

Srovnáním AC analýz pro strukturu LVTSCR, diodu v závěrném směru a konvenční horizontální tyristor můžeme konstatovat, že se frekvenční chování horizontálního tyristoru s nízkým spouštěcím napětím výrazně neliší od diody či konvenčního tyristoru LSCR. Významnější rozdíl je pouze v kapacitě struktury LVTSCR na nízkých kmitočtech, která je nepatrně větší než u diody a tyristoru LSCR.

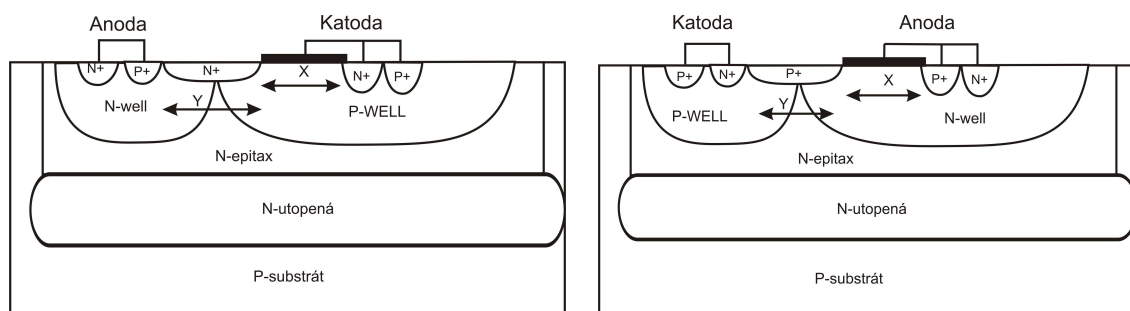
Na základě výsledků z modelování a simulace jsem navrhl vzorky tyristoru LVTSCR v dostupné 1,5 μm technologii CMOS. Tyto vzorky byly vyrobeny a byly změřeny AV charakteristiky. Struktury byly proměřovány jako dvojpól, který byl kontaktován pomocí hrotů přímo na testovacím čipu. Měření probíhalo plně automaticky. Výsledky tyristoru LVTSCR jsou zobrazeny na Obr. 12.



Obr. 12 Výsledky měření vzorků struktury LVTSCR.

Z výsledků měření je patrné, že chování navrženého tyristoru odpovídá předpokladům, které byly nejdříve zjištěny D-simulací v TCAD simulátoru. Rozdíl je samozřejmě v konkrétních hodnotách spouštěcího a udržovacího napětí. Zatímco při simulaci dosahuje tyristor spouštěcího napětí, které odpovídá asi 14 V, ve skutečnosti je to asi 22 až 25 V. Udržovací napětí je ve stejném rozsahu a dosahuje maximálně 8 V. Tyto rozdíly jsou způsobeny zjednodušováním při modelování. Největším zjednodušením je, že v simulátoru se definuje struktura pouze v řezu (tzn. dvourozměrně) a třetí rozměr se udává pouze násobkem proudu na mikrometr. Předpokládá se tedy, že struktura je ve třetím rozměru naprosto homogenní. Dalším zjednodušením je způsob kontaktování vrstev a přibližný koncentrační profil jednotlivých vrstev. V simulátoru byl kontakt modelován pouze vodivým propojením s polovodičem, kdy příslušnému kontaktu byla přiřazena určitá hodnota odporu, která jen modeluje skutečný odpor reálného kontaktu.

Dále byly vzorky struktury LVTSCR vyrobeny v technologii 1,5 μm BiCMOS. Řez tohoto tyristoru v BiCMOS technologii je zobrazen na obr. 13. Zde byla použita utopená vrstva a epitaxní vrstva, které v CMOS technologii nejsou a nebyly modelovány ani simulovány, protože nebyly k dispozici jejich koncentrační profily, aby bylo možné definovat vstupy pro simulaci.



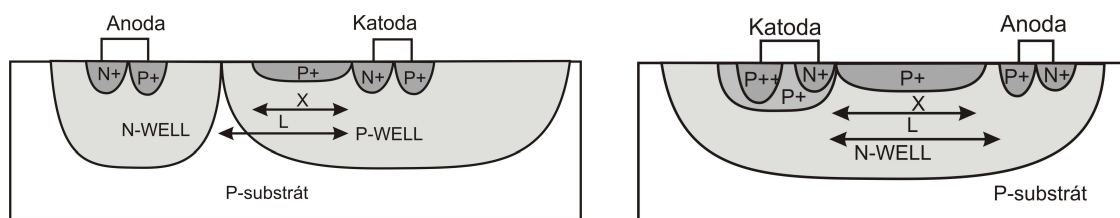
Obr. 13 Vzorky struktury LVTSCR N-typu(vlevo) a P-typu(vpravo), které byly vyrobené v BiCMOS procesu, [5, 6 ,7].

Výsledky ukazují, že výhodnější struktura je N-typu. Dále bylo zjištěno, že v technologii BiCMOS je možné ladit udržovací napětí v rozmezí od 13 V do 19 V, při spouštěcím napětí kolem 19 V. Svodový proud je v přípustné toleranci pouze do určitého napětí, které je vždy o několik voltů nižší než je spouštěcí napětí. Proto je možné tuto strukturu použít jako ochranu pro 10 až 15 V, záleží na nastavení rozměrů.

4.2 TYRISTOR S LADITELNÝM UDRŽOVACÍM NAPĚTÍM (HVASCR)

Na základě výsledků ze simulátoru pro strukturu LVTSCR jsem vytvořil strukturu, kterou jsem označil jako HVASCR (Holding Voltage Adjustable SCR) [8, 9], neboli tyristor s laditelným udržovacím napětím.

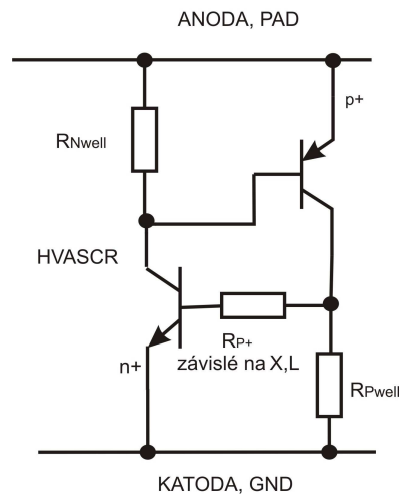
Dvě různé varianty této tyristorové struktury jsou zobrazeny na obr. 14.



Obr. 14 Řez strukturou HVASCR na P-substrátu (vlevo), na vrstvě N-WELL (vpravo)

Jedná se o strukturu, která má mezi anodu a katodu zavedenou nekontaktovanou vrstvu P+. Udržovací napětí u N-typu horizontálního tyristoru lze nastavit změnou proudového zisku tranzistoru NPN uvnitř struktury. Toho dosáhneme změnou šířky báze nebo změnou koncentrace příměsí v bázi. V tomto případě je šířka báze tranzistoru NPN právě prostor P-oblasti mezi anodou a katodou. Přidáme-li do této oblasti vrstvu P+, zhoršujeme vlastnosti bipolárního tranzistoru NPN respektive snižujeme schopnost proudového zesílení.

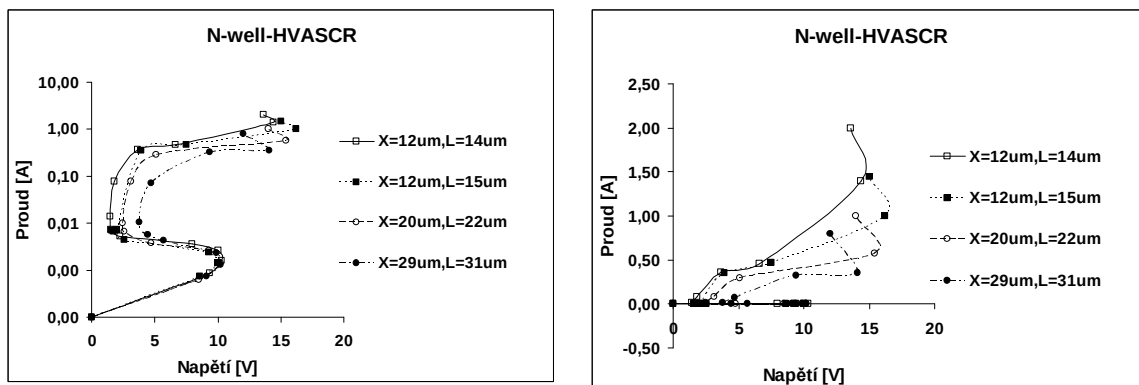
Schématické znázornění struktury HVASCR je na obr. 15.



Obr. 15 Schématické znázornění struktury HVASCR.

Zde je vidět standardní náhradní obvodové schéma horizontálního tyristoru, ale je zde přidán bázevý odpor pro tranzistor NPN, který je závislý de rozměrech X a L. Tento odpor představuje vrstvu P+, která byla u struktury HVASCR záměrně zavedena mezi anodu a katodu. Nyní budeme zkoumat chování udržovacího napětí při změnách délky X a délky celé P-oblasti L.

Nejprve se zaměříme na výsledky z D-simulací při změně X a L pro P-substrátovou strukturu HVASCR. Hodnota udržovacího napětí se mění řádově v desetinách voltů. Spolu s udržovacím napětím se nepatrně mění i spouštěcí napětí. Je to dáno tím, že spouštěcí proud je ovlivněn odporem P-oblasti, který se přirozeně mění také. A zcela logicky při zvětšení udržovacího respektive spouštěcího napětí, kdy se vzdálenost elektrod zvětšuje, odpor P-oblasti roste, a tím i odpor sepnutého tyristoru. Za cenu zvětšení odporu sepnutého tyristoru se udržovací napětí posune pouze o 0,5 V. Plocha čipu se však zvětší. Tímto experimentem také demonstrujeme, že není možné měnit jeden parametr bez ovlivnění parametrů jiných. Návrh proto musí zahrnovat minimalizaci nežádoucích vlastností při změně rozhodujícího parametru.

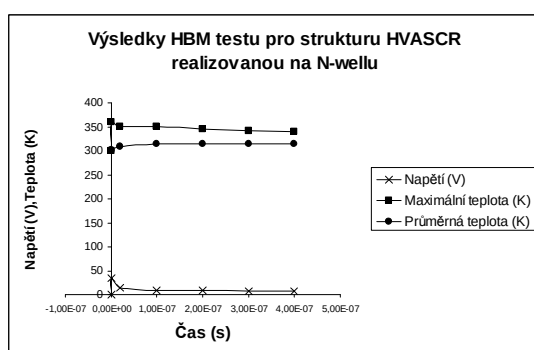


Obr. 4.16 Výsledky simulací HVASCR na vrstvě N-WELL.

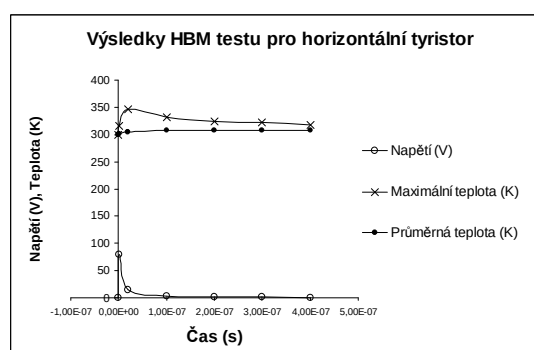
Obr. 16 ukazuje výsledky simulací pro strukturu HVASCR na vrstvě N-WELL. Tento tyristor má vlastnosti lepší než P-substrátová varianta. Udržovací napětí se dá snadno nastavit až na téměř 5 V, přičemž se snižuje hodnota blokovacího proudu a spouštěcí napětí přitom zůstává konstantní. Vlivem jiného rozložení koncentrací příměsí ve struktuře vzrostl odpor sepnutého tyristoru a snížila se odolnost struktury proti druhému průrazu. Nicméně pro určité aplikace by tato struktura již mohla být použita, protože pro zlepšení odporu v sepnutém stavu lze zvětšit šířku struktury.

Tyristor s laditelným udržovacím napětím byl dále testován na teplotní namáhání. Čím větší udržovací napětí tyristoru, tím dříve (na nižších teplotách) dojde k teplotnímu průrazu. Bylo zjištěno, že nejnižší teplota destruktivního průrazu je u testovaného vzorku asi 600 až 700 K. Struktura realizovaná na vrstvě N-WELL se na nižších napětích tolik nezahřívá jako P-substrátový tyristor. Nicméně nejnižší teploty destruktivního průrazu se pohybují rovněž kolem 600 až 700 K.

Dále byl tyristor HVASCR podroben testu elektrostatického výboje lidského těla tzv. HBM modelu. Při tomto testu bylo zjištěno, že P-substrátový tyristor HVASCR má větší špičkový nárůst maximální teploty než konvenční horizontální tyristor. Simulační výsledky průběhů HBM testu u struktury HVASCR na vrstvě N-WELL jsou na obr. 17 a srovnání s běžným horizontálním tyristorem na obr. 18.



Obr. 17 Výsledný průběh HBM testu u tyristoru HVASCR na vrstvě N-WELL.

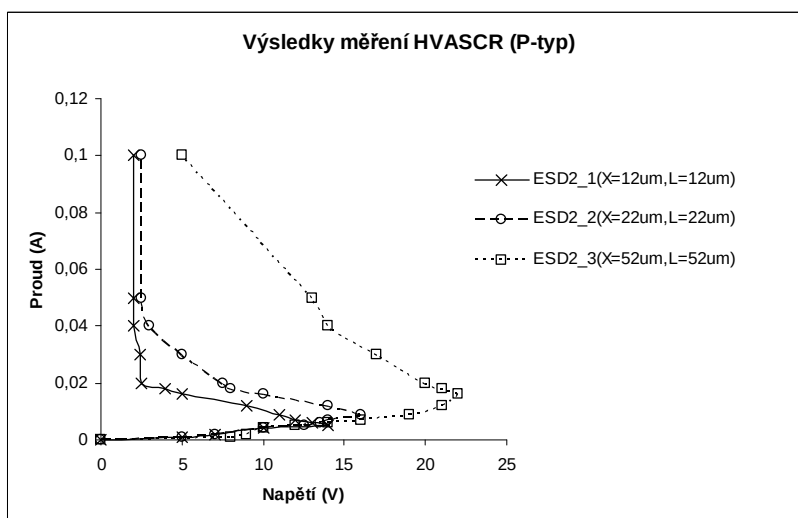


Obr. 18 Výsledný průběh HBM testu u konvenčního horizontálního tyristoru.

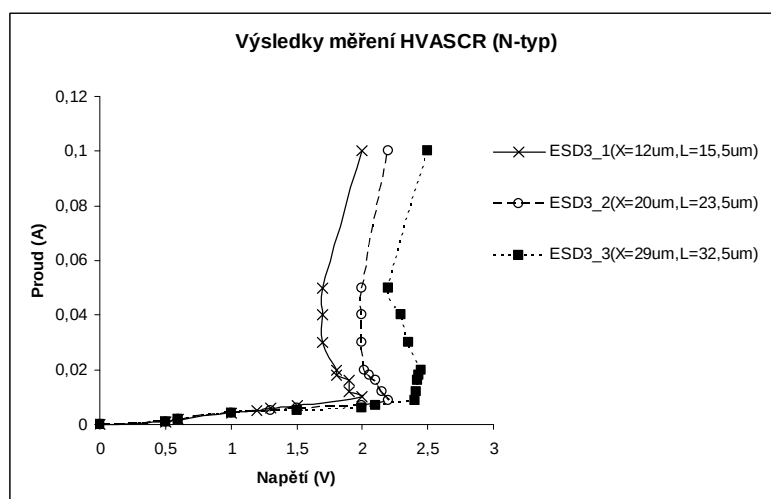
Zde je také špičkový nárůst maximální teploty vyšší než u konvenčního horizontálního tyristoru. Navíc díky možnosti nastavovat vyšší udržovací napětí u aplikace na vrstvě N-WELL dochází také k vyššímu odporu v sepnutém stavu a to se projeví na průběhu maximální teploty, kdy je sestup teplotní špičky u této struktury pozvolnější než u P-substrátové struktury.

Na základě výsledků AC simulace pro strukturu HVASCR můžeme konstatovat, že HVASCR na vrstvě N-WELL má při nízkých kmitočtech vyšší kapacitu a vodivost struktury v závislosti na kmitočtu roste progresivněji než u HVASCR na vrstvě P-WELL. Stejně jako v případě předchozí struktury byly vyrobeny vzorky

struktury HVASCR v CMOS technologii. Změřené křivky AV charakteristik jsou na obr. 19 a obr. 20.



Obr. 19 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR P-typ (na P-substrátu).



Obr. 20 Výsledky měření AV charakteristiky pro vzorky struktury HVASCR N-typ (na vrstvě N-WELL).

Z výsledků struktury P-typu (vyrobené na P-substrátu) lze vidět principiálně stejné chování jako v simulátoru. Opět se zde projevila nepřesnost modelování této struktury ve výsledných hodnotách spouštěcího a udržovacího napětí. Udržovací napětí se mění v rozmezí od 2 do 7 V, spouštěcí napětí v rozmezí od 14 do 22 V. Lze tedy hovořit o tom, že se obecně napěťové hodnoty těchto parametrů posunuly oproti simulačním výsledkům na vyšší hodnoty. To je ovšem dobrý výsledek, protože je tím dosaženo lepší variability a ukazuje se, že by tato struktura mohla být použita jako ochrana na 3 až 5 V.

Struktura HVASCR vyrobená na vrstvě N-WELL vykazuje podobné chování jako při simulaci. Výsledky z obr. 20 však nemůžeme příliš srovnávat s výsledky simulace této struktury. Vyrobená a změřená struktura HVASCR měla na anodě více

koncentrovaných vrstev P+ nad sebou, což způsobilo přechod z lavinového průrazu na průraz tunelový, a proto se napěťová úroveň spouštěcího a udržovacího napětí přesunula na nižší napětí (řádově jednotky voltů). V simulátoru byla použita jen jedna méně koncentrovaná vrstva P+. Tato změna byla provedena záměrně, pro ověření napěťového posunu AV charakteristik. Tento jev bude dále rozebrán v kapitole s další tyristorovou strukturou zvanou VLSCR.

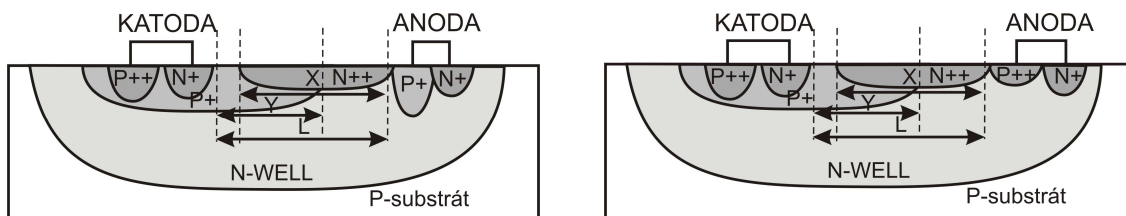
Struktura HVASCR, byla vyrobena i v BiCMOS technologii. Jedná se o strukturu podobnou variantě na vrstvě N-WELL, protože je realizována na epitaxní vrstvě vodivosti typu N. Vrstva vodivosti typu P, která tvoří anodu, je relativně málo koncentrovaná stejně jako epitaxní vrstva vodivosti typu N. Toto se projeví vyšší napěťovou úrovní spouštěcího a udržovacího napětí než v typické technologii CMOS.

Použitelnost této struktury v praxi výsledky dokazují. Měření prokázalo posun udržovacího napětí se zvětšením parametrů X a L. V této technologii lze tyto měřené vzorky použít jako ESD ochranu na 30 až 35 V.

4.3 VARIABILNÍ HORIZONTÁLNÍ TYRISTOR (VLSCR)

Zde je představena tyristorová struktura, která umožňuje ještě větší variabilitu. Pro jednoduchost byla nazvána variabilní horizontální tyristor (Variable Lateral SCR = VLSCR) [9, 11, 13].

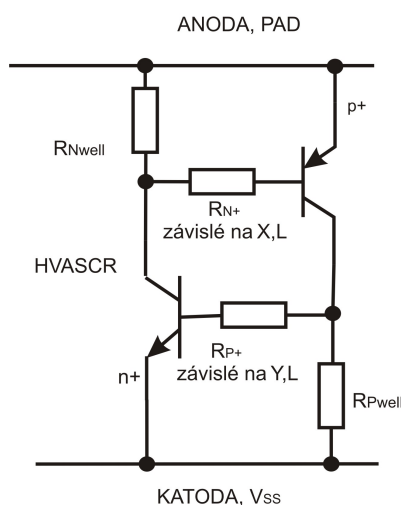
Jedná se o horizontální tyristor vytvořený opět na vrstvě N-WELL. Uspořádání vrstev je vidět na Obr. 21.



Obr. 21 Řez strukturou VLSCR, vlevo méně dotovaná anoda P+ , vpravo více dotovaná anoda P++.

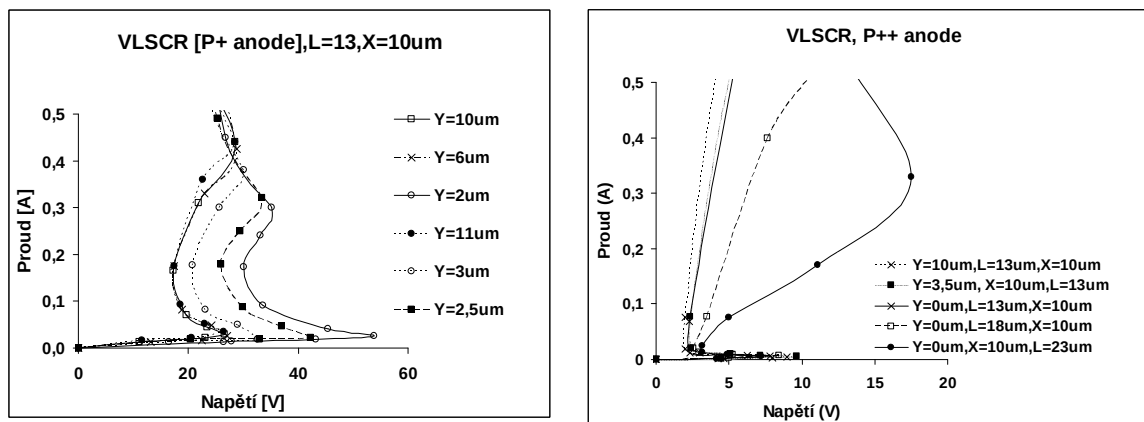
Tato struktura umožňuje variabilitu díky parametrům X,Y,L, které udávají vzdálenost difúzních (implantovaných) vrstev v horizontálním směru. Vzájemným nastavením těchto tří vzdáleností lze modifikovat AV charakteristiku tyristoru VLSCR. Nejprve zkoumejme strukturu při nastavení parametru $Y=0 \mu\text{m}$. To znamená, že oblast P (P-WELL nebo P+) končí těsně za koncentrovanou vrstvou N++ ve směru k anodě. Parametr L určuje vzdálenost mezi anodou a katodou. Vzdálenost X definuje délku nekontaktované vrstvy N++ začínající u anody. Při zavedení koncentrované vrstvy N++, která je určena parametrem X, dojde ke změně koncentračního profilu vrstvy N-WELL v tranzistoru PNP. Protože spínání každého horizontálního tyristoru je nastaveno na průraz vrstvy N-WELL, změnou koncentrace vrstvy N-WELL pomocí vrstvy N++ měníme úroveň spouštěcího

napětí. Čím blíže je vrstva N++ katodě, tím nižší je spouštěcí napětí, protože se díky koncentrovanější vrstvě N++ oblast vrstvy N-WELL dostává dříve do průrazu. Vzdáleností L měníme šířku báze tranzistoru PNP. Když ponecháme parametr $Y=0\text{ }\mu\text{m}$, bude šířka báze tranzistoru NPN konstantní a stejně tak i jeho proudový zisk. Ale můžeme měnit proudový zisk tranzistoru PNP a to právě pomocí vzdálenosti L. Čím bude vzdálenost L delší, tím menší bude proudový zisk tranzistoru PNP a tedy tím více proudu musí do báze tranzistoru téct, aby zůstal otevřený. Jinými slovy udržovací napětí bude vyšší díky nižšímu proudovému zisku tranzistoru PNP. Obvodové schématické znázornění struktury VLSCR je vidět na obr. 22, kde je variabilita struktury demonstrována pomocí dvou odporů R_{N+} a R_{P+} , které jsou závislé na parametrech X,L,Y.



Obr. 22 Obvodové schématické znázornění struktury VLSCR.

Čím větší jsou tyto odpory, tím musí být větší bázové napětí kvůli napěťovému úbytku na těchto odporech a díky tomu bude i vyšší udržovací napětí struktury. Zároveň změnou koncentračního profilu vrstvy N-WELL měníme úroveň spouštěcího napětí, takže tato struktura umožňuje jak ladění spouštěcího napětí, tak ladění udržovacího napětí. Výsledky simulace ukazuje obr. 23.

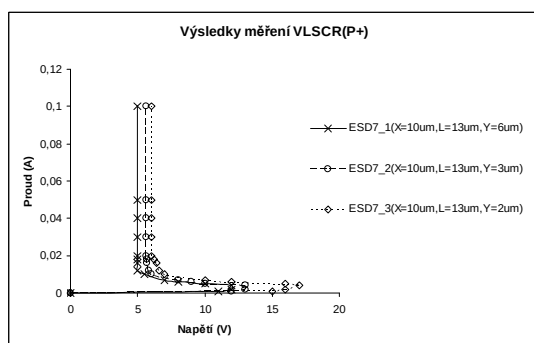


Obr. 23 Výsledky TCAD simulace struktury VLSCR v CMOS procesu, vlevo: méně koncentrovaná P+ anoda, vpravo: více koncentrovaná P+ anoda.

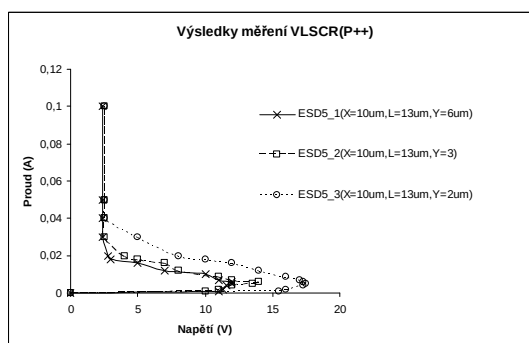
Zde jsem dosáhl variability pro spouštěcí napětí v rozmezí od 25 V do 57 V a variability pro udržovací napětí v rozmezí od 17 V do 31 V. Samozřejmě platí, že čím nižší úroveň udržovacího napětí, tím vyšší proudová odolnost pro druhý průraz a tím nižší blokovací (svodový) proud. V tento okamžik by se opět mohlo zdát, že pro tuto strukturu jsou možnosti ladění vyčerpány. Každá technologie má možnost aplikace různě dotovaných vrstev N a P. Technologie BiCMOS nebo CMOS „high voltage“ mají možnost aplikace několika vrstev P+ různých koncentrací příměsí do vrstvy N-WELL. Koncentrační profil vrstvy P+ na anodě udává napěťové rozmezí pro udržovací a spouštěcí napětí v AV charakteristice. Čím bude koncentrace příměsí vrstvy P+ větší, tím nižší úroveň napětí dosáhneme, protože tranzistory budou rychleji spínat. Předmětem dalšího zkoumání byly napěťově teplotní vlastnosti variabilního horizontálního tyristoru. Na základě TCAD simulace bylo zjištěno, že struktura VLSCR přechází do teplotního průrazu při 900 až 950 K.

Na základě výsledků AC simulace můžeme říci, že struktura VLSCR s nižší koncentrací příměsí na anodě má obecně větší kapacitu přes celé kmitočtové pásmo a vodivost struktury se mění odlišně od všech ostatních tyristorových struktur, které byly simulovány. Je to způsobeno tím, že tyristor pracuje na relativně velkém napětí v rozmezí od 20 V do 60 V. Díky tomu jsou na něm velké svodové proudy i v blokovacím stavu, a proto i vodivost na nižších frekvencích je podstatně vyšší než u ostatních struktur pracujících na nižších napětích.

Struktura VLSCR byla navržena a vyrobena v technologii CMOS. Pro ověření variability spektra AV charakteristik byly použity dva různé koncentrační profily vrstvy P+ na anodě. Nebylo však možné použít málo koncentrovanou vrstvu P+, která byla simulována. Takovou možnost použítá technologie bohužel nenabízela. Proto bylo třeba očekávat nižší napěťové rozmezí AV charakteristik. Výsledky měření vzorků struktury VLSCR pro dvě různé koncentrace vrstvy P+ na anodě jsou zobrazeny na obr. 24 a obr. 25.



Obr. 24 Výsledky měření vzorků VLSCR s méně koncentrovanou vrstvou P+ na anodě.



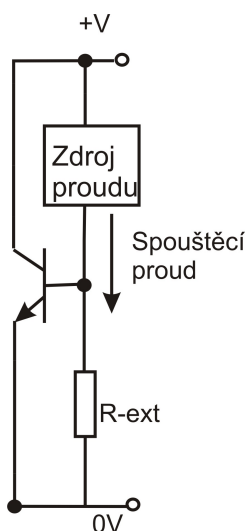
Obr. 25 Výsledky měření vzorků VLSCR s koncentrovanější vrstvou P+ na anodě.

Z měření vyplynulo, že spouštěcí napětí se pohybuje v rozmezí od 12 V do 16 V a udržovací napětí v rozmezí od 2 V do 7 V. Když vezmeme v úvahu výsledky ze simulace pro koncentrovanější vrstvu P+ na anodě, pak zjistíme, že změřené

charakteristiky se velice blíží výsledkům ze simulace. Dále můžeme porovnat variabilitu struktury VLSCR s variabilitou první struktury LVTSCR. Zjistíme, že pomocí nově zavedené struktury VLSCR je možné dosáhnout stejného ladění udržovacího napětí, ale s podstatně nižší úrovní spouštěcího napětí, což je velice důležité pro rychlou reakci ESD ochrany. Další velkou výhodou struktury VLSCR oproti tyristoru LVTSCR je fakt, že do struktury není zavedeno hradlo MOS tranzistoru a díky tomu má tento tyristor odolnost proti průrazu hradlového oxidu. Konfigurace struktury VLSCR při $Y=0\text{ }\mu\text{m}$ byla také ověřena v $1,5\text{ }\mu\text{m}$ technologii BiCMOS.

4.4 ESD OCHRANA SE SPÍNACÍM BIPOLÁRNÍM TRANZISTOREM

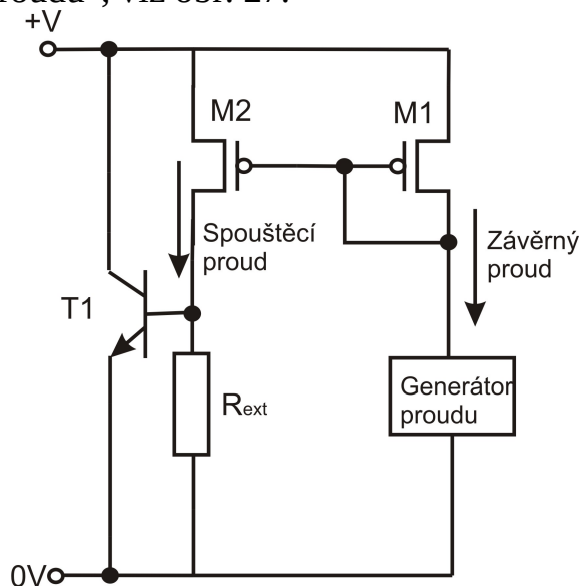
Kromě tyristorových ochran lze navrhnout také ESD ochranu se spínacím bipolárním tranzistorem. Zaměřil jsem se na možnost ladění velikosti spouštěcího napětí u ESD ochrany s bipolárním tranzistorem. Ve svém vlastním návrhu ESD ochrany s bipolárním tranzistorem vycházím z konvenční koncepce. Jedná se o spínací bipolární tranzistor, který má mezi bází a kolektorem externí spouštěcí zdroj, jak je vidět např. na obr. 26.



Obr. 26 ESD ochrana se spínacím bipolárním tranzistorem spouštěná externím proudovým zdrojem.

Taková konfigurace je možná například se Zenerovou diodou jako externím proudovým zdrojem. ESD obvody spouštěné pomocí Zenerova průrazu mají vysoké spouštěcí napětí. Toto je výhoda pro „vysokonapěťové“ aplikace, ale je to omezení pro pokročilé technologie CMOS, technologie BiCMOS nebo pokročilé bipolární technologie. Pro danou velikost výstupního bipolárního tranzistoru musí být spouštění Zenerovou diodou pod úrovní lavinového průrazu výstupní ESD ochrany. Tím, že je Zenerův průraz nad úrovní lavinového průrazu ESD ochrany, má tento obvod smysl pro aplikace s „vysokým“ napětím nebo pro aplikace, které obsahují bipolární tranzistory s vysokou úrovní lavinového průrazu.

Ve svém návrhu zavádím na místo Zenerovy diody proudový zdroj vytvořený z PMOS tranzistorů. Do obvodu byly zapojeny tranzistory M1 a M2 a takzvaný „generátor svodového proudu“, viz obr. 27.



Obr. 27 Schéma systému ESD ochrany s proudově spínaným bipolárním tranzistorem.

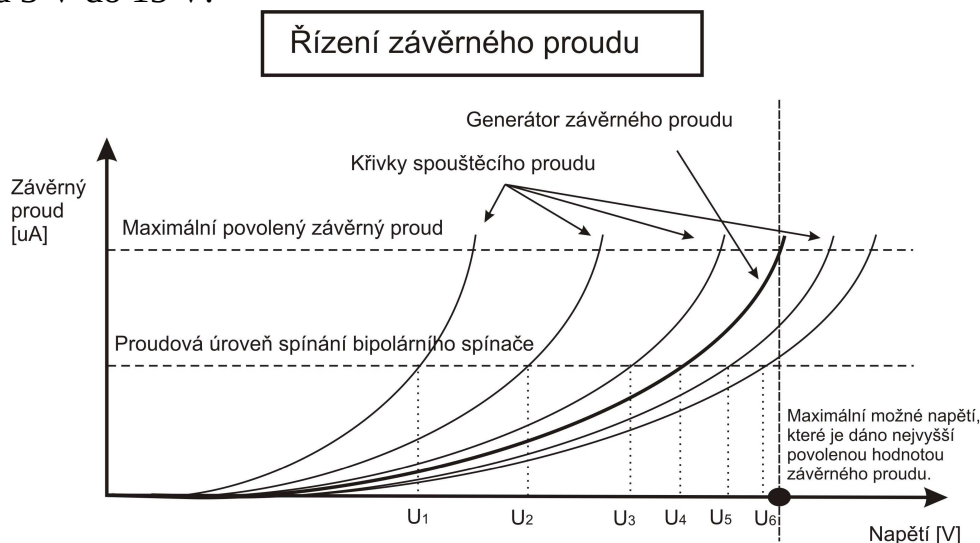
Tento generátor je vlastně nelineární proudový zdroj o velmi malých hodnotách proudu. Velikost tohoto proudu musí být pod úrovní povolené hodnoty svodového proudu pro celou ESD ochranu. Poměrem W/L tranzistorů M1 ku M2 lze tento proud kopírovat a násobit do báze smyčky se spínacím bipolárním tranzistorem. Tím lze modifikovat spouštěcí napětí celého systému. Nicméně tranzistory M2 a M1 nemohou pracovat v saturaci, takže chování tohoto systému nelze analyzovat běžným obvodovým přístupem. Kdyby byly tranzistory v saturaci, ochrana by představovala zkrat mezi vstupním nebo výstupním uzlem a zemí. Proto funkci takového systému rozeberu postupně. Za předpokladu, že je mezi vstupním uzlem $+V$ a zemí nulové napětí, proud ochranou neprotéká. V okamžiku, kdy začne napětí na vstupu nebo výstupu (podle použití ochrany) růst, začíná tranzistorem M1 procházet velmi malý proud, jehož velikost je dána proudovým zdrojem, který představuje generátor svodového proudu. Tento proud musí být maximálně řádově v jednotkách nanoampérů. Celkový součet velikostí všech proudů (I_{M1} , I_{M2} a I_{T1}), které protékají od vstupního uzlu $+V$ do země nesmí přesáhnout povolenou hodnotu svodového proudu pro celou ochranu. Takové omezení bývá řádově v desítkách nanoampérů až po jednotky mikroampérů. Tranzistor M1 je v konfiguraci samonapájení, proto přes něj teče při potenciálovém rozdílu mezi elektrodou „Source“ a „Drain“ proud. Tento malý svodový proud je kopírován do druhé větve s tranzistorem M2 a je násoben nebo dělen jednak poměrem velikostí W/L tranzistorů M1 a M2 vůči sobě a také velikostí rezistoru R_{ext} . V okamžiku, kdy dosáhne proud tranzistorem M2 velikosti, která stačí na otevření přechodu báze-emitor spínacího bipolárního tranzistoru (řádově v mikroampérech), přičemž na rezistoru R_{ext} vzniká

odpovídající napěťový úbytek, spínací bipolární tranzistor sepne a vybije proud elektrostatického původu. Po pomnutí výboje již není důvod, aby byl bipolární tranzistor otevřen, protože rozdíl potenciálů na vstupním uzlu a zemi neumožňuje otevření spínacího tranzistoru. Proto celý systém přejde do počátečního závěrného stavu.

Tento přístup byl nejdříve simulován v simulátoru HSpice, kdy byl generátor malého proudu nahrazen velkým rezistorem. Takto lze dosáhnout napěťové laditelnosti v rozmezí od 15 V do 45 V. Pro přesnější výsledky byl zaveden tranzistor MOS s kanálem typu N namísto odporu R-ext. Změna velikosti odporu se opět prováděla pomocí změn rozměrů W/L u nově zavedeného tranzistoru M3.

Pro skutečnou realizaci takového ochranného systému je potřeba zavést proudový zdroj, který generuje malý svodový proud. Tohoto bylo dosaženo nejprve zavedením parazitního bipolárního tranzistoru s plovoucí bází. Přechodem kolektor – emitor protéká pouze malý svodový proud, dokud není dosaženo podmínky lavinového průrazu, kterému je třeba v tomto zapojení předejít.

Simulaci bylo potřeba provést v TCAD simulátoru, aby bylo možné ověřit skutečné chování parazitních bipolárních struktur. Systém je stabilnější, když je báze připojena na zem, protože průraz se posune na vyšší napětí. Proto byl posléze terminál báze uzemněn [12, 14]. TCAD simulace byla provedena pro různé varianty poměrů tranzistorů. Tímto způsobem bylo dosaženo napěťové variability spínání v rozmezí od 3 V do 15 V.

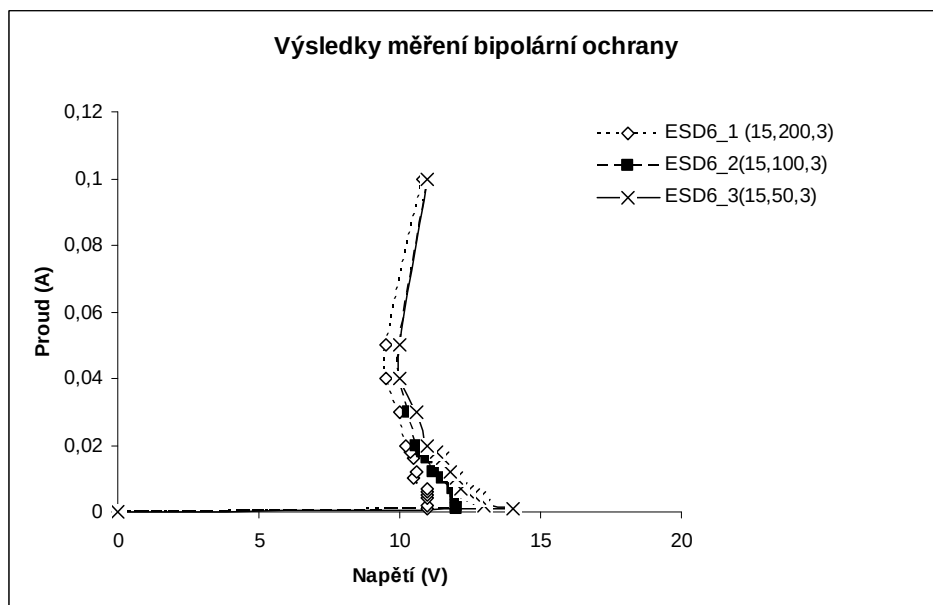


Obr. 28 Princip řízení závěrného proudu pro spouštění bipolárního spínače.

Obr. 28 s názvem „Řízení závěrného proudu“ ukazuje chování jednotlivých proudů v systému [12, 14]. Jak už bylo řečeno, celkový proud v systému nesmí přesáhnout povolenou hladinu svodového proudu. Dalším důležitým bodem je, aby bipolární tranzistor, který funguje jako spínač spínal při bázovém proudu, který je menší, než je povolená úroveň svodových proudů. Proudový zdroj tvořený tranzistory M1a M2 pak jen tento proud násobí pomocí rozměrů W/L nebo dělí. Jinými slovy buď urychluje spínání ochrany na nižší napětí nebo oddaluje spínání na

vyšší napětí. Maximální možné napětí je takové, kdy dosáhne proudová charakteristika generátoru svodového proudu maximální povolené hodnoty svodových proudů. Všechny násobené nebo dělené charakteristiky musí mít na úrovni proudového spínání odpovídající spouštěcí napětí nižší.

Vzorky ESD ochrany se spínacím bipolárním tranzistorem byly vyrobeny v technologii CMOS. Protože v technologii CMOS není možné vyrobit kvalitní bipolární struktury, byly pro návrh použity parazitní vrstvy, které lze v CMOS procesu použít. Takto byly realizovány bipolární struktury v TCAD simulátoru a proto byly i takto navrženy v CMOS procesu. Výsledky z měření vzorků jsou zobrazeny na obr. 29.



Obr. 29 Výsledky měření vzorků ESD ochrany se spínacím bipolárním tranzistorem.

Je zřejmé, že všechny charakteristiky se blíží spouštěcímu napětí mezi 10 V až 15 V což se v simulátoru neukázalo. Zřejmě kvůli nepřesným vlastnostem bipolárních struktur v CMOS procesu nelze snadno dosáhnout dobré variability a jednoduchého ladění takové ochrany pomocí změn rozměrů tranzistorů. Nicméně tato ochrana vykazuje mimořádně dobrou charakteristiku jako 10 V ochrana napájení v CMOS procesu. Žádná z předchozích struktur se nepřiblížila s udržovacím napětím hodnotě 10 V. Tato struktura již takovou ochranu umožňuje.

5 ZÁVĚR

Nejvýznamnější úlohu celého výzkumu hrál návrh způsobu ladění průběhů AV charakteristik tyristorových struktur v technologiích CMOS a BiCMOS. Takový výklad nebyl doposud v literatuře popsán. Jak bylo zmíněno již na počátku této práce, jedinou známou laditelnou strukturou je tyristor s nízkým spouštěcím napětím známý pod zkratkou LVTSCR [3]. Díky znalosti principu ladění bylo možné navrhnout a modelovat nové tyristorové struktury, které umožňují lepší laditelnost než dosud známá tyristorová struktura LVTSCR.

Na základě tohoto modelování a simulací jsem navrhnul nové tyristorové struktury nazvané „Tyristor s nastavitelným udržovacím napětím“ (angl. HVASCR = Holding Voltage Adjustable Silicon Controlled Rectifier) [8] a „Variabilní horizontální tyristor“ (angl. VLSCR = Variable Lateral Silicon Controlled Rectifier) [11], což je hlavní teoretický přínos této práce. Tyto nově definované struktury byly podrobeny různým analýzám v simulátoru a výsledky těchto simulací jsou rozebrány v předchozí kapitole.

Dalším výstupem z tohoto výzkumu jsou realizované a změřené vzorky nových tyristorových struktur v CMOS a BiCMOS technologii, což je praktickým výstupem této práce a vlastně hlavním výstupem celé výzkumné práce. Výsledky měření jsou také rozebrány v předchozí kapitole.

Součástí výzkumu struktur pro ESD ochrany byl také návrh a modelování alternativních přístupů v návrhu ochranných struktur. Díky tomu byl navržen systém ochrany s bipolárním tranzistorem jako spínačem [14], který je rozebrán v poslední sekci předchozí kapitoly.

Cíle práce byly zaměřeny jen na napěťově řízené ochrany. Aplikačním výstupem této práce je přehled vlastností navržených struktur a buňky ESD ochrany konkrétních rozměrů pro „layout“, které byly navrženy a vyrobeny.

Mezi cíle práce patřil i návrh ochrany napájení. Na základě výsledků měření vzorků v technologii BiCMOS můžeme vybrat strukturu typu HVASCR jako vhodnou ESD ochranu napájení na 30 V, která může nahradit sériový diodový řetězec. Maximální možné udržovací napětí v technologii CMOS bylo 10 V u ESD ochrany se spínacím bipolárním tranzistorem. Taková ochrana by mohla být použita jako ochrana napájení na 10 V.

V následujících letech se budou dál rozvíjet způsoby ochrany proti elektrostatickému výboji v integrovaných obvodech. Kvůli postupnému zmenšování rozměrů u standardních technologií CMOS se stává tato otázka důležitější než kdykoliv dříve. Tato práce může posloužit jako návod a východisko pro realizaci tyristorových struktur, které umožňují ochranu pro různá napětí na jednom čipu. Představené struktury jsou vhodné zejména pro technologie pracující s vyšším napětím (řádově desítky voltů).

LITERATURA

- [1] AMERASEKERA A., DUVVURY C., ESD in Silicon integrated Circuits. Chichester: John Wiley and Sons , 1995.
- [2] VOLDMAN S. H., ESD Circuits and Devices. Vermont USA: John Wiley and Sons , 2006.
- [3] CHATTERJEE A., POLGREEN T., "A low-voltage triggering SCR for on-chip protection at output and input pads." in Elec. Dev. Lett. EDL-12, 21-22, 1991.
- [4] SALCEDO J.A., LIOU J.J., BERNIER J.C., "Design and Integration of Novel SCR-Based Devices for ESD Protection in CMOS/BiCMOS Technologies." In IEEE Transactions on Electron Dev., 2005, vol. 52, no.12, p. 2682 2689. 0018-9383/20.
- [5] BĚŤÁK P., "SCR based protective structure against ESD for VHVIC technology." In Electronic devices and systems IMAPS CS International Conference 2007, 2007. Ing. Zdeněk Novotný CSc., Brno Ondráčkova 105, 2007. s.306-310. ISBN: 978-80-214-3470-7.
- [6] BĚŤÁK P., "An advanced SCR protective structure against ESD stress." In Proceedings of the 13th conference Student EEICT 2007, Volume 4. 2007. s.286-290. ISBN:978-80-214-3410-3
- [7] BĚŤÁK P., "SCR I-V Characteristics Tuning for Applications of ESD Protections." In Proceedings of the 14th conference Student EEICT 2008, Volume 4. 2008.
- [8] BĚŤÁK P., "Holding Voltage Adjustable Silicon Controlled Rectifier." In ISSE 2007 31th International Spring Seminar on Electronics Technology, 2008.
- [9] BĚŤÁK, P.; MUSIL, V. Snap-back characteristics tuning of SCR-based semiconductor structures. WSEAS Transactions on Electronics. 2007 (Special Issue: Integrated Circuit Design) . 4 (9). p. 175 - 180. ISSN 1109-9445.
- [10] VOLDMAN S. H., ESD RF Technology and Circuits, Vermont USA: John Wiley and Sons , 2006.
- [11] BĚŤÁK P., MUSIL V. „Variable Lateral Silicon Controlled Rectifier as an ESD Protection“ in WSEAS Transactions on Electronics, 2008, roč.5, č.8, 350-359, ISSN 1109-9445
- [12] BĚŤÁK P. „Current-Triggered Bipolar ESD Power clamp“ In Electronic devices and systems IMAPS CS International Conference 2008, 2008. Ing. Zdeněk Novotný CSc., Brno Ondráčkova 105, 2008. s.301-305. ISBN: 978-80-214-3717-3.
- [13] BĚŤÁK P., BRZOBOHATÝ J., MUSIL V., „Variable Lateral Silicon Controlled Rectifier for IC's ESD Protection Design“ in Proceedings, Seventh International Conference on Soft Computing Applied in Computer and Economic Environments, ICSC 2009, 75-81, ISBN 978-80-7314-163-9.
- [14] BĚŤÁK P. „Bipolar ESD Power Clamp in High Voltage CMOS Based on TCAD Device Simulation“, in 32nd International Spring Seminar on Electronics Technology „Hetero System Integration, the path to New Solutions in the Modern Electronics“, 2009, 260-261, ISBN 978-1-4244-4260-7.