

REMOTE MEMORY ACCESS PROTOCOL CONTROLLER FOR SPACEWIRE NETWORK

Ondřej Walletzký

Master Degree Programme (2), FEEC BUT

E-mail: xwalle00@stud.feec.vutbr.cz

Supervised by: Vojtěch Dvořák

E-mail: xdvo99@stud.feec.vutbr.cz

Abstract: This article describes design and implementation of Remote Memory Access Protocol controller, namely the initiator module specified in the ECSS-E-ST-50-52C standard. It provides general description of its architecture and describes some of its subcomponents. Finally, it summarizes resource utilization and maximum theoretical clock frequency for different configurations when synthesized for Spartan-3 FPGA chip.

Keywords: RMAP, SpaceWire, VHDL, FPGA, AMBA, AHB

1. ÚVOD

Rostoucí složitost vesmírných zařízení, která mohou obsahovat spoustu senzorů pro telemetrii, jednotky zpracovávající tato data a komunikační zařízení, klade vysoké nároky na přenos dat mezi jednotlivými moduly v podmínkách, které jsou vůči elektronice velmi nehostinné. Pro sjednocení a zjednodušení komunikace mezi jednotlivými moduly vytvořila Evropská vesmírná agentura standard sítě SpaceWire sloužící k propojení modulů a také několik dalších standardů definujících komunikační protokoly pro tuto síť. Jedním z těchto protokolů je protokol pro vzdálený přístup do paměti, tzv. Remote Memory Access Protocol, zkráceně RMAP.

Práce se zabývá protokolem RMAP, konkrétně se věnuje návrhu řadiče iniciátoru tohoto protokolu. Tento řadič byl navržen v rámci diplomové práce. Cílovým obvodem FPGA pro implementaci řadiče je obvod řady Spartan-3 společnosti Xilinx.

2. ARCHITEKTURA A ROZHŘANÍ

Navržený iniciátor protokolu RMAP se skládá z několika částí, které znázorňuje Obrázek 1. Základními bloky jsou jádra vysílače a přijímače, která zpracovávají samotné pakety.

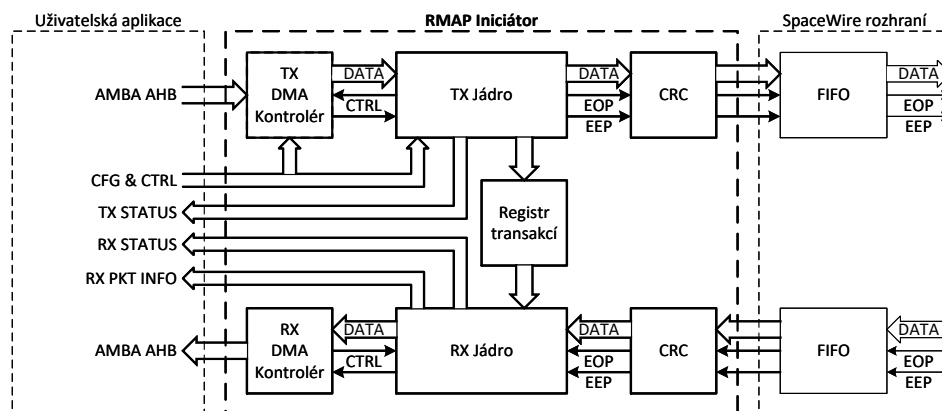
Jádro vysílače provádí kontrolu vstupních konfiguračních dat poskytnutých uživatelskou aplikací, z těchto dat tvoří hlavičku paketu, spouští kontrolér DMA a řadí veškerá data do posloupnosti bytů, kterou posílá skrze CRC jednotku modulu SpaceWire. Je-li požadována odpověď na odeslaný příkaz, uloží potřebné údaje do registru transakcí pro pozdější zpracování odpovědi jádrem přijímače.

To přijímá pakety z modulu SpaceWire, kontroluje je a zpracovává, přičemž používá údaje uložené v registru transakcí pro dohledání příslušného příkazu. S uživatelskou aplikací komunikuje zejména prostřednictvím stavových signálů a dále poskytuje uživatelské aplikaci údaje o přijatém paketu.

CRC bloky slouží k výpočtu a kontrole kontrolních součtů v paketech a je možno zvolit variantu s LFSR (Linear Feedback Shift Register) nebo v paralelní podobě s použitím paměti ROM. Poslední hlavní částí iniciátoru jsou řadiče DMA s volitelnou endianitou systému při syntéze.

Rozhraní řadiče protokolu RMAP se skládá z rozhraní pro připojení k modulu SpaceWire na straně jedné a z rozhraní pro přístup do paměti uživatelské aplikace a z konfigurační a řídicí části na stra-

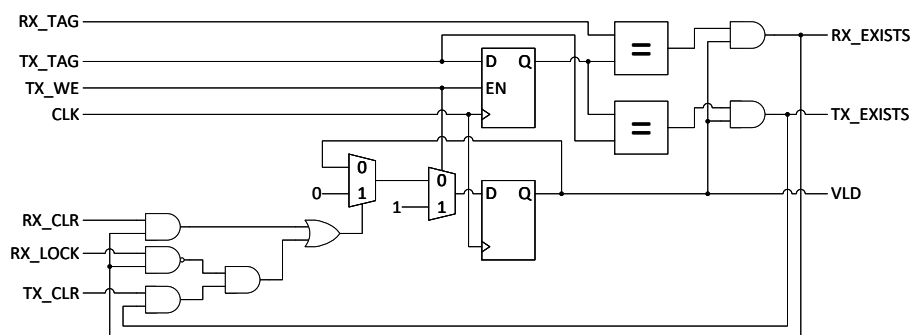
ně druhé. Řídící část rozhraní neobsahuje registry pro uložení dat, což znamená, že konfigurace odesílaného příkazu musí být neměnná po dobu odesílání paketu. Na druhou stranu toto řešení umožňuje uživatelskou implementaci této části, což zvyšuje flexibilitu. Data na rozhraní s modulem SpaceWire jsou předávána metodou handshake mezi oběma stranami. K řadiči lze tedy poměrně snadno připojit modul SpaceWire skrze paměti FIFO.



Obrázek 1: Zjednodušené schéma architektury iniciátoru protokolu RMAP (navržené bloky zvýrazněny tučně)

3. REGISTR TRANSAKČÍ

Dle [1] jsou všechny pakety opatřeny identifikátorem transakce a po odeslání příkazu iniciátor nečeká na odpověď. Místo toho všechny potřebné údaje uloží do registru transakcí. Tento registr je navržen jako plně asociativní paměť, která používá identifikátor transakce jako klíč. To umožňuje s nízkou latencí spárovat příchozí odpověď s příslušným příkazem, jelikož v rámci jedné operace jsou identifikátory příkazu a odpovědi shodné. Identifikátory jsou uloženy v buňkách skládajících se z registrů, které slouží jako paměťové členy pro identifikátory a kombinační logiky, která porovnává vyhledávaný identifikátor s obsahem registrů a indikuje shodu. Tato logika je zdvojená pro umožnění přístupu vysílači i přijímači a indikatory shody jednotlivých buněk jsou pak zakódovány v adresu paměti, ve které jsou uložena veškerá relevantní data. V každé buňce se dále nachází jednobitový registr udávající platnost klíče. Schéma buňky znázorňuje Obrázek 2. Součástí registru transakcí je také řadič spravující přístup vysílače k registru.



Obrázek 2: Buňka pro identifikátor, registr transakcí

4. ŘADIČE DMA

Iniciátor je opatřen řadiči přímého přístupu do paměti. DMA řadič patřící k vysílači načítá SpaceWire adresu příkazu a odpovědi a v závislosti na typu příkazu také data, která mají být přenesena do cílového uzlu. DMA řadič přijímače pak ukládá data z cílového uzlu, jsou-li součástí paketu odpovědi.

DMA řadiče jsou navrženy pro sběrníkové rozhraní AMBA AHB, konkrétně podle standardu revize 2 (viz [2]), a každý z těchto řadičů se skládá z řadiče pro AHB master, vyrovnávací paměti FIFO a přizpůsobovacího bloku, který převádí několikabytová datová slova z DMA řadiče na posloupnost jednotlivých bytů v případě vysílače, a naopak v případě přijímače. DMA řadič vysílače dále obsahuje sekvencér, který postupně poskytuje řadiči protokolu AHB adresu paměti a počet přenášených bytů pro jednotlivé části paketu.

5. IMPLEMENTACE

Iniciátor protokolu RMAP byl syntetizován pro FPGA Spartan-3 od společnosti Xilinx. Syntéza byla provedena pro několik kombinací parametrů, přičemž výsledný netlist byl optimalizován pro maximální frekvenci. Sledováno bylo využití obvodu FPGA a teoretická maximální frekvence obvodu. Tabulka 1 shrnuje výsledky syntézy pro uvedené parametry.

Parametry			Výsledek syntézy			
Kapacita registru transakcí	Použití BRAM	Varianta CRC	Spotřeba LUT [-]	Spotřeba registrů [-]	Spotřeba BRAM [-]	Max. frekvence [MHz]
1 transakce	ne	paralelní	2742	743	0	70,5
1 transakce	ne	LFSR	2763	768	0	75,3
1 transakce	ano	LFSR	2632	815	2	75,5
1 transakce	ano	paralelní	2613	795	2	75,5
8 transakcí	ano	paralelní	2813	918	2	74,9
16 transakcí	ano	paralelní	2948	1012	4	74,9
32 transakcí	ano	paralelní	3386	1286	4	74,9
64 transakcí	ano	paralelní	4245	1833	4	74,9

Tabulka 1: Výsledky syntézy

6. ZÁVĚR

Článek popisuje řadič iniciátoru protokolu RMAP navržený v rámci diplomové práce. V článku jsou z důvodu rozsahu práce podrobněji popsány pouze vybrané bloky. Navržený řadič představuje řešení, které má jednoduchou konfiguraci a také relativně jednoduché rozhraní včetně standardizovaného rozhraní pro přístup do paměti, což umožňuje snazší integraci do uživatelského systému. Řadič byl syntetizován s použitím jazyka VHDL pro FPGA Spartan-3.

Maximální hodinová frekvence navrženého obvodu se pohybuje okolo 70 MHz při optimalizaci pro maximální rychlost. Spotřeba registrů je v porovnání s počtem použitých LUT velmi nízká a z výsledků syntézy vyplývá, že s rostoucí kapacitou registru transakcí roste využití zdrojů přibližně lineárně. Na typu implementace paměti a CRC závisí spotřeba zdrojů pouze v řádu jednotek procent. Navržený obvod byl simulován a předběžně verifikován proti referenčním modelům navrženým v jazyce SystemVerilog. Následovat bude komplexní verifikace s použitím stejných verifikačních modelů.

REFERENCE

- [1] ECSS-E-ST-50-52C. *SpaceWire: Remote memory access protocol*. Noordwijk (Nizozemsko): ESA Requirements and Standards Division, 2010, 109 s. Dostupné také z: http://spacewire.esa.int/content/Standard/Draft_ECSS-E50-11.php
- [2] ARM IHI 0011A. *AMBA™ Specification*. Rev 2.0. Cambridge (Spojené království): ARM Limited, 1999, 230 s. Dostupné také z: <http://infocenter.arm.com/help/index.jsp>