



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY

A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

SELFTEST PRO AUTOMATICKÝ PRŮMYSLOVÝ TESTER

SELF-TEST FOR AUTOMATIC INDUSTRIAL TESTER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Tomáš Kyselý

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Aleš Povalač, Ph.D.

BRNO 2017

Diplomová práce

magisterský navazující studijní obor **Elektronika a sdělovací technika**
Ústav radioelektroniky

Student: Bc. Tomáš Kyselý

ID: 146884

Ročník: 2

Akademický rok: 2016/17

NÁZEV TÉMATU:

Selftest pro automatický průmyslový tester

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte schéma zapojení a funkci testovací stanice a navrhnete vlastní zapojení pro otestování všech funkčních bloků testovací stanice. Testovací zapojení by mělo obsahovat minimum aktivních součástek a v co největší míře využívat stávajících National Instruments PXI modulů včetně FPGA modulu pro testování komunikačních protokolů CAN, LIN a FlexRay. V prostředí LabVIEW navrhnete software pro automatické testování a v LabVIEW FPGA firmware pro FPGA modul. Sestavte a ožijte testovací desku a ověřte její funkci.

DOPORUČENÁ LITERATURA:

[1] DUSTIN, E., GARRET, T., GAUF, B. Implementing Automated Software Testing, 2009.

[2] BLUME, A. P. The LabVIEW Style Book, no. 3, 2009.

Termín zadání: 6.2.2017

Termín odevzdání: 16.5.2017

Vedoucí práce: Ing. Aleš Povalač, Ph.D.

Konzultant: Ing. Petr Pomkla, NXP Semiconductors

prof. Ing. Tomáš Kratochvíl, Ph.D.
předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato práce pojednává o testovací stanici ve společnosti NXP Semiconductors, pobočkou v Rožnově pod Radhoštěm. Popisuje nejprve samotnou testovací stanici a její možnosti při testování softwarových knihoven. Poté popisuje automatický selftest této stanice a jeho dílčí kroky. Práce má sloužit také jako dokumentace k selftestu pro vnitřní účely firmy.

KLÍČOVÁ SLOVA

Self-test, testovací stanice, National Instruments, PXI šasi, PXI modul, FPGA, LabVIEW

ABSTRACT

Work discusses about the test station in NXP Semiconductors Company in Rožnov pod Radhoštěm. It describes first the test station itself and its possibilities in software libraries testing. Second it describes automatic selftest of this station and sub-steps of this selftest. This work is also used as a documentation for company needs.

KEYWORDS

Self-test, test station, National Instruments, PXI chassis, PXI module, FPGA, LabVIEW

PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma Selftest pro automatický průmyslový tester jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce Ing. Aleši Povalačovi, Ph.D. a odbornému poradci Ing. Petrovi Pomklovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne

.....

(podpis autora)

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře
vybudované v rámci projektu CZ.1.05/2.1.00/03.0072

Centrum senzorických, informačních a komunikačních systémů (SIX)
operačního programu Výzkum a vývoj pro inovace.

OBSAH

Seznam obrázků	ix
Seznam tabulek	xi
Úvod	1
1 Automatická testovací stanice	2
1.1 Šasi stanice.....	3
1.2 PXI šasi	3
1.2.1 Kontrolér.....	4
1.2.2 PXI moduly.....	5
1.3 Receiver	6
1.3.1 Základní deska	8
Třicestné přepínače	8
Společná sběrnice.....	8
Směšování analogových a digitálních výstupů	8
Měnič úrovně.....	8
1.3.2 Napájecí modul	10
1.3.3 Interface moduly	10
1.4 ITA adaptér	11
2 Selftest testovací stanice	14
3 Test napájení	17
3.1 Externí napájení receiveru	18
3.2 Napájení pomocných obvodů na receiveru.....	19
3.3 Karta stejnosměrného zdroje	21
4 Test digitálních signálů	23
4.1 Digitální vstupy a výstupy FPGA karty.....	23
4.2 Vysokorychlostní digitální karta.....	24
4.3 Čítače, časovače, měnič úrovně	26
5 Test analogových signálů	28

5.1	Analogové výstupy na FPGA kartě	28
5.2	Analog Output karta.....	30
5.3	Přepínače pro analogové výstupy	32
6	Test pomocných obvodů	34
6.1	Třicestné přepínače, přepínač sběrnice a relé	34
6.2	Výstupy pro přidavné relé.....	39
7	Test protokolů	41
7.1	Firmware pro FPGA karty	41
7.1.1	Signálový generátor	42
7.1.2	Logický analyzátor	42
7.2	Test protokolu CAN.....	43
7.3	Test protokolu LIN	45
7.4	Test protokolu Flex-Ray	48
8	Závěr	50
9	Literatura	51
	Seznam symbolů, veličin a zkratk	52
	Seznam příloh	54

SEZNAM OBRÁZKŮ

Obrázek 1: Testovací stanice	3
Obrázek 2: PXI šasi obsazené zásuvnými moduly	4
Obrázek 3: PXI kontrolér.....	5
Obrázek 4: Pohled základní desky a zdrojový modul receiveru.....	7
Obrázek 5: Detail pružných kontaktů	7
Obrázek 6: Umístění funkčních bloků na desce receiveru	9
Obrázek 7: Blokové schéma první části receiveru.....	10
Obrázek 8: Blokové schéma druhé části receiveru	10
Obrázek 9: Transceiver karta.....	11
Obrázek 10: Rozložení konektorů na ITA adaptéru	12
Obrázek 11: Připojená vývojová deska k ITA adaptéru	13
Obrázek 12: Firmware pro FPGA modul	15
Obrázek 13: Čelní panel programu pro selftest. V tomto případě selhaly všechny testy.....	16
Obrázek 14: Blokové schéma zapojení ITA adaptéru pro selftest 1/2	17
Obrázek 15: Blokové schéma zapojení ITA adaptéru pro selftest 2/2	17
Obrázek 16: Pohled na skutečné zapojení pro selftest.....	17
Obrázek 17: Zapojení pro test programovatelného zdroje.....	18
Obrázek 18: Příklad funkcí pro nastavení výstupů zdroje a jejich čtení	19
Obrázek 19: Výpočet rozsahu pro měření napětí a proudu na zdroji +V_PROG.....	21
Obrázek 20: Blokové schéma pro test DC karty.....	21
Obrázek 21: Kód pro čtení napětí na DC kartě a vyhodnocování výsledku.....	22
Obrázek 22: Zapojení pro test DIO signálů	23
Obrázek 23: Posloupnost testování jednoho propoje na DIO pinech	24
Obrázek 24: Blokové schéma pro HSDIO test	25
Obrázek 25: Posloupnost testování daných skupin pinů	26
Obrázek 26: Blokové schéma pro testování čítačů, časovačů a měniče napětí	27
Obrázek 27: Schéma generování impulsu časovačem a jeho čtení analogovým vstupem	28
Obrázek 28: Blokové schéma pro test Analogových vstupů a výstupů.....	29
Obrázek 29: Sekvence testu analogového výstupu a vstupu	30

Obrázek 30: Zapojení pro testování analogových výstupů PXI modulu	31
Obrázek 31: Příklad vyhodnocování výsledku test a jeho zápis do logu.....	32
Obrázek 32: Blokové schéma pro testování analogových přepínačů	33
Obrázek 33: Blokové schéma změny směru testovacích cest.....	34
Obrázek 34: Blokové schéma propojení pro test třicestných přepínačů, izolačních bufferů, přepínačů sběrnice a relé	36
Obrázek 35: Část zdrojového kódu pro testování cest pro transceivery a relé	39
Obrázek 36: Propojení pro testování výstupů přídavných relé.....	40
Obrázek 37: Testování výstupů pro další relé pomocí analogových vstupů	41
Obrázek 38: Část stavového automatu pro generování signálu	42
Obrázek 39: Signál vyslaný FPGA modulem (CAN1_TX) a přijatý signál (CAN1_RX) s potvrzením (ACK).....	43
Obrázek 40: Test průchodu a odezvy na signál CAN.....	45
Obrázek 41: Vyslaný rámec s hlavičkou a ID (LIN1_TX) a přijatý signál s odpovědí (LIN1_RX).....	46
Obrázek 42: Vyslaný signál (FR1_A_TX) a přijaté signály (FR1_A_RX a FR1_A_EN)	48

SEZNAM TABULEK

Tabulka 1: Postup testování externího napájení receiveru	18
Tabulka 2: Postup testování napájení pomocných obvodů na receiveru	20
Tabulka 3: Postup testování DC karty	22
Tabulka 4: Postup testování digitálních pinů FPGA karty	23
Tabulka 5: Postup testování vysokorychlostní digitální karty	25
Tabulka 6: Postup testování čítačů, časovačů a měniče úrovně	27
Tabulka 7: Postup testování analogových výstupů a vstupů FPGA karty	29
Tabulka 8: Postup testování analogových výstupů AO karty	31
Tabulka 9: Postup testování analogových přepínačů	33
Tabulka 10: Postup testování třicestných přepínačů, oddělujících bufferů a relé	36
Tabulka 11: Postup testování oddělujících bufferů a přepínače sběrnice	38
Tabulka 12: Postup testování výstupu pro přídavné relé	40
Tabulka 13: Postup testování CAN modulu	43
Tabulka 14: Postup testování LIN modulu	46
Tabulka 15: Postup testování Flex-Ray modulu	48

ÚVOD

Cílem práce je navrhnout testovací zapojení stanice, které by umožňovalo automatizovaně otestovat všechny její funkční bloky. K tomu je potřeba prostudovat a pochopit testovací stanici jako celek a také tyto funkční bloky. Jakým způsobem se součástka pro testování připojuje a jak probíhá samotný test softwaru. Také je nutno se seznámit s obslužným software a pochopit návaznosti na hardware. Po osvojení těchto znalostí je možno navrhnout, sestavit a otestovat selftest, který plně automaticky a spolehlivě otestuje každou komponentu a funkci, která je použita při samotném testování. Tento selftest musí být spolehlivý a důkladný, protože musí odhalit i ty nejméně zřejmé chyby.

V této práci je popsána konkrétní testovací stanice ve firmě NXP Semiconductors, se kterou bylo pracováno a na které byla odzkoušena funkce selftestu. Tento selftest již funguje a je začleněn do testovacího procesu.

Práce je rozdělena do devíti kapitol.

První kapitola popisuje používanou testovací stanici. Rozebírá, z jakých komponent se stanice skládá a popisuje jejich vlastnosti a účel.

Druhá kapitola se věnuje samotnému selftestu jako celku. Uvádí jakým způsobem je selftest naprogramován a popisuje jeho obslužný software i firmware na FPGA kartě. Také je zde uvedeno blokové schéma pro selftest.

V kapitolách 3 až 6 jsou popsány jednotlivé bloky testů pro testování digitálních signálů, analogových signálů a pomocných obvodů. U každé části je vyobrazen detailní algoritmus testu a zapojení pro daný test. U těchto testů jsou však zobrazeny pouze úryvky zdrojového kódu z důvodu velkých rozměrů a složitosti grafického programovacího jazyka. Nicméně však jsou ukázány klíčové funkce a u každého testu je zaměřeno na jinou část, aby bylo možno získat celkový obraz o funkci.

Kapitola 7 se věnuje testování komunikačních protokolů CAN, LIN a Flex-Ray. Nejprve popisuje firmware, který bylo potřeba speciálně pro tyto testy vytvořit a poté jednotlivé testy s použitím toho firmwaru.

1 AUTOMATICKÁ TESTOVACÍ STANICE

Popisovaná testovací stanice je ve firmě NXP Semiconductor a používá se pro testování softwarových knihoven na nejnižší vrstvě. Obsahuje mnoho digitálních i analogových vstupů, výstupů, dále čítače, časovače a komunikační protokoly jako CAN, LIN, Flex-Ray, UART, SPI, I2S a I2C.

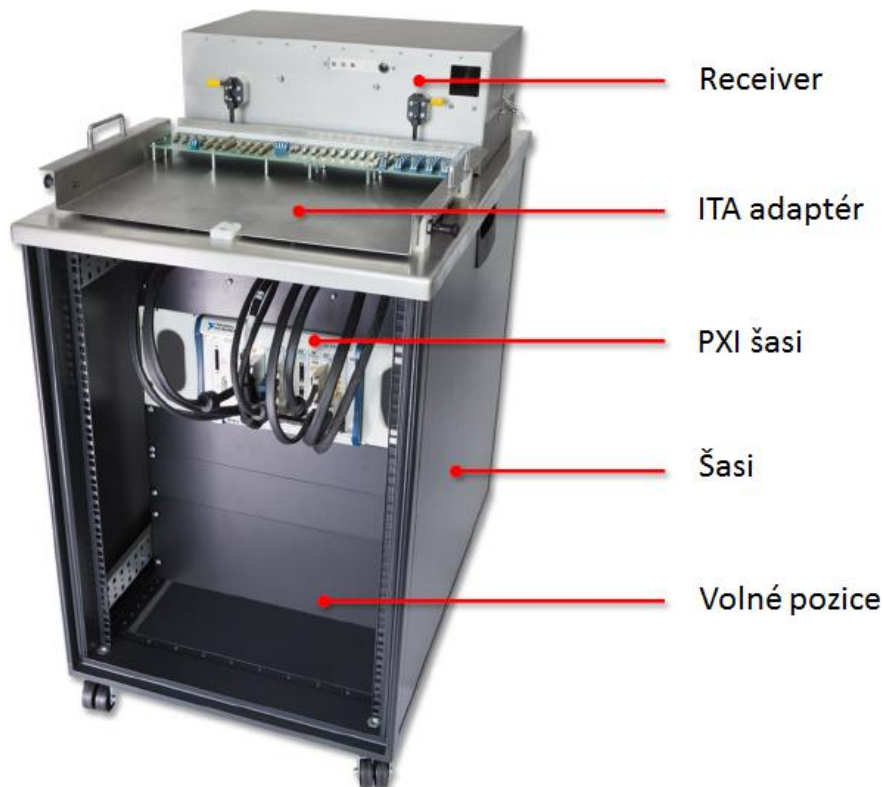
Tento tester je již inovovaná druhá generace testovací stanice. Předchozí generaci bylo třeba vylepšit, zejména po mechanické stránce připojování vývojové desky se součástkou pro test. U novější generace bylo třeba měnit testovací konfiguraci i několikrát denně, což klade největší nárok na provedení připojení testované desky k testovací stanici.

Testování probíhá automatizovaně s řízením vzdáleného přístupu. Nejprve je však nutno propojit vývojovou desku se součástkou pro test k ITA adaptéru a ten poté připojit k testovací stanici. Operátor, který chce testovat, svůj zdrojový kód zkompiluje a pomocí debuggeru nahraje do součástky. Poté při běhu programu pomocí testovací stanice zkoumá potřebné signály a vyhodnocuje výsledky.

Díky univerzálnosti testovací stanice je možno testovat software pro širokou škálu součástek a plnit tak i velmi náročné požadavky na testování.

Testovací stanice založena na modulárním systému se skládá ze čtyř komponent. Jsou to šasi stanice, PXI šasi, receiver a ITA adaptér.

Celkový pohled na testovací stanici je na obrázku 1.



Obrázek 1: Testovací stanice

1.1 Šasi stanice

Díky umístění všech komponentů testovací stanice v pohyblivém šasi je stanice kompaktní a umožňuje snadnou obsluhu.

Je použito standartní devatenáctipalcová kovová skříň od firmy Schroff ve které je možno umístit nejen PXI šasi, ale i jiné zařízení kompatibilní s devatenáctipalcovými racky, například záložní zdroj nebo zásuvková lišta.

Vevnitř šasi se nachází PXI kontrolér se zásuvnými moduly, jehož některé propojovací kabely jsou vyvedeny dšpod horní desky, na které leží receiver. Na této desce také leží plechové lože s připevněným ITA adaptérem a případnou testovanou vývojovou deskou. Lože je zde uloženo ve vodících třmenech, jelikož je nutné přesné vedení spojovacího konektoru, a je zajištěno aretačními kolíky. ITA adaptér se připojuje k receiveru, jenž je společně s jeho komponenty kryt pevnou plechovou skříní. Z boku je šasi opatřeno odnímatelnými panely, kdežto čelní strana je otevřená. Na zadní straně jsou umístěny žlaby pro vedení svazku kabelů.

Celkový vzhled šasi je patrný z obrázku 1.

1.2 PXI šasi

V testovací stanici je použito PXI-1044 od firmy National Instruments, které je

vyvinuto pro široké spektrum testovacích a měřicích aplikací. Poskytuje automatické spouštění mezi dvěma moduly na zadní straně. Také obsahuje práci v širším teplotním rozsahu, dva BNC konektory pro připojení externích hodin a odnímatelný výkonný napájecí zdroj s univerzálním AC vstupem. [1]

Jedná se o skříň, jejíž nejcitlivější místo je vnitřní zadní stěna, kde se nachází společná sběrnice pro komunikaci mezi PXI kontrolérem a PXI moduly.

Je řešeno jako modulární systém, takže není problém kdykoli šasi inovovat a vyměnit či přidat jakýkoli modul nebo dokonce kontrolér.

Na obrázku 2 je zobrazeno PXI šasi s kontrolérem a mnoha zásuvnými moduly.



Obrázek 2: PXI šasi obsazené zásuvnými moduly [1]

1.2.1 Kontrolér

PXI kontrolér je použit pro obsluhu, sběr a zpracování dat ze zásuvných PXI modulů v PXI šasi. Je to v podstatě počítač s v podobě odnímatelného modulu, jak je vyobrazeno na obrázku 3.



Obrázek 3: PXI kontrolér [2]

V testovací stanici je kontrolér PXI-8840. Ten je vybaven dvěma gigabitovými Ethernet porty, dvěma USB 3.0 porty, čtyřmi USB 2.0 porty a také integrovaným pevným diskem, sériovým portem a dalšími periferiemi. [2]

Na tomto počítači běží software pro obsluhu celé testovací stanice a vzdáleného přístupu k ní. Tento software je napsán v grafickém programovacím jazyce LabVIEW, také vyvinutým společností National Instruments, tudíž je poskytnuta plná podpora hardwaru.

1.2.2 PXI moduly

Tyto moduly v sobě implementují nejrůznější funkce jako digitální vstupně-výstupní porty, analogové vstupy a výstupy, čítače a časovače a také komunikační protokoly jako CAN, LIN, Flex-Ray, SPI a podobně.

V podobě karet se zasouvají do PXI šasi a pomocí společné sběrnice komunikují s PXI kontrolérem.

PXI šasi je obsazeno těmito kartami:

- DIO - NI PXI-7842R – multifunkční programovatelný FPGA modul s jádrem Virtex-5 LX50. Umožňuje výkonné zpracování a přímou kontrolu nad vstupně-výstupními porty pro dosažení flexibility a správného časování a synchronizace. [3]
- CAN - NI PXI-8513/2 – modul pro komunikaci na protokolu CAN. Disponuje dvěma softwarově volitelnými porty CAN pro vyvíjení aplikací s pomocí NI-XNET ovladačů. Tento modul nabízí nejlepší flexibilitu pro vývoj transceiverů s variantami High-Speed, Low-Speed, Flexible Data-rate a Fault Tolerant Single Wire. [4]

- LIN - Goepel PXI-6173 – Programovatelné zařízení protokolu LIN pro automotive elektroniku a řídicí jednotky motorů.
- Flex-Ray - NI PXI-8517/2 – Modul s Flex-Ray rozhraním. Je vhodný pro vývoj aplikací vyžadujících vysokorychlostní manipulaci se stovkami Flex-Ray rámců v reálném čase. Také poskytuje funkce jako hardware-in-loop-simulation, rapid control prototyping, bus monitoring, automation control a další. [5]
- HS-DIO - NI PXI-6541 – Vysokorychlostní dvaatřiceti-kanálový signálový generátor a analyzátor. Modul dokáže vzorkovat frekvencí až 50 Mhz signál reprezentovaný TTL logikou. Také umožňuje pokročilé možnosti synchronizace pro vytváření integrovaných testovacích systémů. [6]
- C/T - NI PXI-6602 – Čítač/časovač umožňuje měření pozic dat v signálu, čítání událostí, měření periody, pulzně-šířkovou modulaci, generování pulzů a měření frekvence. Obsahuje 8 kanálů, filtry odstraňující zákmity a logiku kompatibilní s TTL a CMOS. S modulem je možno provádět až tři souběžné vysokorychlostní DMA přenosy. [7]
- AO - NI PXI-6723 – Modul obsahuje 32 analogových výstupů s 13ti bitovým rozlišením, což rozšiřuje rozsah aplikací o například analýzu odezvy na stimulaci, generování signálů a stimulaci výkonových členů. Navíc modul obsahuje 8 digitálních linek, dva 24 bitové čítače/časovače, digitální spouštění a možnost externího časování. [8]
- DC - NI PXI-4110 – Programovatelný tříkanálový regulovatelný zdroj stejnosměrného napětí. Je možno programově nastavit jak napětí, tak i omezení maximálního proudu. Modul obsahuje dva kladné a jeden záporný stejnosměrný zdroj. [9]

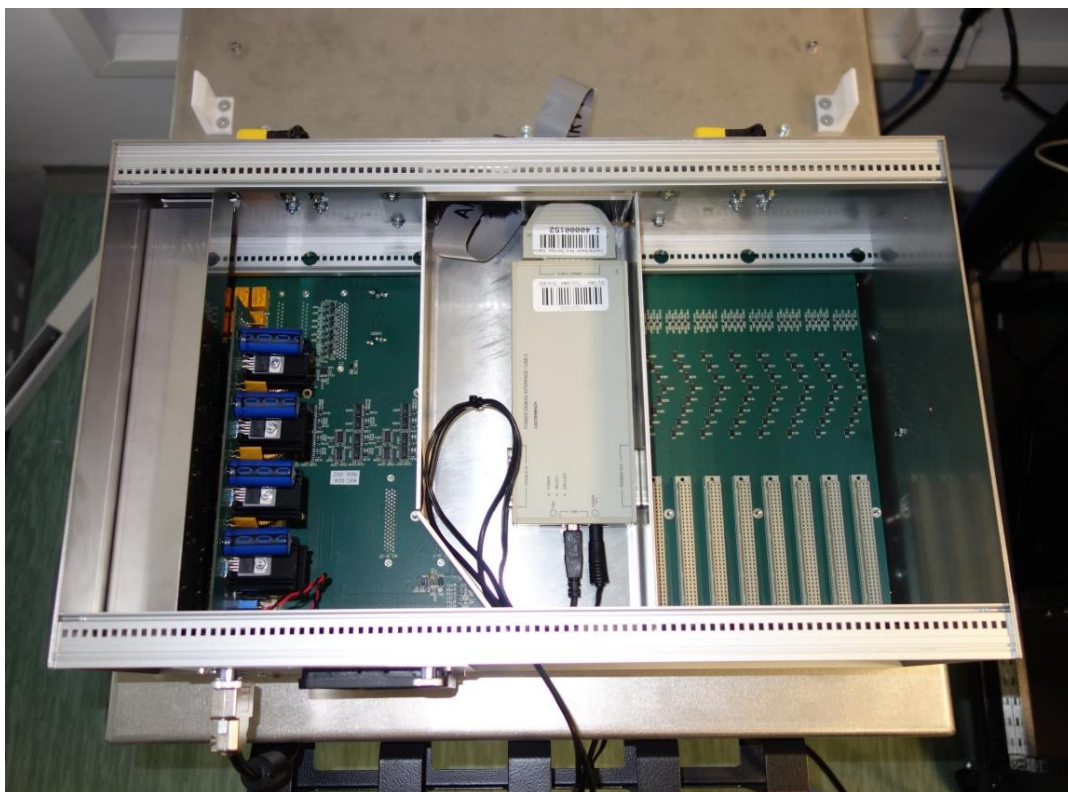
1.3 Receiver

Receiver zprostředkovává konektivitu mezi ITA adaptérem a PXI moduly. Obsahuje vlastní napájecí zdroje pro poskytnutí napájení pro vnitřní obvody, logiku pro přepínání a směřování signálových cest a logiku pro řízení připojených modulů.

Receiver sestává ze tří částí uložených v plechovém šasi, které zajišťuje jejich nehybnost. Nedílnou součástí je základní deska a napájecí modul. Jako volitelné příslušenství jsou interface moduly, které jsou vyžadovány v závislosti na testu.

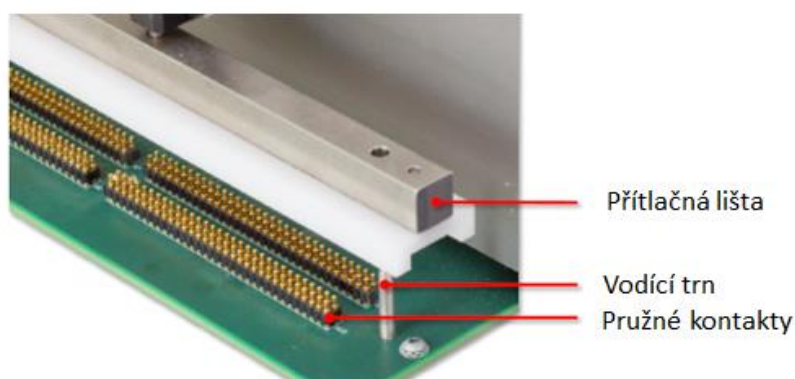
V širokém předním otvoru šasi je lišta s pružnými konektory, kterými se připojuje ITA adaptér. Nad ním je trojice indikačních LED diod a tlačítko s programovatelnou funkcí. Na zadní straně jsou konektory pro propojení transceiver modulů s PXI moduly v PXI šasi a hlavní napájecí konektor. Všechny ostatní PXI moduly jsou s deskou receiveru spojeny konektory na spodní straně. Uvnitř šasi se ještě nachází tunel pro uložení debuggeru, spojující široké otvory na přední a zadní straně. Těmito otvory je možno přehledně propojit debugger zepředu s vývojovou deskou a zezadu s PXI kontrolérem.

Pohled na receiver je na obrázku 4.



Obrázek 4: Pohled na základní desku a zdrojový modul receiveru

Nejcitlivější částí je právě lišta s pružnými kontakty na připojení ITA adaptéru. To je nejpoužívanější část testovací stanice a je proto na její kontakty kladen vysoký nárok na spolehlivost a životnost. Tyto kontakty mají deklarovanou životnost více než 10 000 cyklů. Vzhledem k vysokému počtu kontaktů, je nutné zajistit dokonalé a spolehlivé spojení pružných pinů na desce receiveru a dosedacích ploch ITA adaptéru. To je řešeno centrální přitlačnou lištou a vodící trny, jak je uvedeno na obrázku 5.



Obrázek 5: Detail pružných kontaktů

Díky vodícím trnům jsou kontaktní plochy na ITA adaptéru uloženy přesně naproti pružným kontaktům. Toto řešení má však nevýhodu v tom, že kontaktní plocha

konektoru je velice malá a stačí menší smítko prachu či jiné nečistoty a pružný pin nedosedne a spojení je přerušeno. Před usazením ITA adaptéru do receiveru je proto vždy nutno všechny dosedací plochy a pružinky dokonale očistit a odmastit.

1.3.1 Základní deska

Skrze základní desku receiveru vedou všechny signálové cesty mezi PXI moduly a ITA adaptérem. Úkolem je zprostředkovat propojení všech cest požadovaných pro daný test.

Některé cesty nejsou nijak ovlivněny, ale některé je možno programově přepínat na jiné pozice na ITA adaptéru nebo v rámci receiveru. Tato přepínání nebo úpravy cest jsou na desce receiveru realizovány těmito bloky:

Třicestné přepínače

Třicestné přepínače jsou zapojeny mezi transceiver moduly, ITA adaptérem a společnou sběrnici. Mohou propojit jakoukoli tuto dvojici, nebo všechny tři cesty dohromady. Slouží k distribuci dat mezi transceiverem, součástkou pro test a FPGA kartou. Lze pomocí nich například FPGA kartou sledovat komunikaci mezi touto součástkou a transceiverem. Každý transceiver modul má k dispozici jeden třicestný přepínač na každém z jeho osmi linek.

Společná sběrnice

Mezi blokem transceiverů a FPGA kartami se nachází dvojice osmibitových sběrnic, společných pro všechny transceivery, díky kterým je možno komunikovat mezi jakýmkoli transceiverem a FPGA kartami. Také je možno s pomocí její a třicestných přepínačů posílat data skrze tyto linky na ITA adaptér. Mezi sběrnicemi a třicestnými přepínači je přepínač sběrnice, který umožňuje zvolit linku sběrnice nezávisle na ostatních linkách. To platí jak u první, provozní, tak u druhé alternativní sběrnice. Mezi každou sběrnici a FPGA kartou jsou umístěny oddělovací buffery, kterými lze opět pro každou linku naprogramovat samostatně směr komunikace,

Směšování analogových a digitálních výstupů

Všechny analogové výstupy vedou přes spínače na ITA adaptér. Za těmito spínači, tedy na straně ITA desky, jsou také přes spínač připojeny vybrané digitální signály FPGA karet. To umožňuje v případě potřeby odpojit analogové signály od ITA adaptéru a posílat na něj digitální signály z FPGA karet, nebo digitálními vstupy monitorovat komunikaci na analogových výstupech. Je přitom nutno pamatovat na napěťovou toleranci digitálních vstupů FPGA karty.

Měnič úrovně

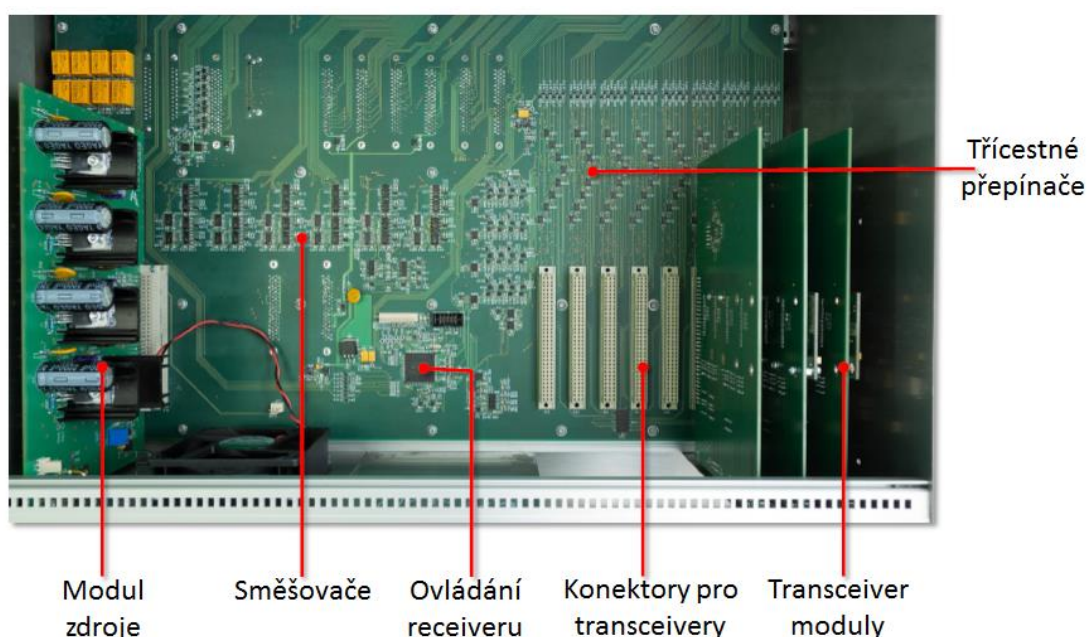
Analogové výstupy jsou opatřeny pevným zesilovačem s polovičním zesílením, na což je nutno pamatovat při nastavování výstupu. Také časovače mají na svém výstupu měniče napětí, avšak programové nastavitelné na hodnoty 3,3V a 5V.

Receiver také obsahuje celkem osm konektorů pro interface moduly, přičemž na stanici je obsazen jeden modul od protokolů CAN, LIN a Flex-Ray. Díky dalším konektorům je možno v případě potřeby stanici rozšířit o další moduly stejných, nebo i jiných protokolů.

V případě potřeby je na ITA desku vyvedena sběrnice SPI pro komunikaci s vývojovou deskou, nebo pro dodatečně logické obvody na prototypové části ITA adaptéru.

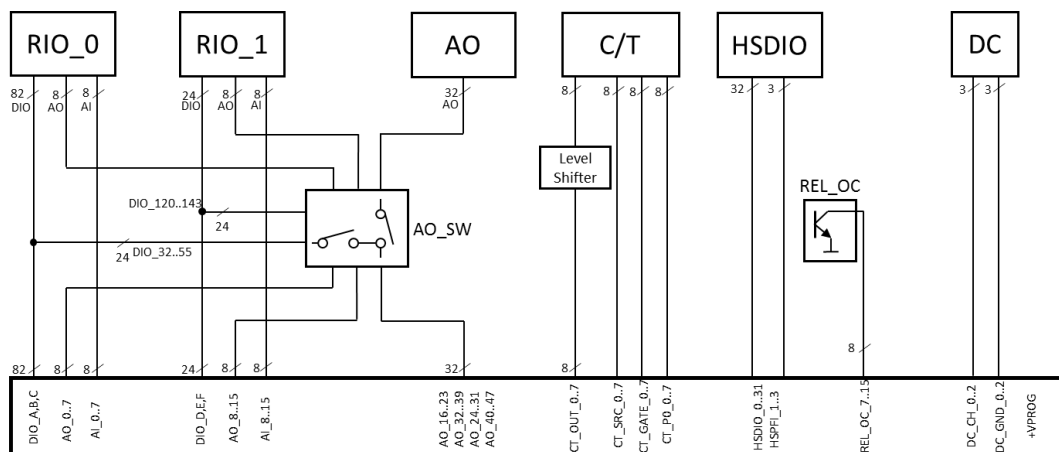
Posledním blokem na desce receiveru je blok osmi přepínacích relé, jejichž silové kontakty jsou vyvedeny na ITA desku. Tyto kontakty jsou dimenzovány na střídavé napětí 230V a maximální průchozí proud 2,5A.

Na obrázku 6 je vyfocena deska receiveru s popsanými funkčními bloky.

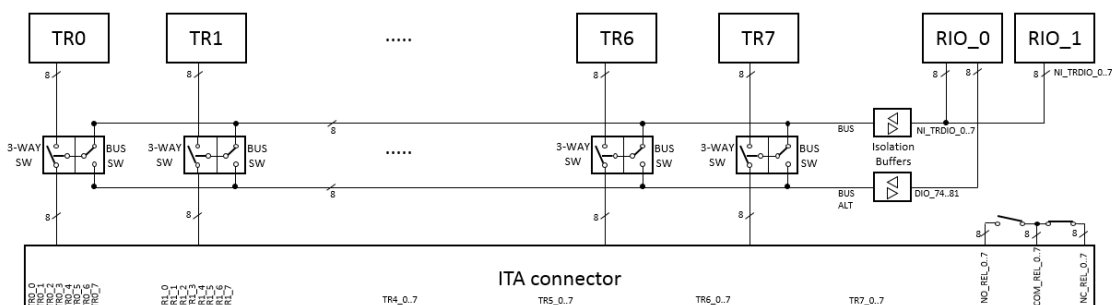


Obrázek 6: Umístění funkčních bloků na desce receiveru

Na obrázcích 7 a 8 je možno vidět ve dvou částech blokové schéma receiveru. Ve větších rozměrech jsou v příloze A1, A2. Obrázek 7 ukazuje část receiveru s FPGA, HSDIO a DC kartami, analogovými přepínači, čítači/časovači a relé. Na obrázku 8 je zbývající část s transceiver kartami a sběrnicemi s příslušnými obvody.



Obrázek 7: Blokové schéma první části receiveru



Obrázek 8: Blokové schéma druhé části receiveru

1.3.2 Napájecí modul

Tato deska s napěťovými stabilizátory je nedílnou součástí receiveru a slouží k transformaci vstupního napětí 24 V přivedeném na zadní konektor na nižší napětí pro napájení integrovaných obvodů na desce receiveru. Tato napětí jsou: 12V, 5V a 3,3V. Kromě pevných zdrojů také modul obsahuje jeden přepínatelný zdroj o napětí 5V nebo 3,3V a jeden programově nastavitelný zdroj o rozsahu napětí 2,6V až 15V s nastavitelným proudovým omezením od 10 mA do 2,5 A. Každou z těchto napájecích větví je možno programově deaktivovat. Tyto výstupy jsou připojeny k A/D převodníku pro programovou kontrolu.

Aby nedošlo k záměně napájecí karty a tím i možnému poškození desky receiveru, je zde EEPROM paměť, obsahující unikátní ID modulu, které se kontroluje.

1.3.3 Interface moduly

Interface moduly, zvané také transceivery jsou zásuvné karty, které mají na zadní straně standardní konektory typu CANON 9-PIN pro připojení PXI modulu obsahující CAN, LIN, Flex-Ray nebo případně jinou sběrnici. Zde se signály, které obvykle mají různé napěťové úrovně, převádí na úroveň společnou, akceptovatelnou FPGA kartou nebo

obvody na vývojové desce. Tuto úroveň je možno na desce receiveru programově přepínat mezi 5V a 3,3V. Karta transceiveru se připojuje pomocí sdruženého konektoru k desce receiveru, přičemž se připevní ke kovovému šasi receiveru.

Transceiver modul obsahuje čtyři kanály, každý o dvou signálech, a je univerzální pro všechny tři protokoly. Výběr protokolu se provádí malou deskou plošných spojů s elektronikou, vsazenou do příslušného kanálu modulu. Tímto se transceiver přizpůsobí PXI modulům. Pro protokol CAN jsou dva ze čtyř kanálů použity pro vysoko rychlostní režim, a zbylé dva pro nízko rychlostní. LIN transceiver využívá všechny čtyři kanály PXI modulu a u Flex-Ray jsou na transceiver modulu použity pouze dva kanály, protože jeden kanál vyžaduje tři signály.

Na obrázku 9 je vyobrazen transceiver modul.



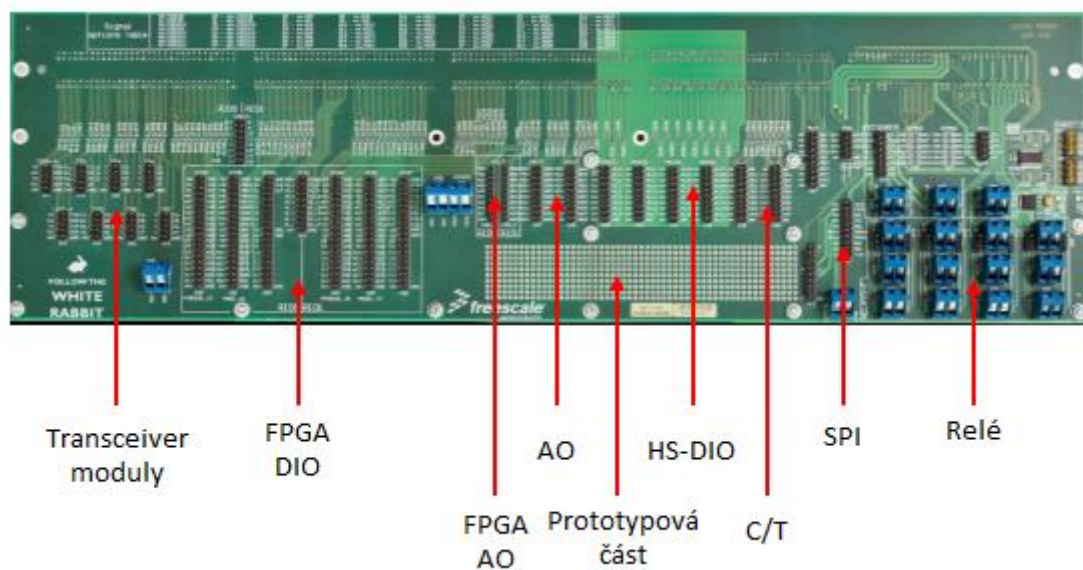
Obrázek 9: Transceiver karta

Na desce modulu se nachází kontrolér pro obsluhu integrovaných obvodů, EEPROM paměť obsahující ID pro rozpoznání modulu a propojovací relé.

1.4 ITA adaptér

ITA adaptér je vícevrstvá deska plošných spojů. Ze spodní strany obsahuje lištu s přesnými ploškami pro pružné kontakty, dosedající na desku receiveru. Z horní strany je osazena konektory pinového typu.

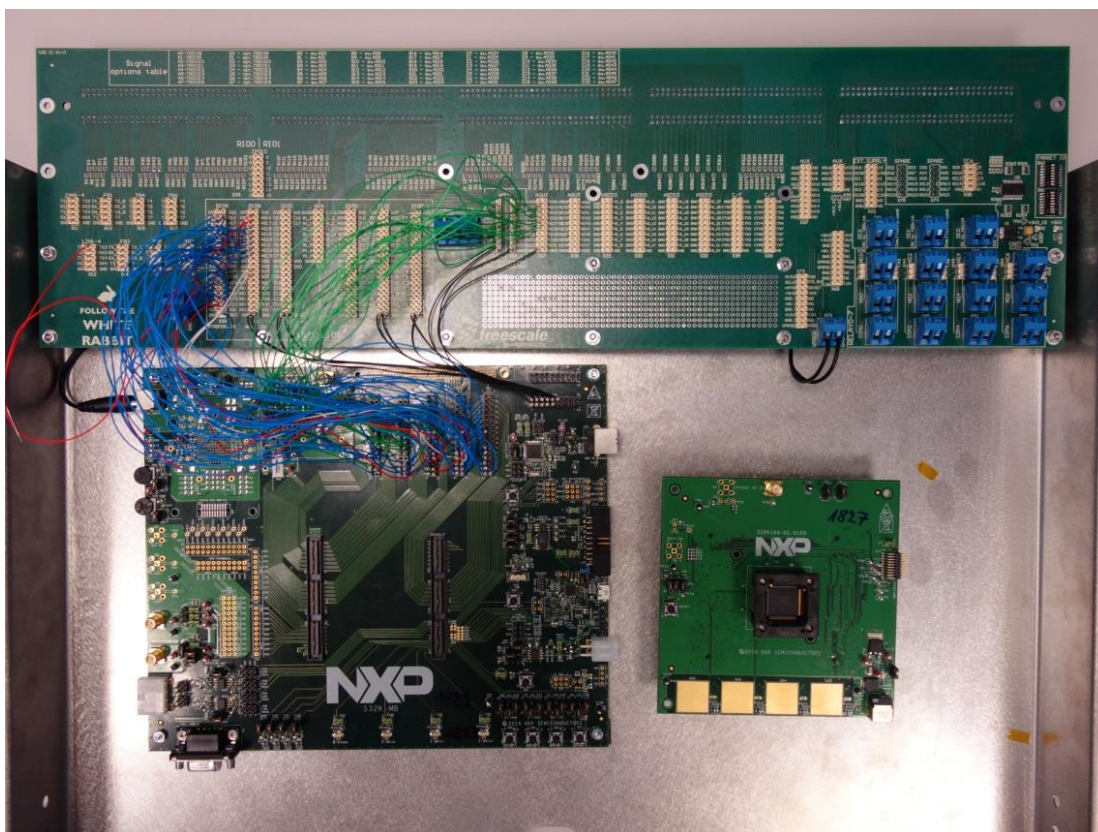
Adaptér slouží k distribuci všech signálů mezi testovací stanicí a vývojovou deskou se součástí pro test. Jsou na ni vyvedeny všechny signály ze stanice, což dává široké možnosti testování většiny periférií součástky. Deska také obsahuje malé prototypové pole pro případ, že by se některé signály musely pro připojení vývojové desky upravit. Konektory pro vývojovou desku jsou na adaptéru rozmístěny po funkčních blocích, což usnadňuje přehled o používaných perifériích. Popis funkčních bloků je na obrázku 10.



Obrázek 10: Rozložení konektorů na ITA adaptéru

K tomuto adaptéru se pomocí konektorů nebo prostým drátováním připojí vývojová deska, která obsahuje součástku pro testování. K této vývojové desce je ještě připojen debugger, který obstarává nahrávání programu do této součástky a jeho ladění. Chování součástky je poté sledováno na příslušných připojených vývodech a sběrnicích testovací stanicí

Na obrázku 11 je k ITA adaptéru připojena vývojová deska s testovanou součástkou. Celá tato souprava je upevněna v ocelové vaně, která zaručuje nehybnost obou desek při manipulaci.



Obrázek 11: Připojená vývojová deska k ITA adaptéru

Aby se mohlo testovat více součástek na různých vývojových deskách, je potřeba více ITA adaptérů. Z toho důvodu je na desce umístěn obvod pro nastavení ID adaptéru, což umožňuje pro danou součástku vybrat příslušnou testovací kampaň.

2 SELFTEST TESTOVACÍ STANICE

Na desce receiveru se nachází konektor čítající přes 600 pinů. Při testovací kampani se k němu připojuje ITA adaptér se součástkou pro testování. Aby testování bylo spolehlivé, je nutno vyloučit chyby jednak ve spojení s deskou receiveru, ale také i na testovací stanici samotné. Proto je nutné před každou testovací kampaní, nebo při pochybnostech provést selftest testovací stanice.

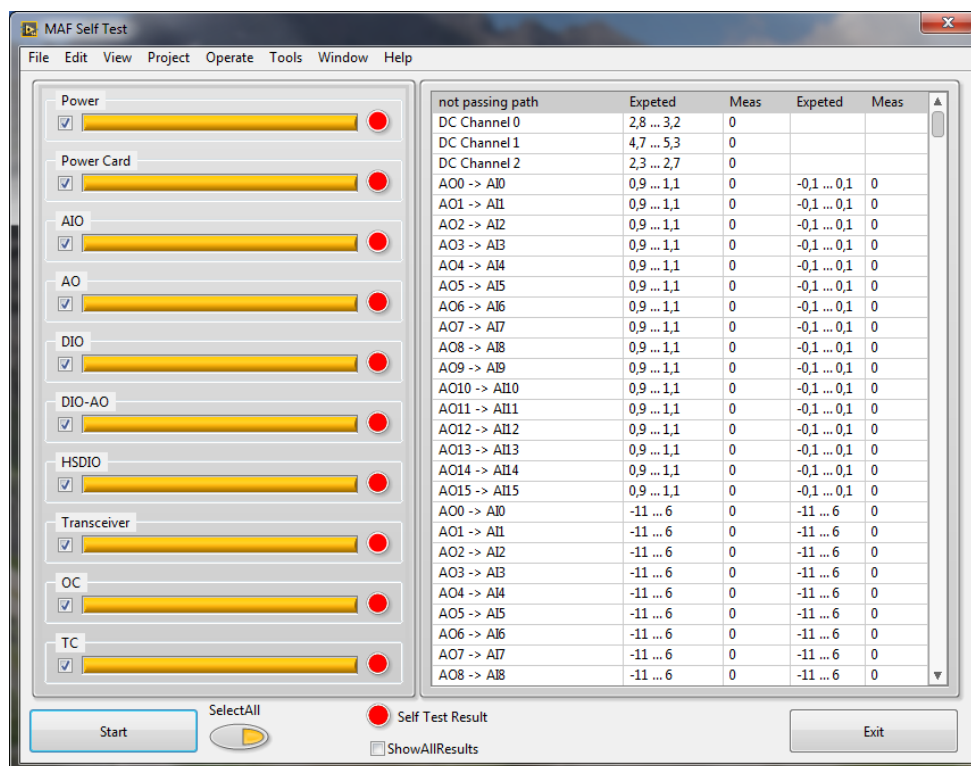
Úkolem selftestu je prověřit všechny funkce stanice jako takové, propojovací kabely mezi PXI moduly a receiverem, všechny propojovací cesty na desce receiveru, přepínací a řídicí obvody, napájení a také komunikaci se součástkou pro testování.

Selftest je stejně jako obslužný software testovací stanice psán grafickým programovacím jazykem ve vývojovém prostředí LabVIEW společnosti National Instruments. Tento jazyk se vyznačuje tím, že používá namísto psaného kódu schématické propojení a funkční bloky. Společnost National Instruments poskytuje plnou podporu jejího hardwaru v tomto prostředí a také uveřejňuje užitečné vzorové příklady použití.

Obslužný software, který je ovládán uživatelem, pracuje na operačním systému Windows. Zde se formují příkazy a data, například pro nastavení hodnoty na analogovém výstupu. Tyto informace se následně posílají do FPGA modulu. Na tomto modulu je spuštěn firmware, který tyto příkazy zpracovává a podle nich obsluhuje příslušné vývody modulu.

V hlavní smyčce firmwaru se čeká na příkazy a data z obslužného software. Paralelně s hlavní smyčkou běží také takzvaní démoni, kteří obsluhují konkrétní periférie modulu. Pokud se má například nastavit log. 1 na pinu A0, z obslužného software se vyšle příkaz a data skrze FIFO paměť do připojeného FPGA modulu. Firmware v FPGA modulu příkaz rozpozná a předá data démonu na obsluhu DIO pinů. Tento démon fyzicky nastaví zadanou logickou hodnotu na pin A0.

Zdrojový kód firmwaru je na obrázku 12. V tomto případě byl přijat požadavek na vypsání verze firmwaru, jehož odpověď je vytvořena v hlavní smyčce.

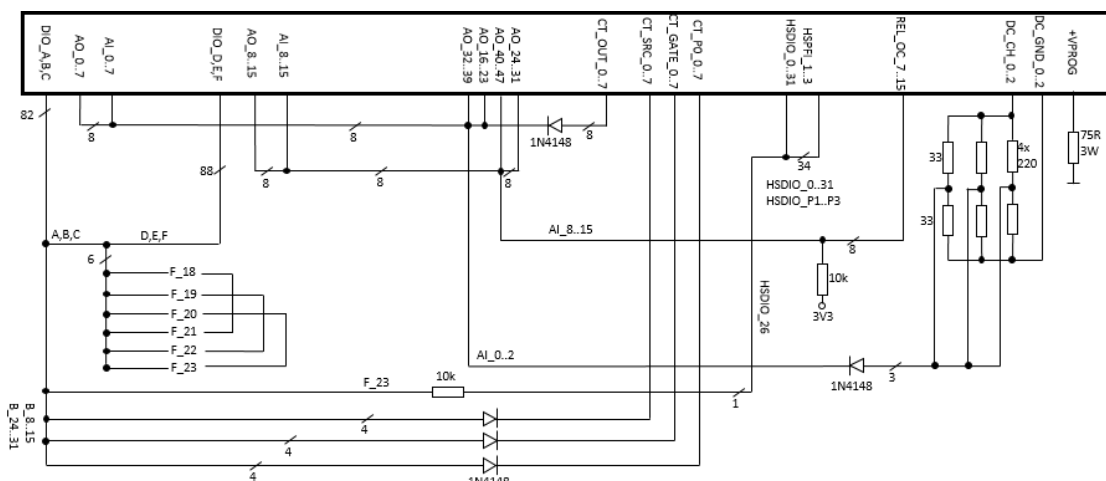


Obrázek 13: Čelní panel programu pro selftest. V tomto případě selhaly všechny testy

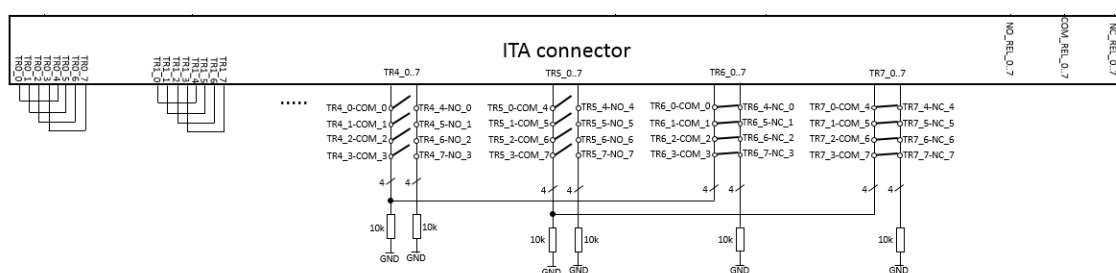
Pomocí zaškrtnutých polí je možno vybrat, která komponenta se bude testovat, a na ukazateli je vidět průběh. Pokud test proběhne správně, bude příslušná kontrolka testu svítit zeleně, pokud dojde k chybě a nějaká součástka nebo cesta nebude funkční, výsledná kontrolka bude svítit červeně a v tabulce výsledků se zobrazí údaj o tom, která cesta či součástka chybu způsobila. V případě, že se měřila analogová veličina, například napájecí napětí, je uveden i očekávaný rozsah měření a skutečná hodnota. To výrazně napomáhá obsluze ve vyšetření chyby.

Speciálně pro selftest byl použit unikátní ITA adaptér, na němž jsou vytvořena propojení s minimem přidaných součástek. Bylo nutno vytvořit důmyslné komplexní propojení, které by umožňovalo bez dodatečného zásahu plně automaticky testovat každý vývod a zároveň zajistit, aby signály mezi sebou nekolidovaly.

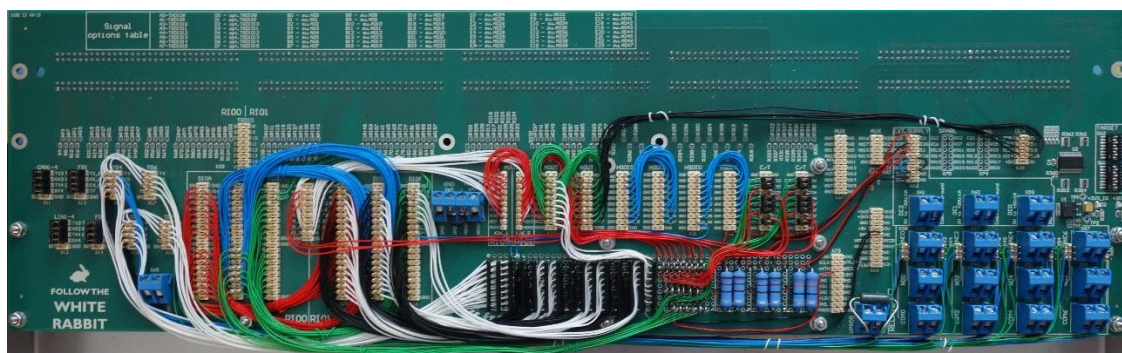
Kompletní blokové schéma a reálný pohled jsou na obrázcích 14, 15 a 16.



Obrázek 14: Blokové schéma zapojení ITA adaptéru pro selftest 1/2



Obrázek 15: Blokové schéma zapojení ITA adaptéru pro selftest 2/2



Obrázek 16: Pohled na skutečné zapojení pro selftest

Vzhledem k tomu, že je celkové blokové schéma příliš rozsáhlé a složité, je u každého testu popsáno zapojení pro konkrétní komponentu.

Jednotlivé kroky selftestu jsou popsány v následujících kapitolách.

3 TEST NAPÁJENÍ

V první části testování se prověřuje, zda má receiver napájení, které je nutno pro správnou funkci. Dále se testuje DC modul.

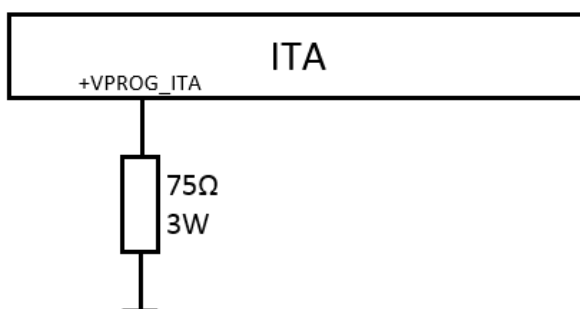
3.1 Externí napájení receiveru

Napájecí modul pro receiver obsahuje EEPROM paměť, aby jej bylo možno rozpoznat a případně zamezit spuštění testu, pokud by se jednalo o nekompatibilní modul pro daný test. Modul také obsahuje osmi kanálový AD převodník, na jehož vstupy jsou přivedené měřené napájecí napětí. Na prvním kanále je možno pomocí převodníku proud/napětí měřit proud programovatelného zdroje.

Měřené napájecí větve jsou:

- +VPROG_ITA_current
- +VPROG_ITA
- +3V3_ITA
- +5V_ITA
- +12V_ITA
- +5V_TR
- +12V_TR
- +24V_IN

Z těchto napájecích větví je na ITA desku vyvedena pouze větev +VPROG_ITA, na kterou je připojen výkonový rezistor pro měření protékajícího proudu. Blokové schéma pro toto zapojení je na obrázku 17.



Obrázek 17: Zapojení pro test programovatelného zdroje

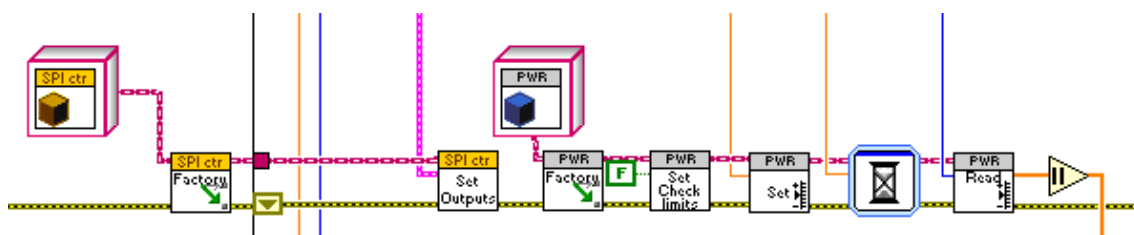
Testování probíhá podle následující tabulky 1.

Tabulka 1: Postup testování externího napájení receiveru

Testovací krok	Očekávaný výsledek
Vypnout napájení pro receiver Číst hodnoty z ADC	Hodnoty ADC musí být: • CH1: 0V • CH2: 0V • CH3: 0V • CH4: 0V • CH5: 0V • CH6: 0V • CH7: 0V

	CH8: 24V
Zapnout napájení pro receiver Číst hodnoty z ADC	Hodnoty ADC musí být: - CH1: 0,04V - CH2: 3,3V - CH3: 3,3V - CH4: 5V - CH5: 12V - CH6: 5V - CH7: 12V - CH8: 24V
Nastavit zdroj +V_PROG_ITA následovně 3,3V 5V 10V 15V Číst hodnoty ADC	Hodnoty ADC na kanálu 2 (napětí): 3,3V 5V 10V 15V Hodnoty ADC na kanálu 1 (proud): 0,045V 0,066V 0,13V 0,2V

Příklad zdrojového kódu pro některé funkce je na obrázku 18. Nejprve se inicializuje SPI sběrnice a povolí se výstupy pevných zdrojů. Poté se inicializuje a nastaví programovatelný zdroj a po uplynutí časové prodlevy, která je nutná pro nabití filtračních kondenzátorů, se přečtou hodnoty na AD převodníku.



Obrázek 18: Příklad funkcí pro nastavení výstupů zdroje a jejich čtení

3.2 Napájení pomocných obvodů na receiveru

Na receiveru se nacházejí pomocné obvody, které potřebují přepínatelné nebo symetrické napájecí napětí, například operační zesilovače pro analogové výstupy. Proto

jsou na desce receiveru další napět'ové stabilizátory, ke kterým je rovněž připojen vlastní AD převodník.

Tyto napájecí větve jsou:

- +3V3_CLAMP
- +5V_REC
- +3V3_AO
- +15V_AO
- +15V_AO
- +12V_REC
- VDD_SW
- +3V3_SW

Větev VDD_SW je programově přepínatelná mezi hodnotami napětí 3,3V a 5V.

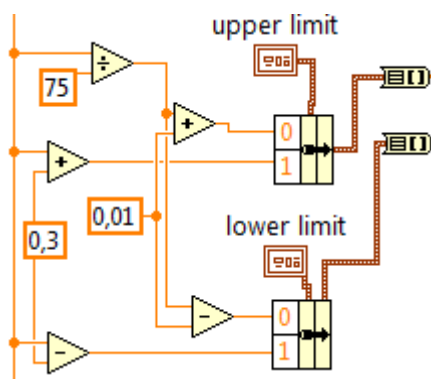
Pro tento test není zapotřebí jakékoli propojení na ITA desce.

Testovací kroky a očekávané výsledky jsou uvedeny v tabulce 2.

Tabulka 2: Postup testování napájení pomocných obvodů na receiveru

Testovací krok	Očekávaný výsledek
Nastavit VDD_SW na 3,3V Číst hodnoty z ADC	Hodnoty ADC musí být: • CH1: 3,3V • CH2: 5V • CH3: 3,3V • CH4: 15V • CH5: 15V • CH6: 12V • CH7: 3,3V • CH8: 3,3V
Nastavit VDD_SW na 5V Číst hodnoty kanálu CH7 z ADC	Hodnota na kanálu CH7 musí být: • CH7: 5V

Nastavování zdrojů a čtení jejich napětí je podobné jako v předchozí kapitole, proto je na obrázku 19 část zdrojového kódu pro výpočet tolerančního rozsahu pro měření. Požadovaná hodnota napětí se vydělí hodnotou rezistoru, což reprezentuje požadovaný proud zdroje. Z této hodnoty v ampérech se vytvoří limity s odchylkou 10 miliampérů, které se uloží na první místo v poli pro komplexní porovnání.



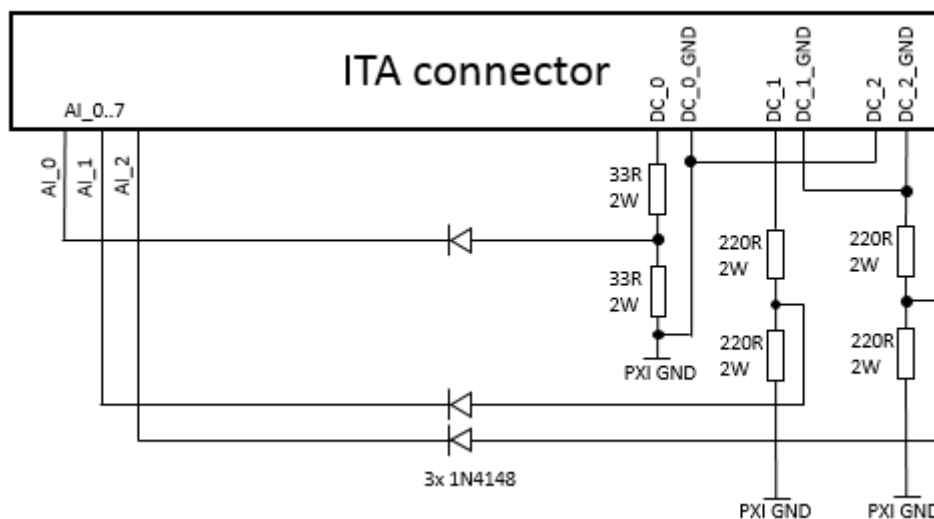
Obrázek 19: Výpočet rozsahu pro měření napětí a proudu na zdroji +V_PROG

3.3 Karta stejnosměrného zdroje

Pro případ, že by bylo potřeba napájení jiným napětím, než poskytuje interní zdroj, nebo pokud by bylo potřeba více zdrojů, je v PXI šasi osazena DC karta, která obsahuje jeden kanál stejnosměrného napětí v rozsahu 0 až 6 V a dva symetrické kanály o napětí 0 až ± 20 V. Symetrický zdroj má dokonce galvanicky oddělený zemnicí vodič, který je však pro potřeby selftestu nutno propojit se společnou zemnicí svorkou, což se provádí na ITA desce.

Aby bylo možno měřit i proud, jsou na výstupy připojeny rezistorové děliče. Na základě měřeného úbytku napětí lze dopočítat protékající proud.

Připojení děličů je na obrázku 20.



Obrázek 20: Blokové schéma pro test DC karty

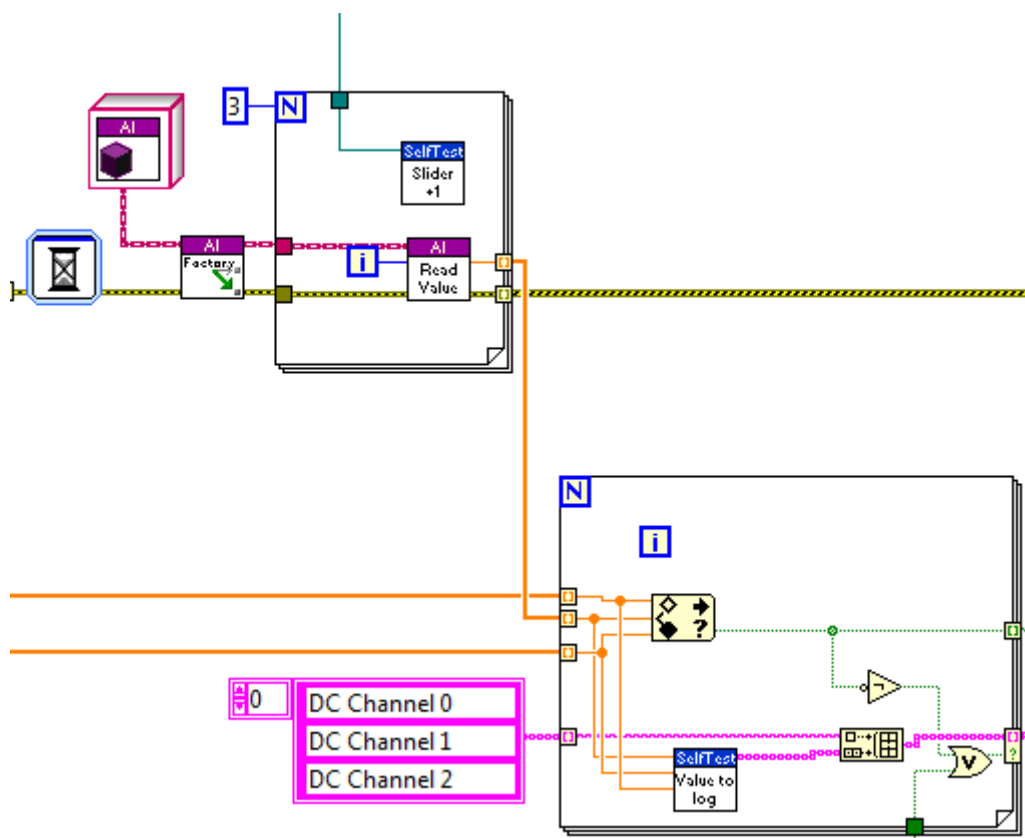
Výstupy pro měření je nutno oddělit diodami od analogových vstupů, aby rezistory o nízkých hodnotách neovlivňovaly měření analogovými vstupy jiných komponentů.

Testovací kroky jsou uvedeny v tabulce 3.

Tabulka 3: Postup testování DC karty

Testovací krok	Očekávaný výsledek
Nastavit napětí na DC kartě následovně: • CH0: 6V • CH1: 5V • CH2: -5V	Napětí na analogových vstupech musí být: • AI_0: 3V • AI_1: 2,5V • AI_2: 5V
Vypnout zdroje na DC kartě	Napětí na analogových vstupech musí být výchozí.

Test DC karty probíhá podobně jako test zdrojů na receiveru. Všechny tři kanály na zdroji se aktivují a nastaví se na nich zadané napětí. Po časové prodlevě, potřebné k nabití kondenzátorů zdroje, se napětí přečte analogovým vstupem a porovná se s nastavenými limitami. To můžeme vidět na obrázku 21 stejně tak jako vytvoření popisu cest a výsledku jejich testu.



Obrázek 21: Kód pro čtení napětí na DC kartě a vyhodnocování výsledku

4 TEST DIGITÁLNÍCH SIGNÁLŮ

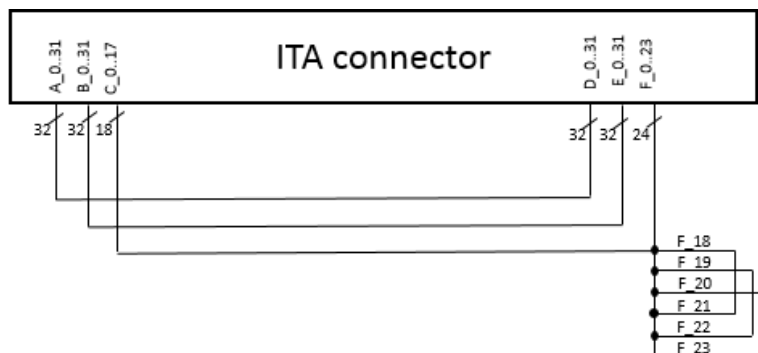
Nejprve se otestují digitální výstupy a vstupy na FPGA kartě a poté na HSDIO kartě. Pomocí FPGA karty se také testují digitální vstupy a výstupy časovačů/časovačů.

4.1 Digitální vstupy a výstupy FPGA karty

V testovací stanici jsou v PXI šasi osazeny dvě FPGA karty. Každá z těchto karet nabízí mimo jiné 96 digitálních vstupně-výstupních pinů, rozdělených do šesti portů, označených A až F. V testu jsou karty propojeny mezi sebou, jako je níže.

- A_0..31 → D_0..31
- B_0..31 → E_0..31
- C_0..17 → F_0..17
- F18 → F21
- F19 → F22
- F20 → F23

Blokové schéma propojení je na obrázku 22.



Obrázek 22: Zapojení pro test DIO signálů

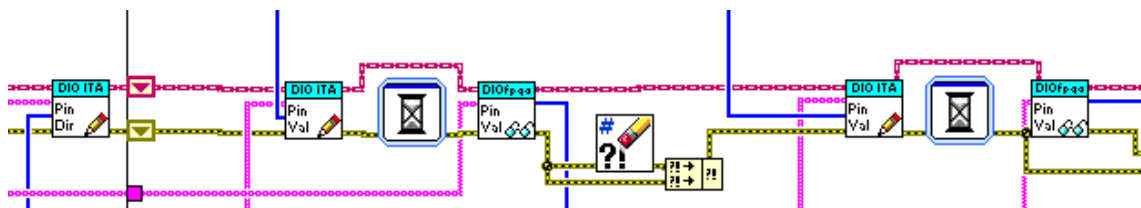
Postup testování je v tabulce 4.

Tabulka 4: Postup testování digitálních pinů FPGA karty

Testovací krok	Očekávaný výsledek
Nastavit log. 1 na portu A1 Číst hodnoty na všech ostatních portech	Na portu D1 musí být log. 1. Na všech ostatních portech musí být log. 0.
...	...
Nastavit log. 1 na portu A31	Na portu D31 musí být log. 1. Na všech

Číst hodnoty na všech ostatních portech	ostatních portech musí být log. 0.
Nastavit log. 1 na portu B1 Číst hodnoty na všech ostatních portech	Na portu E1 musí být log. 1. Na všech ostatních portech musí být log. 0.
...	...
Nastavit log. 1 na portu B31 Číst hodnoty na všech ostatních portech	Na portu E31 musí být log. 1. Na všech ostatních portech musí být log. 0.
Nastavit log. 1 na portu C1 Číst hodnoty na všech ostatních portech	Na portu F1 musí být log. 1. Na všech ostatních portech musí být log. 0.
...	...
Nastavit log. 1 na portu C31 Číst hodnoty na všech ostatních portech	Na portu F31 musí být log. 1. Na všech ostatních portech musí být log. 0.
Nastavit log. 1 na portu F18 Číst hodnoty na všech ostatních portech	Na portu F21 musí být log. 1. Na všech ostatních portech musí být log. 0.
...	...
Nastavit log. 1 na port F20 Číst hodnoty na všech ostatních portech	Na portu F23 musí být log. 1. Na všech ostatních portech musí být log. 0.

Na obrázku 23 je posloupnost funkcí pro testování jednoho pinu DIO. Nejprve se nastaví směr pinu, poté se na něj zapíše jedna logická hodnota a po uplynutí daného času se přečte hodnota na propojeném pinu. Pokud čtení proběhlo bez problému, nastaví se na výstup druhá (opačná) logická hodnota a opět se čte propojený pin.



Obrázek 23: Posloupnost testování jedné cesty na DIO pinech

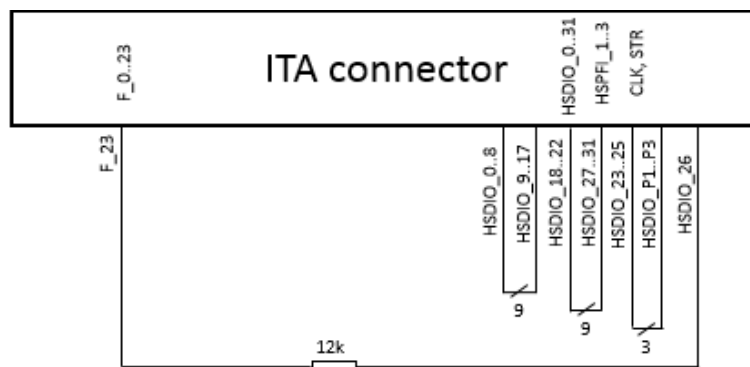
4.2 Vysokorychlostní digitální karta

Vysokorychlostní digitální vstupně-výstupní rozhraní je tvořeno PXI modulem v PXI šasi. Kromě dvaatřiceti DIO signálů HSDIO_0..31 jsou na ITA desku vyvedeny ještě pomocné signály HSDIO_P1 až HSDIO_P3. Vzhledem k tomu, že celkový počet signálů není sudý, nelze je propojit mezi sebou symetricky. Z toho důvodu byt pro jeden signál použít pin F23 z FPGA karty.

Propojení je provedeno následovně:

- HSDIO_0..8 → HSDIO_9..17
- HSDIO_18..22 → HSDIO_27..31
- HSDIO_23 → HSDIO_P1
- HSDIO_24 → HSDIO_P2
- HSDIO_25 → HSDIO_P3
- HSDIO_26 → F_23

Blokové schéma zapojení je na obrázku 24.



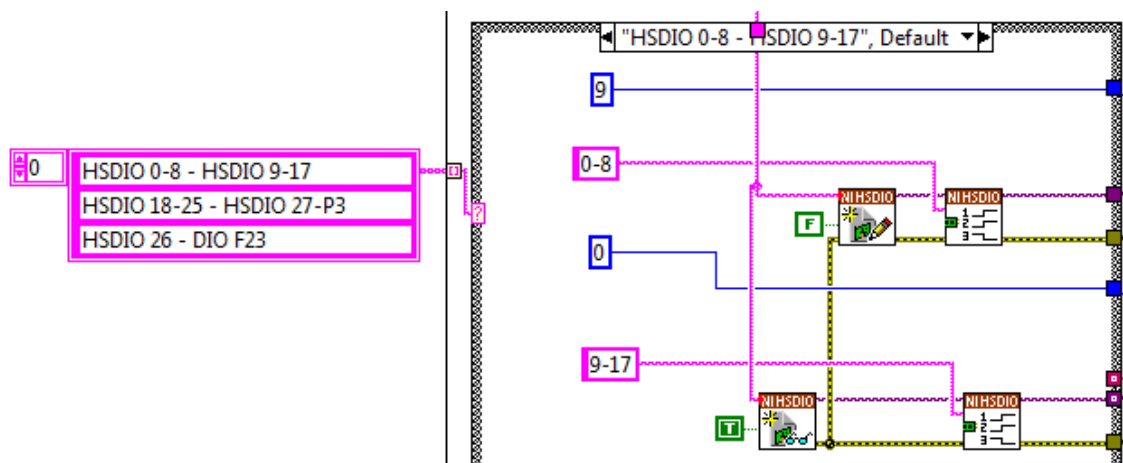
Obrázek 24: Blokové schéma pro HSDIO test

Testování probíhá podle následující tabulky 5.

Tabulka 5: Postup testování vysokorychlostní digitální karty

Testovací krok	Očekávaný výsledek
Poslat data na HSDIO_0..8 Číst data na pinech HSDIO_9..17	Data na pinech HSDIO_9..17 musí odpovídat datům, vyslaným na HSDIO_0..8
Poslat data na HSDIO_18..22 Číst data na pinech HSDIO_27..31	Data na pinech HSDIO_27..31 musí odpovídat datům, vyslaným na HSDIO_18..22
Poslat data na HSDIO_23..26 Číst data na pinech HSDIO_P1..P3 a F23	Data na pinech HSDIO_P1..P3 a F23 musí odpovídat datům, vyslaným na HSDIO_23..26

Na tomto obrázku 25 je zobrazena posloupnost testovaných pinů přesně podle testovacích kroků. Pro každou volbu se inicializují vstupy a výstupy na HSDIO kartě. Poté je zápis a čtení pinů obdobný jako u DIO pinů.



Obrázek 25: Posloupnost testování daných skupin pinů

4.3 Čítače, časovače, měnič úrovně

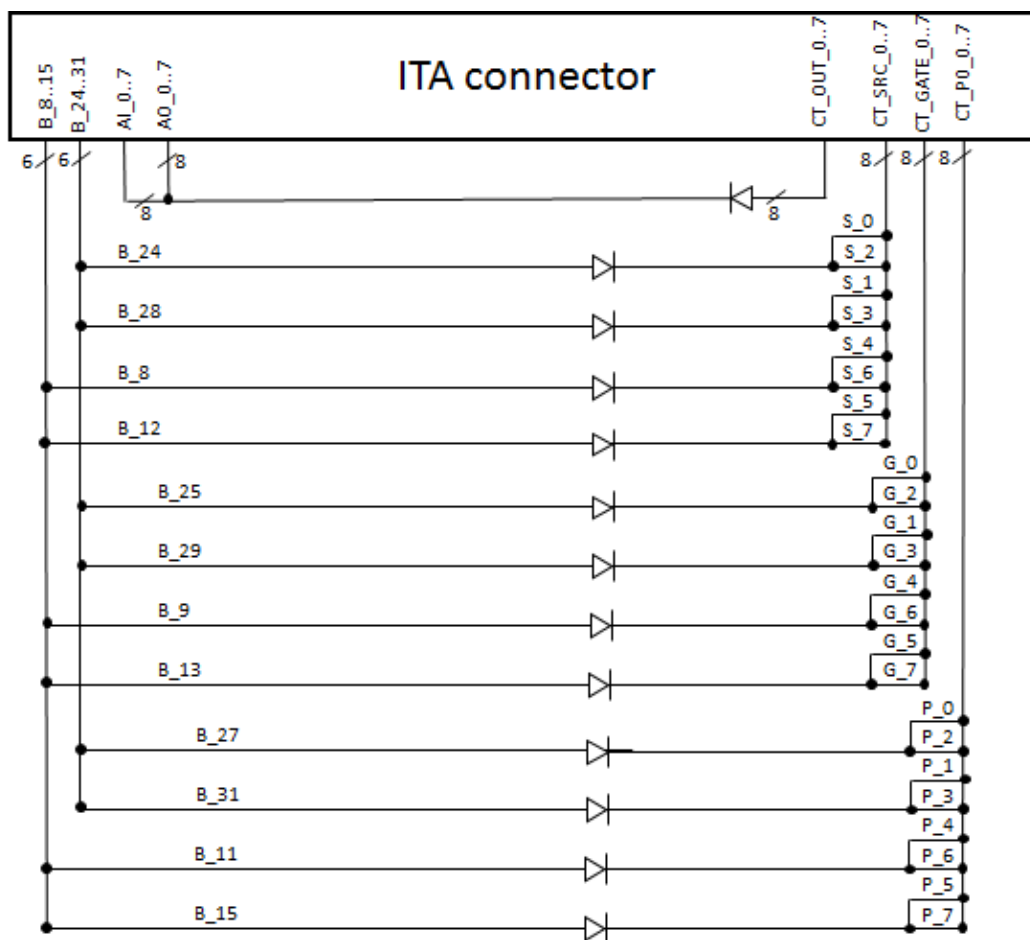
V PXI šasi je osazena také karta obsahující programovatelné čítače a časovače. Ty jsou v mnoha aplikacích užitečné například pro generování signálu, nebo měření frekvence či periody. Jelikož se mnohdy testují součástky s rozdílnou úrovněovou logikou, je nutno opatřit výstupy čítačů měničem úrovně. Ty jsou osazeny na desce receiveru a mohou být programově nastavitelné na hodnoty 3,3 V a 5 V.

Propojení na ITA desce je popsáno níže:

- CTO_0..7	→	dioda	→	AI_0..7	
- B_24	→	dioda	→	CTS_0	→ CTS_2
- B_25	→	dioda	→	CTG_0	→ CTG_2
- B_27	→	dioda	→	CTP_0	→ CTP_2
- B_28	→	dioda	→	CTS_1	→ CTS_3
- B_29	→	dioda	→	CTG_1	→ CTG_3
- B_31	→	dioda	→	CTP_1	→ CTP_3
- B_8	→	dioda	→	CTS_4	→ CTS_6
- B_9	→	dioda	→	CTG_4	→ CTG_6
- B_11	→	dioda	→	CTP_4	→ CTP_6
- B_12	→	dioda	→	CTS_5	→ CTS_7
- B_13	→	dioda	→	CTG_5	→ CTG_7
- B_15	→	dioda	→	CTP_5	→ CTP_7

Vzhledem k tomu, že vstupy čítačů jsou přivedeny na DIO výstupy je potřeba tyto cesty ošetřit tak aby se neovlivňovaly při testech jiných komponent. Proto jsou mezi tyto části zařazeny sériově diody, které propouští signál pouze z DIO výstupů na vstupy čítačů. Stejně tak výstupy časovačů jsou přivedeny přes diody do analogových vstupů na FPGA kartě. Analogové vstupy zde byly použity, protože je na nich možno vyčítat přímo úroveň napětí z časovačů, čímž se ověří funkce měniče úrovně.

Blokové schéma je na obrázku 26.



Obrázek 26: Blokové schéma pro testování čítačů, časovačů a měniče napětí

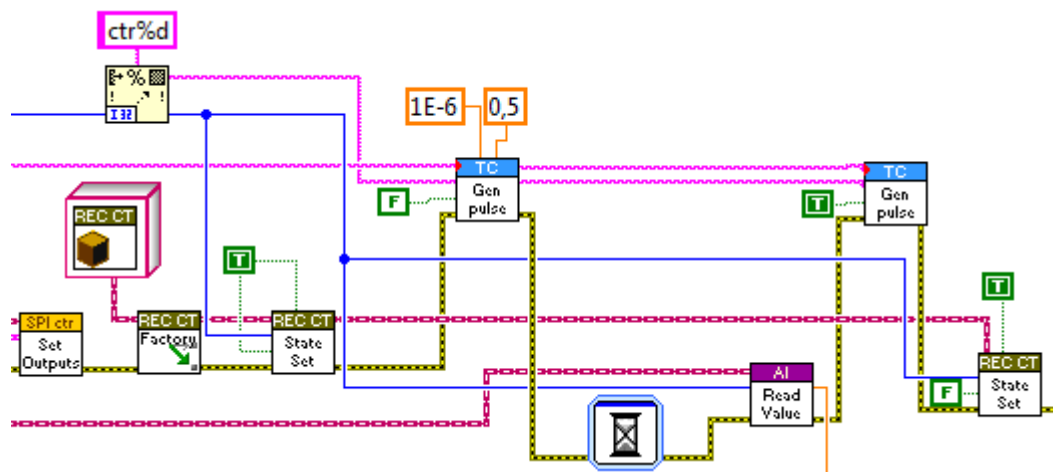
Seznam testovacích kroků je uveden v tabulce 6.

Tabulka 6: Postup testování čítačů, časovačů a měniče úrovně

Testovací krok	Očekávaný výsledek
Nastavit měnič napětí na 3,3V Poslat na výstupy časovačů kladný impuls Měřit úroveň signálu na vstupech AI_0..7	Na vstupech AI_0..7 musí být kladný impuls o napětí 3,3V
Nastavit měnič napětí na 5V Poslat na výstupy časovačů kladný impuls Měřit úroveň signálu na vstupech AI_0..7	Na vstupech AI_0..7 musí být kladný impuls o napětí 5V
Nastavit log. 1 na výstupy CTS_0..3, CTG_0..3 a CTP_0..3 Číst hodnoty na digitálních vstupech B_24..31	Čtené hodnoty ze vstupů B_24..31 musí odpovídat nastaveným hodnotám
Nastavit log. 1 na výstupy CTS_4..7,	Čtené hodnoty ze vstupů B_8..15 musí

CTG_4..7 a CTP_4..7 Číst hodnoty na digitálních vstupech B_8..15	odpovídat nastaveným hodnotám
--	-------------------------------

Na obrázku 27 je detail testování výstupu časovače. Po nastavení měniče napětí podle testovacího kroku se inicializuje časovač a generuje se impulz. V tomto případě nízká úroveň trvá jednu mikrosekundu a vysoká úroveň půl vteřiny. Před přečtením hodnoty na analogovém vstupu je nutno počkat minimálně dobu trvání nízké hodnoty.



Obrázek 27: Schéma generování impulzu časovačem a jeho čtení analogovým vstupem

5 TEST ANALOGOVÝCH SIGNÁLŮ

Nejprve se testují analogové výstupy a vstupy na FPGA a AO kartě a poté se pomocí digitálních vstupů FPGA karty testují analogové přepínače.

5.1 Analogové výstupy na FPGA kartě

Dvě osazené FPGA karty obsahují také krom DIO portů také dohromady šestnáct analogových výstupů a šestnáct analogových vstupů, po osmi na každé kartě. Pro případ testování se analogové výstupy symetricky propojí s analogovými vstupy.

Analogové výstupy je možno pomocí jedné sady přepínačů na receiveru připojit či naopak odpojit od analogového konektoru na ITA desce, zatímco druhá sada přepínačů spojuje analogový konektor na ITA desce s vybranými DIO piny na FPGA kartě. Přepínače jsou ovládány pomocí SPI sběrnice, která je oddělená od ostatních obvodů aby touto cestou nepronikalo rušení do citlivých analogových obvodů.

Analogovými přepínači je možno provést toto propojení:

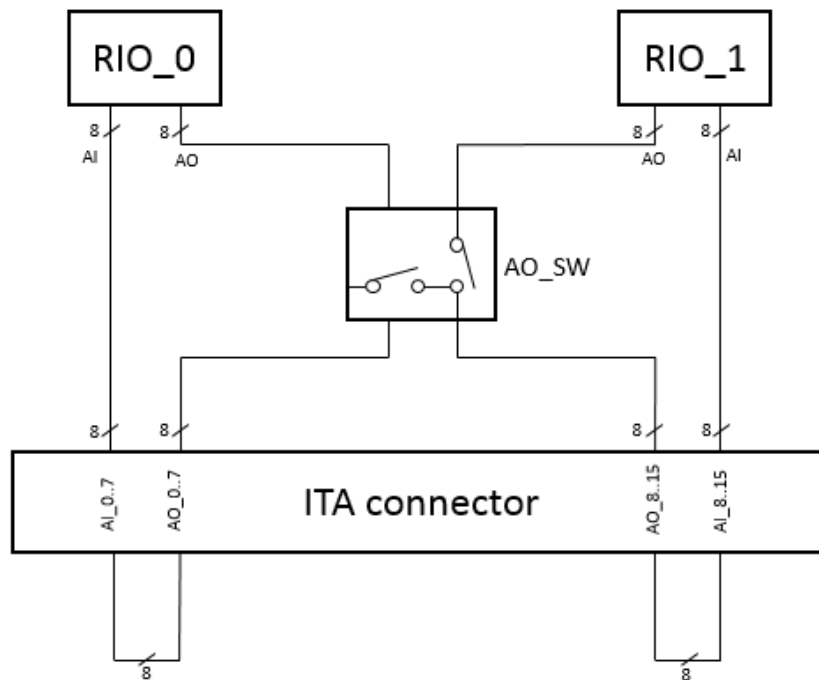
- NI_AO (PXI) $\Leftrightarrow$ AO (ITA)

- NI_DIO (PXI) $\Leftrightarrow$ AO (ITA)

Propojení na ITA desce je následující:

- AO_0..7 $\rightarrow$ AI_0..7
- AO_8..15 $\rightarrow$ AI_8..15

Na obrázku 28 je blokové schéma pro testování.



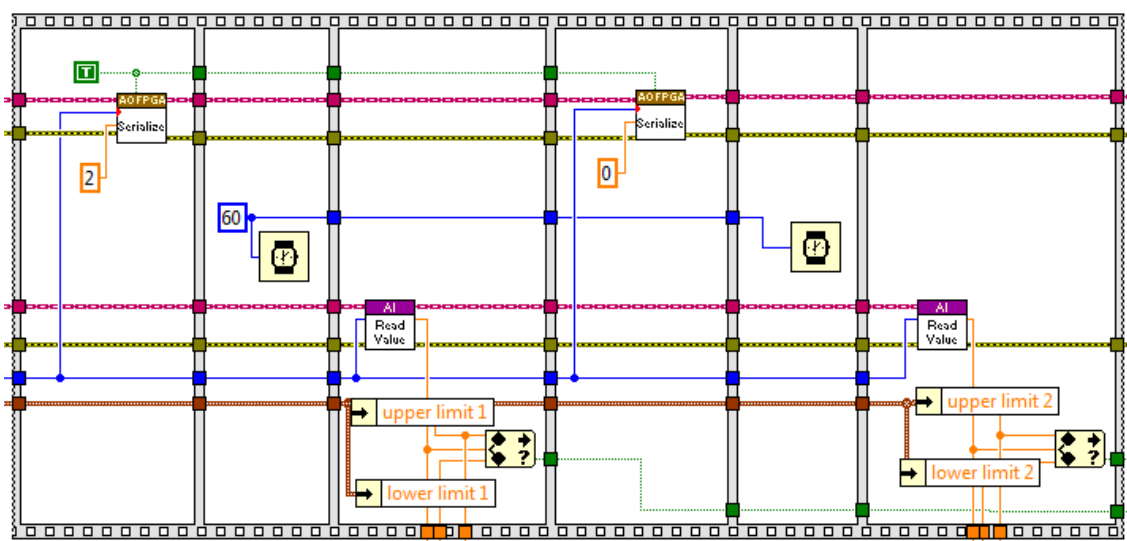
Obrázek 28: Blokové schéma pro test Analogových vstupů a výstupů

Postup pro testování je uveden v tabulce 7.

Tabulka 7: Postup testování analogových výstupů a vstupů FPGA karty

Testovací krok	Očekávaný výsledek
Nastavit analogovou hodnotu na pinech AO_0..15 Číst hodnoty na vstupech AI_0..15	Hodnoty na vstupech AI_0..15 musí odpovídat nastaveným hodnotám
Rozpojit propojovací spínače a opakovat nastavování hodnot na AO výstupech	Na AI vstupech musí být nezměněná klidová úroveň

Obrázek 29 znázorňuje testovací sekvenci pro testování cesty z analogového výstupu k analogovému vstupu. Podobně jako u testu digitálních pinů se nejprve nastaví hodnota analogového výstupu a po uplynutí časové prodlevy přečte příslušný analogový vstup a porovná s nastavenými limitami.



Obrázek 29: Sekvence testu analogového výstupu a vstupu

5.2 Analog Output karta

Díky PXI modulu je možno generovat analogový signál. Tento modul obsahuje celkem 32 analogových výstupů, jejichž rozsah napětí je od -15V do 15V. Stejně jako u FPGA karty jsou i tyto analogové výstupy přepínatelné na ITA desku nebo di DIO pinů na FPGA kartě.

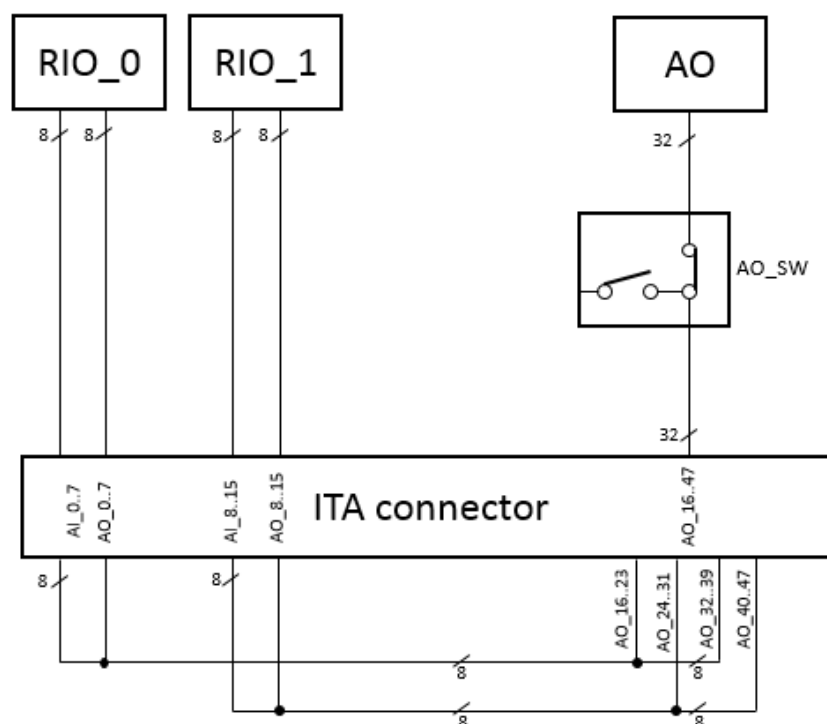
Analogovými přepínači je možno provést toto propojení:

- NI_AO (PXI) $\Leftrightarrow$ AO (ITA)
- NI_DIO (PXI) $\Leftrightarrow$ AO (ITA)

Signály se na ITA desce propojí takto:

- AO_16..23 $\rightarrow$ AI_0..7
- AO_24..31 $\rightarrow$ AI_8..15
- AO_32..39 $\rightarrow$ AO_0..7
- AO_40..47 $\rightarrow$ AO_8..15

Blokové schéma propojení je na obrázku 30.



Obrázek 30: Zapojení pro testování analogových výstupů PXI modulu

Jelikož FPGA modul má 16 analogových výstupů a PXI AO modul 32, jsou tyto výstupy jednotně označeny jako AO_0..47, přičemž výstupy AO_0..15 přísluší FPGA modulu a výstupy AO_16..47 PXI AO modulu.

Pro testování analogových výstupů v celém napěťovém rozsahu byly použity analogové vstupy FPGA modulu, kterých je však pouze šestnáct. Proto se využívá těchto analogových přepínačů a při nastavování úrovně se sepne příslušný spínač, zatímco ostatní jsou rozpojeny.

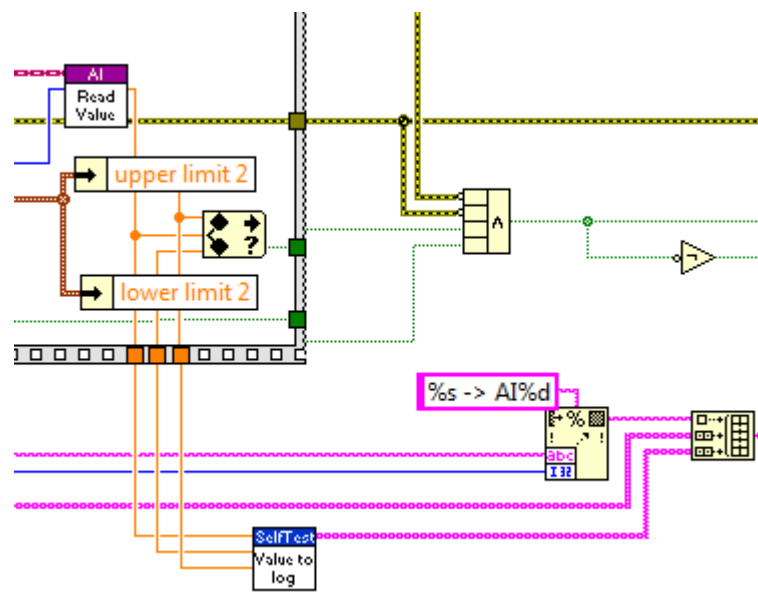
Testovací kroky jsou uvedeny v tabulce 8.

Tabulka 8: Postup testování analogových výstupů AO karty

Testovací krok	Očekávaný výsledek
Nastavit analogovou hodnotu na pinech AO_16..23 Číst hodnoty na vstupech AI_0..7	Hodnoty na vstupech AI_0..7 musí odpovídat nastaveným hodnotám
Nastavit analogovou hodnotu na pinech AO_24..31 Číst hodnoty na vstupech AI_8..15	Hodnoty na vstupech AI_8..15 musí odpovídat nastaveným hodnotám
Nastavit analogovou hodnotu na pinech AO_32..39	Hodnoty na vstupech AI_0..7 musí odpovídat nastaveným hodnotám

Číst hodnoty na vstupech AI_0..7	
Nastavit analogovou hodnotu na pinech AO_40..47	Hodnoty na vstupech AI_8..15 musí odpovídat nastaveným hodnotám
Číst hodnoty na vstupech AI_8..15	
Rozpojit propojovací spínače a opakovat nastavování hodnot na AO výstupech	Na AI vstupech musí být nezměněná klidová úroveň

Test AO karty má podobný zdrojový kód jako test analogových výstupů na FPGA kartě. Proto je na obrázku 31 znázorněno vyhodnocování výsledků. Výsledky porovnání měřené hodnoty s limitami jsou přivedeny do bloku logického součinu, stejně tak informace o případných chybách při výkonu čtecích a zápisových funkcí. Test tedy proběhl úspěšně, pokud měřené hodnoty byly v toleranci a zároveň nedošlo při testu k žádným chybám. Nakonec je vytvořen popis testované cesty a k němu je přiřazen výsledek testu a naměřená hodnota s uvedeným rozsahem.



Obrázek 31: Příklad vyhodnocování výsledku test a jeho zápis do logu

5.3 Přepínače pro analogové výstupy

Jak již bylo uvedeno, do konektoru pro analogové výstupy na ITA adaptéru je možno přivádět pomocí přepínačů na receiveru buďto analogové signály z analogové karty, nebo digitální signály z FPGA karty.

Analogové přepínače zajišťují toto propojení:

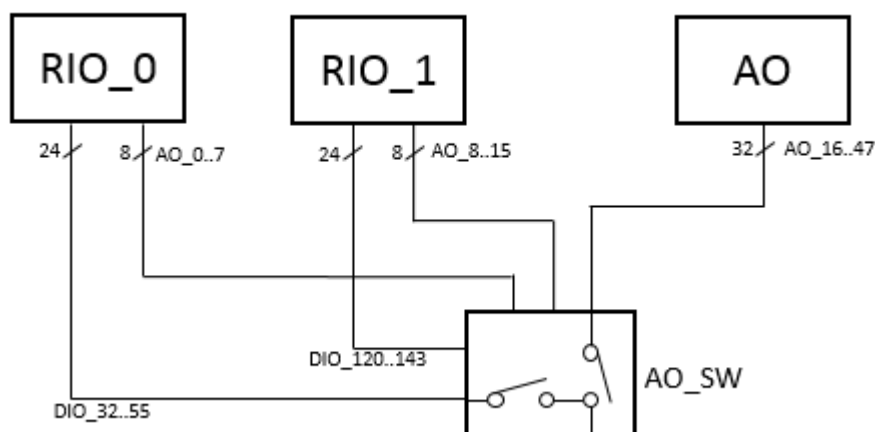
- NI_AO (PXI) $\Leftrightarrow$ AO (ITA)
- NI_DIO (PXI) $\Leftrightarrow$ AO (ITA)

Cesta NI_AO (PXI) $\Leftrightarrow$ AO (ITA) byla prověřena v předchozích bodech. Nyní se

testuje druhá možnost, cesta NI_AO (PXI) $\Leftrightarrow$ AO (ITA).

Pro tento test není třeba jakékoli propojení na ITA adaptéru, protože se cesty přepínají na receiveru.

Obrázek 32 popisuje propojení pro test.



Obrázek 32: Blokové schéma pro testování analogových přepínačů

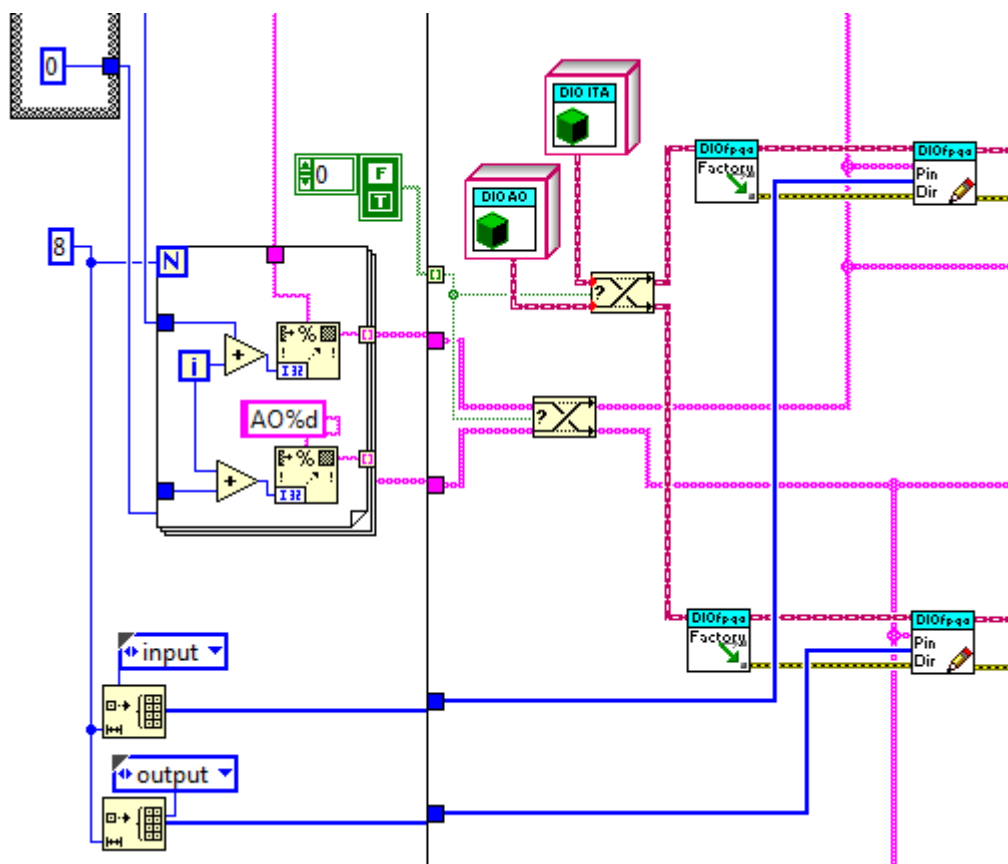
Testovací kroky jsou uvedeny v tabulce 9.

Tabulka 9: Postup testování analogových přepínačů

Testovací krok	Očekávaný výsledek
Sepnout přepínače pouze na pozicích AO_0..23 Poslat úroveň log. 1 na výstupy AO_0..23 Číst data na vstupech DIO_32..55	Data na vstupech DIO_32..55 musí odpovídat vyslaným datům.
Sepnout přepínače pouze na pozicích AO_24..47 Poslat úroveň log. 1 na výstupy AO_24..47 Číst data na vstupech DIO_120..143	Data na vstupech DIO_120..143 musí odpovídat vyslaným datům.
Všechny spínače rozpojit Opakovat posílání dat a čtení	Na všech vstupech musí být klidová výchozí hodnota.
Opakovat předchozí kroky pro opačný směr	Výsledky musí být stejné jako v předchozích krocích

Zdrojový kód testu AO přepínačů je podobný jako u digitálních pinů. Obrázek 33 popisuje prohození směru testování. Nejprve se nastaví DIO piny, jejichž signál jde přes

analogové přepínače jako výstupy, a DIO piny připojené na ITA desce jako vstupy. Pro otestování všech cest se nastavení směru invertuje a testování se opakuje.



Obrázek 33: Blokové schéma změny směru testovacích cest

6 TEST POMOCNÝCH OBVODŮ

Také se testují pomocné obvody, které se starají o spínání a přepínání některých signálů na desce receiveru, nebo pomocné obvody pro ITA desku.

6.1 Třicestné přepínače, přepínač sběrnice a relé

Pro možnost komunikace mezi transceiver kartami a FPGA kartami jsou na receiver desce umístěny dvě sběrnice. Jedna je hlavní a druhá alternativní pro případ potřeby. Mezi oběma sběrnicemi lze programově přepínat. Tyto sběrnice jsou také vybaveny oddělovacími buffery, které je od FPGA karty oddělí, aby nijak neovlivňovaly svou parazitní kapacitou případnou komunikaci na daných pinech FPGA karty. Mezi transceivery, ITA adaptérem a sběrnicí se nachází třicestné přepínače pro případné oddělení ostatních komponent, nebo přivedení signálu z transceiverů do FPGA karet.

Také se na desce receiveru nachází sada osmi relé, jejichž silové kontakty jsou vyvedeny na ITA desku.

Tyto přepínače mohou být nastaveny následovně:

- Transceiver $\Leftrightarrow$ ITA
- ITA $\Leftrightarrow$ BUS
- Transceiver $\Leftrightarrow$ BUS

Buffer, který se nachází na obou sběrnicích, může být nastaven do těchto dvou stavů:

- FPGA $\rightarrow$ BUS
- BUS $\rightarrow$ FPGA

Stejně tak přepínače sběrnice mohou být naprogramovány takto:

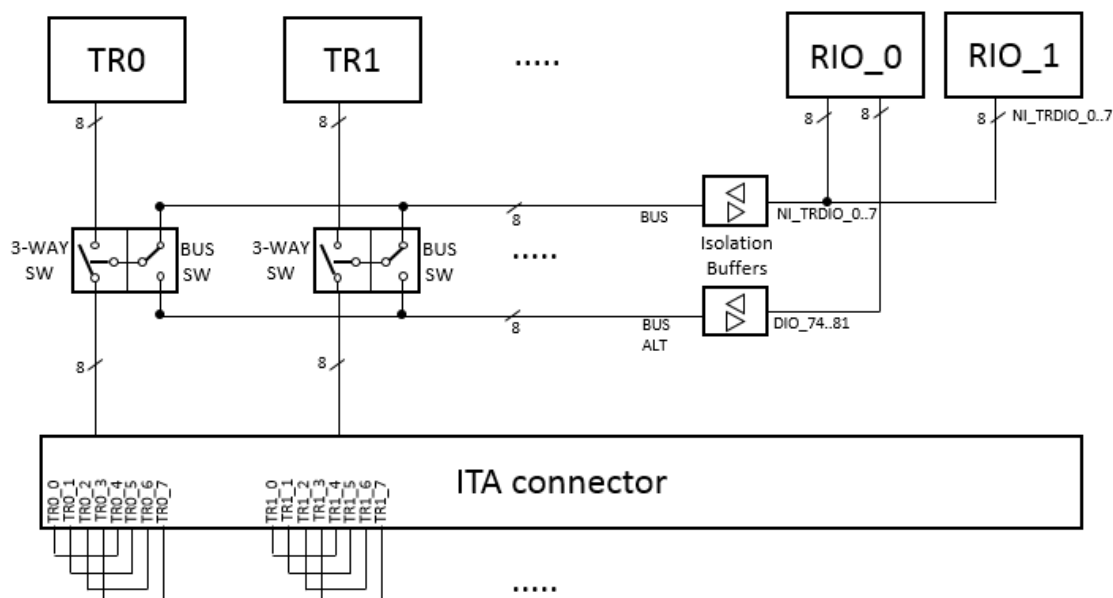
- Transceiver $\Leftrightarrow$ BUS
- Transceiver $\Leftrightarrow$ BUS_ALT

Toto propojení je následující:

- TR0_0 $\rightarrow$ TR0_4, TR0_1 $\rightarrow$ TR0_5, TR0_2 $\rightarrow$ TR0_6, TR0_3 $\rightarrow$ TR0_7
- TR1_0 $\rightarrow$ TR1_4, TR1_1 $\rightarrow$ TR1_5, TR1_2 $\rightarrow$ TR1_6, TR1_3 $\rightarrow$ TR1_7
- TR2_0 $\rightarrow$ TR2_4, TR2_1 $\rightarrow$ TR2_5, TR2_2 $\rightarrow$ TR2_6, TR2_3 $\rightarrow$ TR1_7
- TR3_0 $\rightarrow$ TR3_4, TR3_1 $\rightarrow$ TR3_5, TR3_2 $\rightarrow$ TR3_6, TR3_3 $\rightarrow$ TR3_7
- TR4_0 $\rightarrow$ TR6_0 $\rightarrow$ COM_REL_0 TR4_4 $\rightarrow$ NO_REL_0
- TR4_1 $\rightarrow$ TR6_1 $\rightarrow$ COM_REL_1 TR4_5 $\rightarrow$ NO_REL_1
- TR4_2 $\rightarrow$ TR6_2 $\rightarrow$ COM_REL_2 TR4_6 $\rightarrow$ NO_REL_2
- TR4_3 $\rightarrow$ TR6_3 $\rightarrow$ COM_REL_3 TR4_7 $\rightarrow$ NO_REL_3
- TR5_0 $\rightarrow$ TR7_0 $\rightarrow$ COM_REL_4 TR5_4 $\rightarrow$ NO_REL_4
- TR5_1 $\rightarrow$ TR7_1 $\rightarrow$ COM_REL_5 TR5_5 $\rightarrow$ NO_REL_5
- TR5_2 $\rightarrow$ TR6_7 $\rightarrow$ COM_REL_6 TR5_6 $\rightarrow$ NO_REL_6
- TR5_3 $\rightarrow$ TR7_3 $\rightarrow$ COM_REL_7 TR5_7 $\rightarrow$ NO_REL_7
- TR6_0 $\rightarrow$ TR4_0 $\rightarrow$ COM_REL_0 TR6_4 $\rightarrow$ NC_REL_0
- TR6_1 $\rightarrow$ TR4_1 $\rightarrow$ COM_REL_1 TR6_5 $\rightarrow$ NC_REL_1
- TR6_2 $\rightarrow$ TR4_2 $\rightarrow$ COM_REL_2 TR6_6 $\rightarrow$ NC_REL_2
- TR6_3 $\rightarrow$ TR4_3 $\rightarrow$ COM_REL_3 TR6_7 $\rightarrow$ NC_REL_3
- TR7_0 $\rightarrow$ TR5_0 $\rightarrow$ COM_REL_4 TR7_4 $\rightarrow$ NC_REL_4
- TR7_1 $\rightarrow$ TR5_1 $\rightarrow$ COM_REL_5 TR7_5 $\rightarrow$ NC_REL_5
- TR7_2 $\rightarrow$ TR5_7 $\rightarrow$ COM_REL_6 TR7_6 $\rightarrow$ NC_REL_6
- TR7_3 $\rightarrow$ TR5_3 $\rightarrow$ COM_REL_7 TR7_7 $\rightarrow$ NC_REL_7

Ke konektorům, ke kterým jsou připojeny relé, je potřeba připojit pull-down rezistory, protože budou v situaci, kdy nejsou připojeny k jiným obvodům a při čtení jejich úrovně se na tuto hodnotu nemůžeme spolehnout.

Zapojení pro tento test je komplexnější, protože je nutno testovat několik komponentů. Blokové schéma obrázku 34 není proto úplné. Celé blokové schéma je uvedeno v příloze A1.



Obrázek 34: Blokové schéma propojení pro test třicestných přepínačů, izolačních bufferů, přepínačů sběrnice a relé

Tabulky 10 a 11 uvádí kroky pro testování všech uvedených komponent.

Tabulka 10: Postup testování třicestných přepínačů, oddělujících bufferů a relé

Testovací krok	Očekávaný výsledek
Nastavit buffer sběrnice TRBUFF_0..3 na stav FPGA → BUS Nastavit přepínač sběrnice na stav Transceiver ↔ BUS	
Nastavit třicestné přepínače u TR0 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR1 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR2 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3

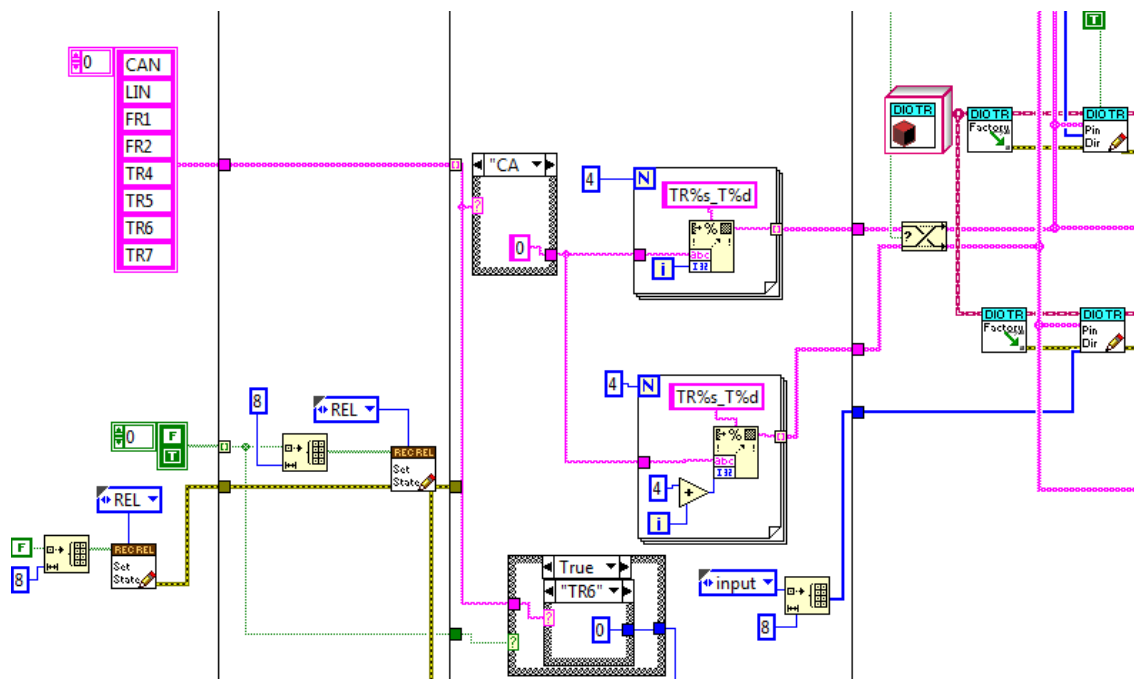
Nastavit třicestné přepínače u TR3 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR4 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Sepnout relé Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR4 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Rozepnout relé Číst data na pinech TRDIO_4..7	Na pinech TRDIO_4..7 musí být log. 0
Nastavit třicestné přepínače u TR5 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Sepnout relé Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR5 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Rozepnout relé Číst data na pinech TRDIO_4..7	Na pinech TRDIO_4..7 musí být log. 0
Nastavit třicestné přepínače u TR6 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Rozepnout relé Číst data na pinech TRDIO_4..7	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na TRDIO_0..3
Nastavit třicestné přepínače u TR6 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Sepnout relé Číst data na pinech TRDIO_4..7	Na pinech TRDIO_4..7 musí být log. 0
Nastavit třicestné přepínače u TR7 do stavu ITA-BUS	Data na pinech TRDIO_4..7 musí odpovídat vyslaným datům na

Poslat data na piny TRDIO_0..3 Rozepnout relé Číst data na pinech TRDIO_4..7	TRDIO_0..3
Nastavit třicestné přepínače u TR7 do stavu ITA-BUS Poslat data na piny TRDIO_0..3 Sepnout relé Číst data na pinech TRDIO_4..7	Na pinech TRDIO_4..7 musí být log. 0

Tabulka 11: Postup testování oddělujících bufferů a přepínače sběrnice

Testovací krok	Očekávaný výsledek
Nastavit buffer sběrnice TRBUFF_0..3 na stav FPGA → BUS a TRBUFF_4..7 na stav BUS → FPGA Nastavit přepínač sběrnice na stav Transceiver ↔ BUS Vyslat data na TRDIO_0..3 a číst na TRDIO_4..7	Data na TRDIO_4..7 musí být stejná jako byla vyslána na TRDIO_0..3 a to na obou FPGA kartách
Nastavit buffer sběrnice TRBUFF_ALT_8..11 na stav FPGA → BUS a TRBUFF_ALT_12..15 na stav BUS → FPGA Nastavit přepínač sběrnice na stav Transceiver ↔ BUS_ALT Vyslat data na TRDIO_8..11 a číst na TRDIO_12..15	Data na TRDIO_12..15 musí být stejná jako byla vyslána na TRDIO_8..11

Část zdrojového kódu je na obrázku 35. Podobně jako u testu HSDIO je možno vidět posloupnost testování jednotlivých transceiverů. První čtyři transceivery jsou v programu pro větší přehlednost pojmenovány CAN, LIN a Flex-Ray, protože mají ve stanici své pevné místo. Nejprve se vypnou všechna relé, pro případ, že byly před tím použity, a poté se inicializují vstupy a výstupy. Zápis a čtení hodnot probíhá podobně jako u jiných digitálních pinů. Opět je zde použito přepínání směrů, takže jsou cesty testovány obousměrně.



Obrázek 35: Část zdrojového kódu pro testování cest pro transceivery a relé

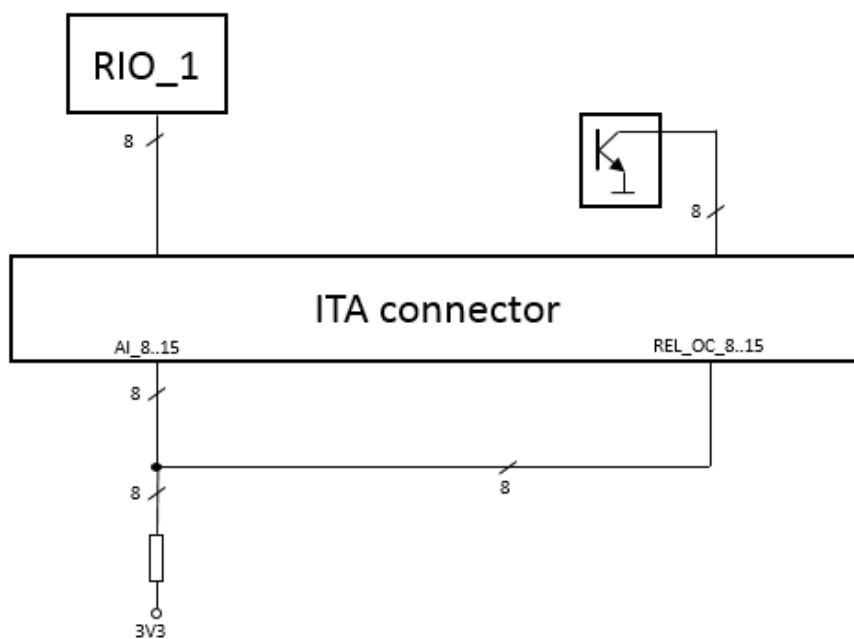
6.2 Výstupy pro přídavné relé

Pokud by počet vestavěných relé nedostačoval, je možno připojit externě dalších osm relé. Na ITA desku jsou na to vyvedeny ovládací piny se stavem vysoké impedance nebo přizemněním. Tyto výstupy jsou čteny analogovými vstupy FPGA karty.

S nimi jsou propojeny takto:

- Rel_OC_8 → AI_8
- Rel_OC_9 → AI_9
- ---
- ---
- Rel_OC_14 → AI_14
- Rel_OC_15 → AI_15

Pokud jsou tyto obvody aktivní, je na jejich výstupech stav log. 0 jinak jsou ve stavu vysoké impedance, což by se při čtení analogovým vstupem nedalo rozlišit. Z toho důvodu jsou k těmto výstupům připojeny rezistory pro pull-up na napájení, jak zobrazuje obrázek 36.



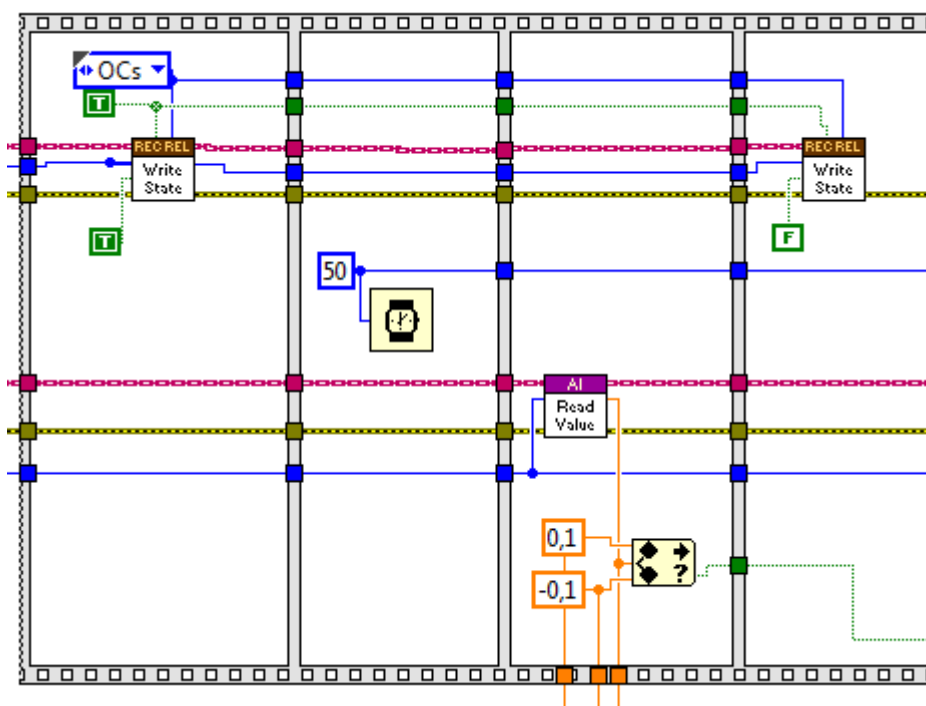
Obrázek 36: Propojení pro testování výstupů přídavných relé

Postup pro testování je uveden v tabulce 12.

Tabulka 12: Postup testování výstupu pro přídavné relé

Testovací krok	Očekávaný výsledek
Zapnout výstupy pro relé Číst stav na analogových vstupech AI_8..15	Na analogových vstupech musí být hodnota 0 V
Vypnout výstupy pro relé Číst stav na analogových vstupech AI_8..15	Na analogových vstupech musí být hodnota 3,3 V

Pro testování výstupů pro přídavné relé je použit podobný kód jako pro testování analogových vstupů s tím rozdílem, že místo nastavování napětí na analogových výstupech se spínají otevřené kolektory tranzistorů. Ty jsou na ITA desce připojeny pull-up rezistory k napájecí větvi 3,3 V. Postup testu je na obrázku 37.



Obrázek 37: Testování výstupů pro další relé pomocí analogových vstupů

7 TEST PROTOKOLŮ

Test komunikačních protokolů kontroluje funkci nejen propojovacích cest, ale také i komunikačních modulů. Tento test se nespokojí pouze se zkoumáním odezvy na impuls obsahující jeden bit, ale vyžaduje komunikaci podle daného komunikačního standardu.

Každý komunikační modul je propojen s transceiverem na fyzické vrstvě a transceiver komunikuje s receiverem na univerzálních TTL úrovních. Fyzický signál se tedy zpracovává na kartě transceiveru, a proto není možno provést přemostění na jeho portech jako například u sběrnice UART.

Testování tedy probíhá tak, že se na FPGA kartě generuje rámec příslušného protokolu a skrze sběrnici se vyšle na komunikační modul. Ten jej přijme, což se programově kontroluje a jeho odpověď je odchyťována opět FPGA kartou.

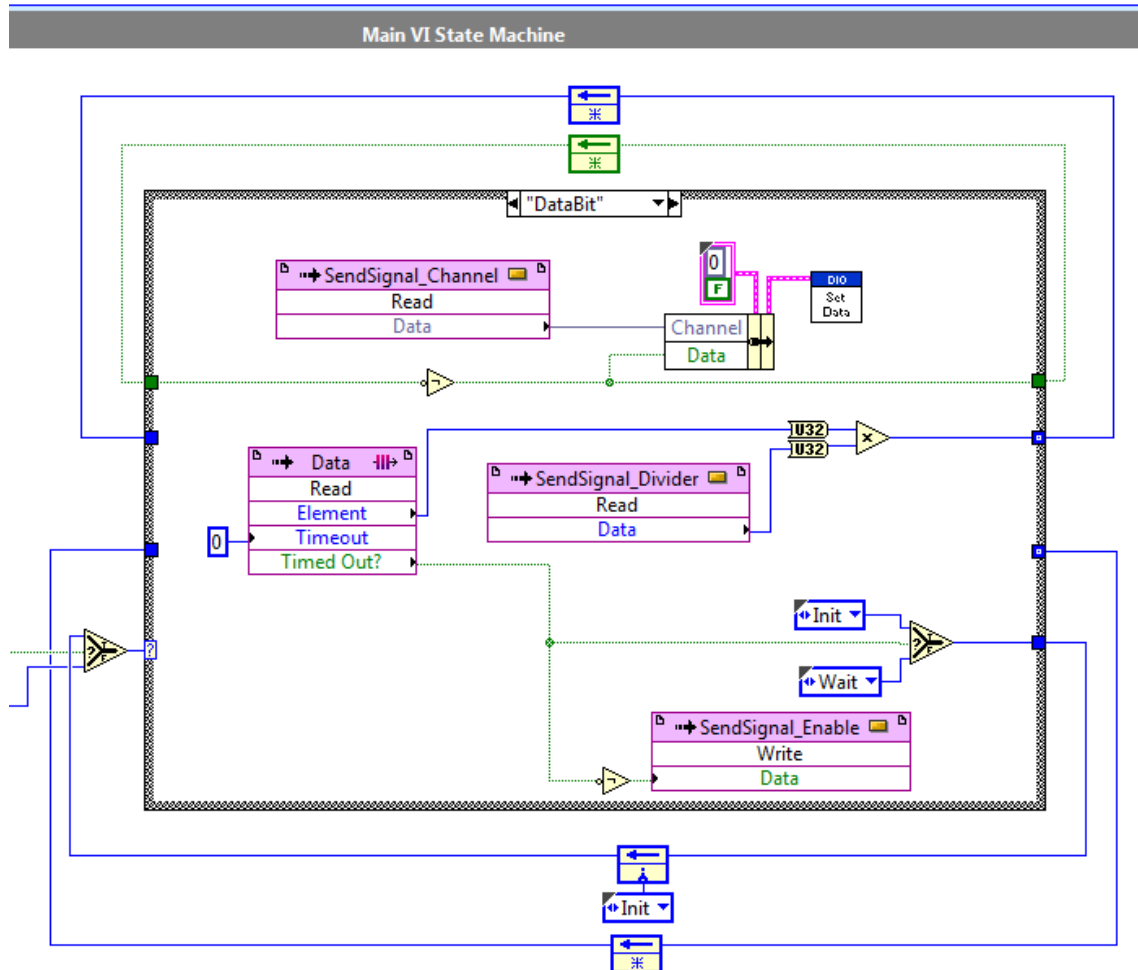
7.1 Firmware pro FPGA karty

Test karet s komunikačními protokoly CAN, LIN a Flex-Ray vyžaduje úpravu firmware v FPGA kartě. Standardním firmware sice lze ovládat jednotlivé vstupy a výstupy, ale pouze pokud není potřeba přesného časování. V případě testování protokolů je potřeba vytvořit funkci přesného generátoru libovolného signálu pro vysílání nebo stimulaci a logického analyzátoru pro příjem dat.

7.1.1 Signálový generátor

Tato funkce je implementována na FPGA modulu a obstarává přesné generování libovolného signálu. Jedná se o stavový automat, ve kterém se nastavuje výstupní bit a poté se čeká přesně definovaný čas před nastavením dalšího bitu.

Stavový automat je znázorněn na obrázku 38.



Obrázek 38: Část stavového automatu pro generování signálu

Samotný signál a výstupní pin pro generování je vytvořen v obslužném softwaru a odeslán do FPGA modulu, jehož firmware se postará o jeho vyslání. Tento signál má podobu pole, ve kterém jsou číselně interpretovány délky trvající logické úrovně, která se vždy po odvysílání jedné úrovně invertuje.

7.1.2 Logický analyzátor

Stejně jako signálový generátor je i logický analyzátor implementován ve firmwaru FPGA karty. Jeho úkolem je zachytit na daném portu signál, interpretován posloupností logických hodnot. Nejprve je nutné nastavit parametry analyzátoru, což se opět provádí v obslužném softwaru. Tyto parametry jsou například vzorkovací frekvence, počet přijatých vzorků a hrana pro spouštění. Jakmile se na zkoumaném portu vyskytne hrana

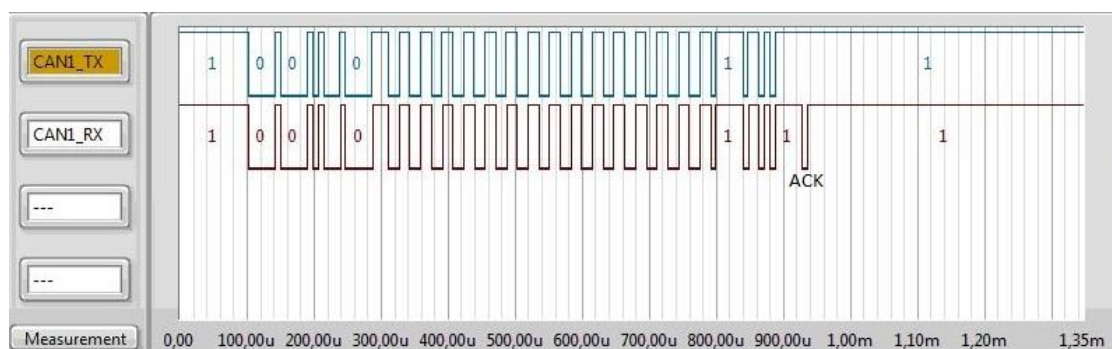
definovaná jakou spouštěcí, začnou se podle vzorkovací frekvence snímat a ukládat vzorky. Jakmile dosáhne počet vzorků nastavené hodnoty, ukončí se snímání a celý přijatý signál se zpracuje.

7.2 Test protokolu CAN

Komunikační modul CAN obsahuje dvě rozhraní, CAN1 a CAN2. Každé rozhraní má svůj port, který je propojen s transceiverem na desce receiveru. Transceiver však obsahuje čtyři rozhraní, přičemž dvě z nich používá při přenosu dat režimem LowSpeed a zbylá dvě pro režim HighSpeed.

Při testování se pomocí FPGA karty generuje testovací data, které projdou skrze sběrnici a třicestné přepínače do modulu transceiveru. Transceiver je převede do úrovní požadovaných protokolem CAN a vyšle na TX piny požadovaného rozhraní. V tuto chvíli CAN modul přijme tyto data, a pokud nedošlo při přenosu k žádné chybě, vyšle na jeho RX pin potvrzení. Na toto potvrzení čeká logický analyzátor, opět propojený s transceiverem pomocí jiné cesty sběrnice a třicestných přepínačů. Přijatý signál se vyhodnotí v obslužném softwaru a na základě přijatých dat CAN modulem a vyhodnocení přijatého signálu se rozhodne o výsledku testu. Pokud dojde k selhání na straně přijímání signálu FPGA kartou nebo dat CAN modulem, je test vyhodnocen jako neúspěšný. Takto se to opakuje pro obě rozhraní a obě varianty přenosu.

Vzor vyslaného a přijatého signálu pro CAN je na obrázku 39.



Obrázek 39: Signál vyslaný FPGA modulem (CAN1_TX) a přijatý signál (CAN1_RX) s potvrzením (ACK)

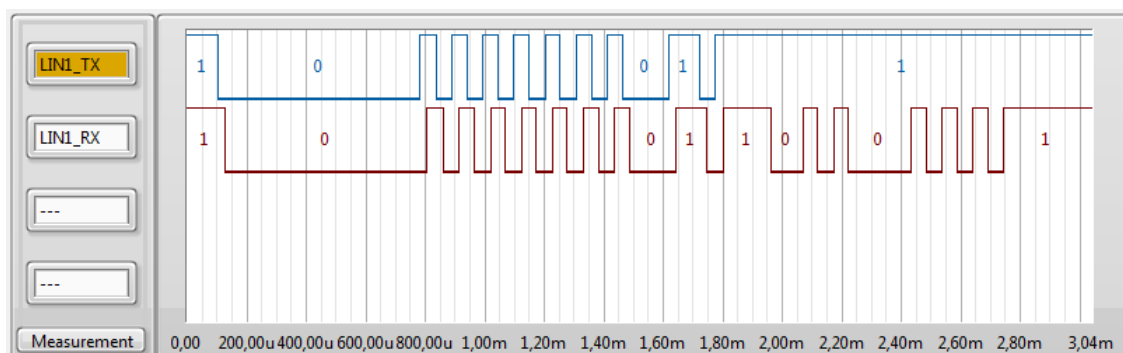
K tomuto testu jsou využity pomocné obvody, jako jsou sběrnice a její oddělovací buffer a třicestný spínač, jejichž nastavení je podle předchozích kapitol. CAN modul je osazen na prvním transceiveru, proto se v tomto testu bude používat transceiver TR0.

Samotné testování probíhá podle tabulky 13.

Tabulka 13: Postup testování CAN modulu

Testovací krok	Očekávaný výsledek
Nastavit buffer sběrnice TRBUFF_0 na stav FPGA → BUS a TRBUFF_1 na stav BUS → FPGA	Přijatý signál musí odpovídat vzorovému přijatému signálu

Nastavit třicestné přepínače u TR0 do stavu TRANSCEIVER → BUS Nastavit na transceiveru CAN1-HighSpeed a spustit naslouchání na CAN kartě Vyslat signál na pin BUS_0 Snímat signál na pinu BUS_1 Číst přijatá data CAN modulem	Data, přijatá CAN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_2 na stav FPGA → BUS a TRBUFF_3 na stav BUS → FPGA Nastavit třicestné přepínače u TR0 do stavu TRANSCEIVER → BUS Nastavit na transceiveru CAN2-HighSpeed a spustit naslouchání na CAN kartě Vyslat signál na pin BUS_2 Snímat signál na pinu BUS_3 Číst přijatá data CAN modulem	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá CAN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_4 na stav FPGA → BUS a TRBUFF_5 na stav BUS → FPGA Nastavit třicestné přepínače u TR0 do stavu TRANSCEIVER → BUS Nastavit na transceiveru CAN1-LowSpeed a spustit naslouchání na CAN kartě Vyslat signál na pin BUS_4 Snímat signál na pinu BUS_5 Číst přijatá data CAN modulem	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá CAN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_6 na stav FPGA → BUS a TRBUFF_7 na stav BUS → FPGA Nastavit třicestné přepínače u TR0 do stavu TRANSCEIVER → BUS Nastavit na transceiveru CAN2-LowSpeed a spustit naslouchání na CAN kartě Vyslat signál na pin BUS_6	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá CAN modulem, musí být stejná jako ve vyslaném signálu.



Obrázek 41: Vyslaný ráfec s hlavičkou a ID (LIN1_TX) a přijatý signál s odpovědí (LIN1_RX)

Testovací kroky jsou stejné jako v případě testování CAN protokolu s tím rozdílem, že LIN modul je na druhé pozici. Používá se tedy transceiver TR1. Kroky jsou uvedeny v tabulce 14.

Tabulka 14: Postup testování LIN modulu

Testovací krok	Očekávaný výsledek
Nastavit buffer sběrnice TRBUFF_0 na stav FPGA → BUS a TRBUFF_1 na stav BUS → FPGA Nastavit třicestné přepínače u TR1 do stavu TRANSCEIVER → BUS Nastavit na transceiveru rozhraní LIN1 a spustit naslouchání na LIN kartě Vyslat signál na pin BUS_0 Snímat signál na pinu BUS_1 Číst přijatá data LIN modulem	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá LIN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_2 na stav FPGA → BUS a TRBUFF_3 na stav BUS → FPGA Nastavit třicestné přepínače u TR1 do stavu TRANSCEIVER → BUS Nastavit na transceiveru rozhraní LIN2 a spustit naslouchání na LIN kartě Vyslat signál na pin BUS_2 Snímat signál na pinu BUS_3 Číst přijatá data LIN modulem	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá LIN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_4 na stav FPGA → BUS a TRBUFF_5 na stav	Přijatý signál musí odpovídat vzorovému přijatému signálu

BUS → FPGA Nastavit třicestné přepínače u TR1 do stavu TRANSCEIVER → BUS Nastavit na transceiveru rozhraní LIN3 a spustit naslouchání na LIN kartě Vyslat signál na pin BUS_4 Snímat signál na pinu BUS_5 Číst přijatá data LIN modulem	Data, přijatá LIN modulem, musí být stejná jako ve vyslaném signálu.
Nastavit buffer sběrnice TRBUFF_6 na stav FPGA → BUS a TRBUFF_7 na stav BUS → FPGA Nastavit třicestné přepínače u TR1 do stavu TRANSCEIVER → BUS Přemostit rozhraní LIN4 na TR do LIN3 na LIN modulu a spustit naslouchání na LIN kartě Vyslat signál na pin BUS_6 Snímat signál na pinu BUS_7 Číst přijatá data LIN modulem	Přijatý signál musí odpovídat vzorovému přijatému signálu Data, přijatá LIN modulem, musí být stejná jako ve vyslaném signálu.

Zdrojový kód pro test LIN modulu je stejný jako pro CAN modul, který je na obrázku 40 s tím rozdílem, že se zde vysílá a vyhodnocuje signál pro LIN, uvedený na obrázku 41.

7.4 Test protokolu Flex-Ray

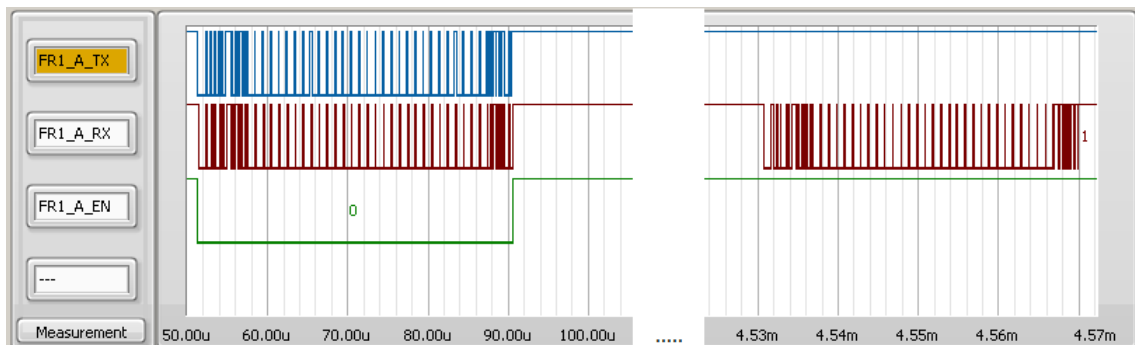
Flex-Ray modul obsahuje dvě rozhraní, které komunikují na linkách RX, TX a TX_ENABLE.

Tento protokol je složitější než předchozí protokoly CAN a LIN. Na rozdíl od těchto není možné vyslat na jednom zařízení data a na druhém je odchyťovat. Komunikace mezi dvěma uzly probíhá totiž až po navázání synchronizace mezi těmito uzly.

Vytvořit plnohodnotný Flex-Ray uzel na FPGA modulu by bylo příliš složité, a tak se využívá pravidla pro pokus o synchronizaci. Jeden uzel zašle rámec, který interpretuje příkaz pro navázání komunikace a druhý uzel jej přijme, vyšle odpověď a mezi oběma uzly započne přenos informací pro synchronizaci. Po této synchronizaci se mohou přenášet data.

Při testu se však zůstane pouze u odpovědi na synchronizační rámec. FPGA modul zašle synchronizační rámec a čeká na odpověď od Flex-Ray modulu. Jakmile dorazí, je vyhodnocena, ale dále již FPGA modul nekomunikuje a tak synchronizace selže. Nicméně to stačí pro otestování přítomnosti a funkce Flex-Ray modulu.

Na obrázku 42 je vzor vyslaného a přijatého signálu pro testování funkce modulu Flex-Ray. Společně s vyslaným i přijatým rámcem se kontroluje stav na signálu TX_ENABLE.



Obrázek 42: Vyslaný signál (FR1_A_TX) a přijaté signály (FR1_A_RX a FR1_A_EN)

Postup testování je i v tomto případě obdobný jako u předchozích testů CAN a LIN, jak popisuje tabulka 15.

Tabulka 15: Postup testování Flex-Ray modulu

Testovací krok	Očekávaný výsledek
Nastavit buffer sběrnice TRBUFF_0 na stav FPGA → BUS, TRBUFF_1 a TRBUFF_2 na stav BUS → FPGA Nastavit třicestné přepínače u TR2 do stavu TRANSCEIVER → BUS Nastavit na transceiveru rozhraní FR1	Přijatý signál na pinu BUS_1 a BUS_2 musí odpovídat vzorovému přijatému signálu

Vyslat signál na pin BUS_0 Snímat signál na pinu BUS_1 a BUS_2	
Nastavit buffer sběrnice TRBUFF_3 na stav FPGA → BUS, TRBUFF_4 a TRBUFF_5 na stav BUS → FPGA Nastavit třicestné přepínače u TR2 do stavu TRANSCEIVER → BUS Nastavit na transceiveru rozhraní FR2 Vyslat signál na pin BUS_3 Snímat signál na pinu BUS_4 a BUS_5	Přijatý signál na pinu BUS_4 a BUS_5 musí odpovídat vzorovému přijatému signálu

Zdrojový kód pro test LIN modulu je stejný jako pro CAN modul, který je na obrázku 40 s tím rozdílem, že se zde vysílá a vyhodnocuje signál pro LIN, uvedený na obrázku 42.

8 ZÁVĚR

V této práci bylo cílem navrhnout testovací zapojení pro daný průmyslový tester, které by otestovalo všechny používané funkční bloky testovací stanice. Byly kladeny požadavky na to, aby byl selftest co nejjednodušší, ale zároveň důkladný a spolehlivý.

Nejprve bylo nutno prostudovat a pochopit testovací stanici jako celek i její funkční bloky. Na základě tohoto bylo možno realizovat selftest.

Pro tento selftest byl vyčleněn speciální ITA adaptér, na kterém jsou realizovány propoje, které umožňují testovat všechny tyto funkční bloky. Bylo využito převážně drátových propojek a v některých případech bylo nutno cesty mezi sebou oddělit diodami kvůli kolizím. Některé periferie vyžadovaly připojení pull-up rezistorů kvůli správnosti měření. Krom těchto součástek nebylo použito žádných integrovaných obvodů nebo jiných součástek, čímž byl splněn požadavek na jednoduchost zapojení pro selftest.

Díky flexibilitě stávajících PXI modulů nebylo potřeba žádných dalších složitějších zařízení. Speciálně pro test komunikačních protokolů CAN, LIN a Flex-Ray byla využita FPGA karta, kterou bylo emulováno komunikační rozhraní.

Celý obslužný software byl napsán v jazyce LabVIEW, stejně tak jako firmware pro FPGA modul. Selftest se spouští při spouštění testovací kampaně anebo při výměně ITA adaptéru automaticky. Jen je potřeba vložit testovací ITA adaptér.

Selftest je nyní plně funkční a je zařazen do procesu testování ve firmě. Podařilo se díky němu odhalit několik nedostatků stanice.

Do budoucna by se mohl selftest rozšířit například o automatickou detekci nově připojených PXI modulů a také je potřeba testovací ITA adaptér ochránit proti poškození při manipulaci. Například zalít vyšší součástky zalévací hmotou aby nedošlo k jejich poškození, nebo nežádoucímu pohybu.

9 LITERATURA

- [1] PXI-1044 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-1044.html>
- [2] PXI-8840 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-8840.html>
- [3] PXI-7842 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-7842.html>
- [4] PXI-8513/2 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-8513-2.html>
- [5] PXI-8517/2 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-8517-2.html>
- [6] PXI-6541 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-6541.html>
- [7] PXI-6602 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-6602.html>
- [8] PXI-6723 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-6723.html>
- [9] PXI-4110 - National Instruments. 301 Moved Permanently [online]. Dostupné z: <http://www.ni.com/cs-cz/support/model.pxi-4110.html>
- [10] DUSTIN, E., GARRET, T., GAUF, B. Implementing Automated Software Testing, 2009.
- [11] BLUME, A. P. The LabVIEW Style Book, no. 3, 2009.

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

AC	Alternating Current, střídavý proud
AD, ADC	Analog - Digital Converter, analogově-digitální převodník
AI	Analog Input, analogový vstup
AO	Analog Output, analogový výstup
ATE	Automated Test Equipment, automatické testovací zařízení
BNC	Bayonet Naur Connector, bajonetový konektor
C/T	Counter/Timer, čítač/časovač
CAN	Controller Area Network, síť kontrolérů
CAN-FD	Controller Area Network – Flexible data-rate, síť kontrolérů - proměnná přenosová rychlost
CMOS	Complementary Metal-Oxid Semiconductor, komplementární polovodiče na bázi oxidu kovu
DC	Direct Current, stejnosměrný proud
DIO	Digital Input/Output, digitální vstup/výstup
DMA	Direct Memory Acces, přímý přístup do paměti
DUT	Device Under Test, testovaná součástka
EEPROM	Electrically Erasable Programmable Read Only Memory, elektricky mazatelná programovatelná paměť pouze pro čtení
FIFO	First In First Out, paměť typu první uložena je první čtená
FPGA	Field Programmable Gate Array, programovatelné hradlové pole
HSDIO	High-Speed Digital Input/Output, vysokorychlostní digitální vstup/výstup
I2C, IIC	Internal Integrated Circuit, interní integrovaný obvod
ID	IDentification, identifikace
ITA	Interface Test Adapter, adaptér pro testované rozhraní
LIN	Local Interconnect Network, lokální propojovací síť
NI	National Instruments, (obchodní název společnosti)
OC	Output Colector, výstup s otevřeným kolektorem
PXI	PCI Extension for Instrument, rozšířená sběrnice PCI pro nástroje
REC	Receiver, přijímač
RIO	Reconfigurable Input/Output, nastavitelný vstup/výstup
SPI	Seriál Peripheral Interface, sériové rozhraní periférií

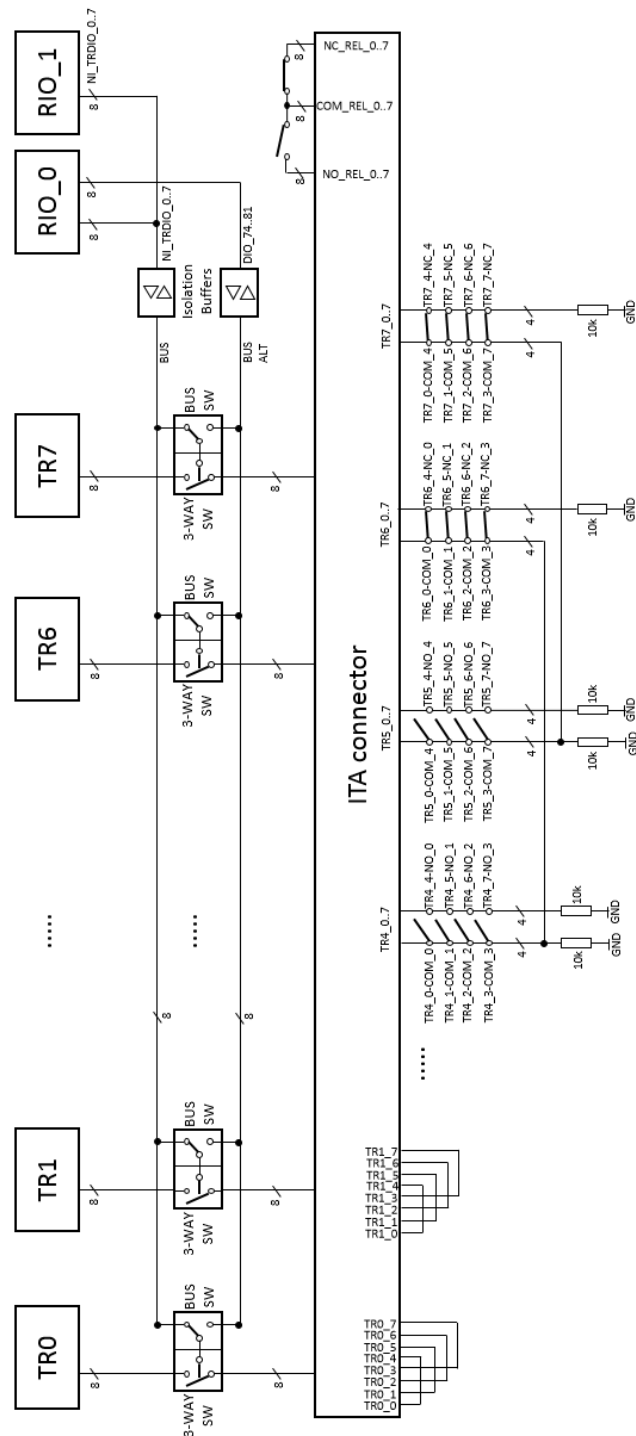
TR	Transceiver, vysílač/přijímač
TTL	Transistor-Transistor Logic, tranzistorově-tranzistorová logika
UART	Universal Asynchronous Receiver Transmitter, univerzální asynchronní přijímač a vysílač
USB	Universal Serial Bus, univerzální sériová sběrnice

SEZNAM PŘÍLOH

A	Návrh zařízení	55
A.1	Blokové schéma pro testování transceiver modulů a příslušných přepínačů	55
A.2	Blokové schéma pro testování FPGA, AO, HSDIO, C/T a DC modulů a jejich příslušné přepínače.....	56
A.3	ITA adaptér s propojí pro selftest	57

A NÁVRH ZAŘÍZENÍ

A.1 Blokové schéma pro testování transceiver modulů a příslušných přepínačů



[illegible]

A.3 ITA adaptér s propoji pro selftest

