### VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ BRNO UNIVERSITY OF TECHNOLOGY

# FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION DEPARTMENT OF MICROELECTRONICS

# MODELOVÁNÍ PERSPEKTIVNÍCH STRUKTUR MODULÁTORŮ DELTA-SIGMA S VYUŽITÍM TECHNIKY SPÍNANÝCH PROUDŮ DOCTORAL THESIS

AUTOR PRÁCE AUTHOR BRNO 2008 Ing. MICHAL PAVLÍK

# Obsah

1		ÚVOD	3
2		MODULÁTOR DELTA-SIGMA	3
3		PROUDOVÁ PAMĚŤOVÁ BUŇKA	5
	3.1 3.2	Proudová paměťová buňka první generace Proudová paměťová buňka druhé generace	5 6
4		CÍLE DIZERTAČNÍ PRÁCE	6
5		MODELOVÁNÍ PROUDOVÉ PAMĚŤOVÉ BUŇKY PRVNÍ GENERACE	7
SIM	5.1 5.2 5.3 /IULI	Zdroje chyb analyzované proudové paměťové buňky první generace Analýza modelu proudové paměťové buňky první generace Syntéza modelu proudové paměťové buňky první generace v matlab INK	8 .11 .12
6		MODELOVÁNÍ PROUDOVÉ PAMĚŤOVÉ BUŇKY DRUHÉ GENERACE	.13
SIM	6.1 6.2 6.3 /IULI	Zdroje chyb analyzované proudové paměťové buňky druhé generace Analýza chování proudové paměťové buňky druhé generace Syntéza modelu proudové paměťové buňky druhé generace v matlab INK	.14 .17 .19
7 CHYB	AM	ANALÝZA CHOVÁNÍ KASKÁDNÍHO MODULÁTORU DELTA-SIGMA S I TECHNIKY SI	.21
8		ZÁVĚR	.23
9		LITERATURA	.26

### 1 ÚVOD

Většina všech analyzovaných signálů fyzikálních veličin má spojitou povahu. Aby bylo možné informace o povaze zpracovávaných signálů snadno uchovat je v dnešní době většina systémů digitálních. To s sebou přináší potřebu převodu původního spojitého signálu na diskrétní úrovně nespojité v čase. K tomu slouží analogově digitální (A/D) převodník. Ten zajišťuje přesnou časovou diskretizaci původního analogového signálu a kvantování jeho okamžité hodnoty na digitální číslo. Rozlišovací schopnost převodníku A/D a rychlost převodu rozhodujícím způsobem limitují výkon celého systému. Tyto dvě vlastnosti působí proti sobě, proto se výrobci snaží zvyšovat rozlišení převodníku A/D při současně rostoucím vzorkovacím kmitočtu.

Samotný převodník A/D poskytuje pouze informaci o povaze vstupního signálu. Teprve akční člen systému (mikrokontrolér, digitální signálový procesor - DSP nebo vyšší úroveň logiky) zajistí zpracování výstupu převodníku A/D. Trendem současné doby není už integrace systémů na jednu desku plošných spojů, ale na jeden čip. Výrobci stojí před rozhodnutím, jakou technologii (digitální nebo analogovou) zvolit pro návrh výsledného čipu. Pokud je na jednom čipu realizována analogová i digitální část, musí být vyrobena pouze jedním druhem technologie. Je logické, že pro realizaci mikrokontroleru bude použita digitální technologie. Potom bude digitální technologie také použita pro výrobu vestavěného převodníku A/D. To s sebou přináší značná omezení, neboť především tranzistor MOS (z anglického Metal Oxide Semiconductor) používaný v digitální technologii je optimalizován na rychlost přeběhu signálu, naopak jeho výstupní vodivost v režimu saturace je mnohem vyšší. Parametry tranzistoru ovlivňují vlastnosti především proudových referencí a proudových opakovačů (zrcadel).

Jistou alternativu pro analogový návrh v digitální technice přináší technika spínaných proudů (SI), kde nosičem informace je velikost proudu. Tato technika je založena zejména na využití proudových paměťových buněk tvořených tranzistory MOS. Informace o velikosti uchovávaného proudu je uložena na parazitní kapacitě hradla paměťového tranzistoru. Technika spínaných proudů je přímo kompatibilní s digitálním návrhem, což je její hlavní výhoda.

#### 2 MODULÁTOR DELTA-SIGMA

Zařazením filtru typu dolní propust na vstup modulátoru Delta vznikne modulátor označovaný jako delta-sigma ( $\Delta\Sigma$ ) [1], [2]. Na obr. 2.1 je zobrazeno blokové schéma základního modulátoru  $\Delta\Sigma$  prvního řádu realizovaného v prostředí MATLAB SIMULINK. Zatímco u modulátoru  $\Delta$  výstup kvantizačního obvodu řídí přepínání referenčního zdroje, který má výrazně nižší absolutní hodnotu než vstupní signál, u modulátoru  $\Delta\Sigma$  tomu musí být přesně naopak. V opačném případě dojde k saturaci a systém by se stal nestabilním. Na obr. 2.2 jsou zachyceny vstupní a výstupní průběhy modulátoru  $\Delta\Sigma$ .



**Obr. 2.1:** Modulátor  $\Delta$  se vstupním filtrem typu dolní propust – modulátor  $\Delta\Sigma$  v simulačním programu MATLAB SIMULINK



**Obr. 2.2:** Vstupní a výstupní časový průběh modulátoru  $\Delta\Sigma$ 

Aby bylo možné matematicky popsat chování modulátoru, je nutné nahradit kvantovací obvod jeho lineárním modelem [2].



**Obr. 2.3:** Model modulátoru  $\Delta \Sigma$  s lineárním kvantovacím obvodem

Tato úprava vede ke změně rovnice výstupu Y(z)

$$Y(z) = \frac{z^{-1}}{1 - z^{-1}} X(z) - \frac{z^{-1}}{1 - z^{-1}} Y(z) + E(z)$$
(2.1)

resp. na

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z).$$
(2.2)

Potom funkce STF a NTF dostávají tvar

$$STF = z^{-1}, \tag{2.3}$$

$$NTF = 1 - z^{-1} \,. \tag{2.4}$$

### 3 PROUDOVÁ PAMĚŤOVÁ BUŇKA

Základní stavební jednotkou techniky SI je proudová paměťová buňka (Current Memory Cell – CMC). Princip funkce CMC je založen na uchování informace o velikosti proudu parazitní kapacitu hradla tranzistoru  $C_{GS}$ .

#### 3.1 PROUDOVÁ PAMĚŤOVÁ BUŇKA PRVNÍ GENERACE

Blok CMC první generace je tvořen dvojicí tranzistorů zapojených jako proudové zrcadlo (obr. 3.1). V první fázi  $\phi_1$  je spínač S sepnut a výstupní proud  $i_{vst}$  je dán součtem proudu vstupního  $i_{vyst}$  a příčného proudu I<sub>ref</sub>. Na hradle tranzistoru se ustálí napětí  $U_{GS}$ .



Obr. 3.1: Proudová paměťová buňka 1. generace

Po rozepnutí spínače S ve fázi  $\phi_2$  je výstupní proud určen "zapamatovaným" napětím  $U_{GS}$  podle vztahu

$$i_{D} = \frac{\mu C_{OX}}{2} \frac{W}{L} (u_{GS} - U_{p})^{2} (1 + \lambda u_{DS}), \qquad pro \quad u_{DS} \ge u_{GS} - U_{p}, \quad (3.1)$$

kde  $i_D$  je proud elektrodou D tranzistoru MOS v saturaci,  $\mu$  nepohyblivost nosičů náboje,  $C_{OX}$  udává měrnou kapacitu oxidové vrstvy, W je šířka a L délka kanálu,  $u_{GS}$ 

napětí mezi hradlem a elektrodou S, Up je prahové napětí,  $\lambda$  je koeficient modulace kanálu a  $u_{DS}$  je napětí mezi elektrodami D a S. Protože správná funkce proudové paměťové buňky závisí na použití dvou tranzistorů, je možné výstupní proud odebírat po celou dobu  $\phi_1$  s tím, že jeho velikost může být libovolně multiplikována změnou geometrických rozměrů tranzistorů T<sub>1</sub> a T<sub>2</sub>. Aby byla potlačena chyba posunutí (offset) musí být dodržena stejná velikost zdrojů proudu.

#### 3.2 PROUDOVÁ PAMĚŤOVÁ BUŇKA DRUHÉ GENERACE

Blok CMC druhé generace (obr. 3.2) je tvořen pouze jedním paměťovým tranzistorem a zdrojem příčného proudu, tudíž u ní k chybě posunutí nedochází. Na rozdíl od paměťové buňky první generace je přenos paměťové buňky druhé generace roven vždy jedné. Princip činnosti proudové paměťové buňky druhé generace je následující. Ve fázi  $\phi_1$  je velikost proudu protékající tranzistorem M<sub>1</sub> dán součtem vstupního proudu  $i_{vst}$  a příčného proudu  $i_{ref}$ . Na parazitní kapacitě hradla  $C_{GS}$  tranzistoru T<sub>1</sub> se ustálí napětí  $U_{GS}$ . To během fáze  $\phi_2$ , kdy je vstupní spínač a spínač mezi elektrodami D a S rozepnut definuje výstupní proud, který je roven rozdílu příčného proudu  $i_{ref}$  a "zapamatovaného" proudu.



Obr. 3.2: Proudová paměťová buňka 2. generace

# 4 CÍLE DIZERTAČNÍ PRÁCE

Cílem této práce je analýza vlivu chyb způsobených obvodovou technikou SI na modulátory  $\Delta\Sigma$ . Pro tyto účely budou použity modely technologie AMIS CMOS 0,7  $\mu$ m, která je na ústavu mikroelektroniky dostupná.

Na základě zjištěného chování budou analyzovány zdroje chyb a diskutována možnost jejich modelování při simulacích celých modulátorů  $\Delta\Sigma$ . Aby byla zachována možnost srovnání, bude analyzováno chování CMC první i druhé generace. Na základě získaných výsledků bude vytvořen matematický popis jejich přenosů a vytvořeny optimalizované modely v simulačním prostředí MATLAB SIMULINK. Vytvořené modely budou universální, takže změnou konstant bude možná změna technologie, při analýze vlivu chyb technicky SI na struktury modulátoru  $\Delta\Sigma$ .

Pro vyjádření míry vlivu chyb techniky SI na chování různých struktur modulátorů  $\Delta\Sigma$ , budou navrženy parametry několika struktur modulátorů a stanovena metodika hodnocení zmiňovaného vlivu.

Následně budou bloky ideálních integrátorů, v navržených modulátorech  $\Delta\Sigma$ , nahrazeny integrátory realizovanými využitím vytvořených matematických modelů proudových paměťových buněk první a druhé generace. Budou provedeny simulace chování těchto modulátorů a porovnáním s výsledky chování ideálních modulátorů  $\Delta\Sigma$  bude stanoven vliv jednotlivých zdrojů chyb techniky SI.

Tato práce si neklade za cíl analyzovat všechny realizovatelné struktury modulátorů  $\Delta\Sigma$ . Takový postup by nebyl efektivní ani opodstatněný. Cílem práce je vytvoření universálních modelů integrátorů realizovaných technikou SI, jenž jsou základními částmi všech struktur modulátorů  $\Delta\Sigma$  a na několika příkladech ukázat vliv chyb techniky SI.

# 5 MODELOVÁNÍ PROUDOVÉ PAMĚŤOVÉ BUŇKY PRVNÍ GENERACE

Aby bylo možné analyzovat vliv parazitních jevů vznikajících použitím techniky SI na chování vyšších funkčních celků, jakými jsou modulátory  $\Delta\Sigma$ , byla nejprve navržena CMC. Navržená CMC první generace je zobrazena na obr. 5.1.



Obr. 5.1: Analyzovaná proudová paměťová buňka 1. generace

Chování CMC bylo analyzováno nejprve v simulačním prostředí CADENCE OrCAD PSpice s modely tranzistorů odpovídající technologii AMIS CMOS 0,7 μm. Následně byla provedena finální simulace v návrhovém prostředí CADENCE. Výsledek této simulace je zobrazen na obr. 5.2.



Obr. 5.2: Výstup ze simulované paměťové buňky v prostředí CADENCE

#### 5.1 ZDROJE CHYB ANALYZOVANÉ PROUDOVÉ PAMĚŤOVÉ BUŇKY PRVNÍ GENERACE

V případě CMC první generace mají na výsledný přenos proudu vliv především následující faktory

- výstupní odpor paměťového tranzistoru,
- neshodnost referenčních zdrojů proudu,
- neshodnost paměťového a výstupního tranzistoru,
- pronikání hodinového signálu,
- injekce náboje,
- tepelný šum,
- nízkofrekvenční šum,
- linearita převodní charakteristiky.

Proudová paměťová buňka obsahuje tři spínače a tedy i tři zdroje parazitního pronikání hodinového signálu do systému. Dva spínače ovlivňují paměťový tranzistor a třetí výstupní. Díky tomu je možné analyzovat tyto zdroje odděleně. Dále je činnost proudové paměťové buňky první generace možné rozdělit na dvě fáze. Předpokládá se, že spínače jsou plně sepnuté. Proud paměťovým tranzistorem je potom přibližně

$$i_{m} \approx i_{ref} + i_{in} + i_{S1,err} + i_{S2,err} =$$

$$= i_{ref} + i_{in} + \frac{\partial}{\partial u_{gs}} \left( C_{S1,T1} + C_{S1,T2} \right) + \frac{\partial u_{gs}}{\partial t} \left( C_{S1,T1} - C_{S1,T2} \right) -$$

$$- \gamma_{1} i_{S1,err}(t) e^{\left( -R_{s} t \frac{i_{S1,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_{P}} \right)} + \frac{\partial}{\partial u_{gs}} \left( C_{S2,T1} + C_{S2,T2} \right) +$$

$$+ \frac{\partial u_{gs}}{\partial t} \left( C_{S2,T1} - C_{S2,T2} \right) - \gamma_{2} i_{S2,err}(t) e^{\left( -R_{s} t \frac{i_{S2,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_{P}} \right)}.$$
(5.1)

Díky konstrukci CMC první generace, se chyba pronikání hodinového signálu způsobená spínači  $S_1$  a  $S_2$ , pokud je doba perioda hodinového signálu vyšší než  $t = 6\tau$ , na výstupu CMC neprojeví. Projeví se pouze velikost injektovaného náboje a to pouze u spínače  $S_2$ . Vliv spínače  $S_1$  je prakticky zanedbatelný. Výstupní proud je přechodnými ději ovlivňován pouze třetím spínačem  $S_3$ 

$$\begin{split} &i_{vyjst} \approx i_{ref} - (i_m + i_{S2,inj}) + i_{S3,err} = \\ &= i_{ref} - K_{pm} \frac{W_m}{L_m} \left( U_m + \left( \frac{W_{S2} L_{S2} (U_p - U_m) + 2W_m L_m U_m}{W_{S2} L_{S2} + 2W_m L_m} \right) - U_{pm} \right) i_m + \\ &+ \frac{\partial}{\partial u_{gs}} (C_{S3,T1} + C_{S3,T2}) + \frac{\partial u_{gs}}{\partial t} (C_{S3,T1} - C_{S3,T2}) - \\ &- \gamma_3 i_{S3,err}(t) e^{ \left( -R_s t \frac{i_{S3,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_p} \right)}. \end{split}$$
(5.2)

V obvodech s tranzistory MOS jsou dominantními tepelný a nízkofrekvenční šum. Popis výskytu nízkofrekvenčního šumu není možné predikovat, je určení jeho velikosti čistě empirickou záležitostí. Tepelný šum tranzistoru MOS je přibližně roven

$$\sqrt{\overline{i_{therm}^2}} = \sqrt{\frac{8kT}{3}} \sqrt{I_D K P \left[\frac{W}{L}\right]} .$$
(5.3)

Celkový tepelný šum CMC je potom součtem jednotlivých příspěvků tranzistoru tvořících její strukturu

$$\sqrt{i_{therm}^2} = \sqrt{\sum_{N=1}^M i_{therm,T_N}^2} .$$
(5.4)

Protože má změna teploty vliv na velikost technologické konstanty KP a na velikost prahového napětí tranzistorů, má vliv také na velikost chybových proudů CMC. Analýza linearity CMC je z hlediska exaktního matematického vyjádření téměř nemožná, protože je dominantně ovlivněna nejen geometrickými rozměry použitých tranzistorů, velikostí signálu a referenčních proudů, ale především technologickým procesem.

Neshodnost referenčních zdrojů proudu je způsobena nepřesností výroby tranzistorů. Ve schématu na obr. 5.1 jde o tranzistory  $T_3$  až  $T_5$ . Jejich rozměry by měly být v přesně definovaných poměrech současně při homogenně dotovaném substrátu. Není-li tomu tak, je výstup CMC stejnosměrně posunut o

$$\Delta i_D = \frac{\mu C_{OX}}{2} \left( \frac{W_1}{L_1} - \frac{W_2}{L_2} \right) (u_{GS} - U_T)^2 .$$
 (5.5)

Výše uvedená rovnice platí i v případě paměťového a výstupního tranzistoru.

Kromě zjevného ovlivnění výstupního signálu CMC přechodným dějem je chyba linearity tou, která nejvíce degraduje schopnost přesného přenosu signálu. Závislost velikosti výstupního proudu na vstupním je zobrazena na obr. 5.3. Na stejném obrázku je také zobrazena velikost chyby linearity přenosu.



**Obr. 5.3:** Závislost velikosti výstupního proudu na vstupním CMC první generace – CADENCE

Z tvaru korelační křivky je patrné, že dochází ke zkreslení přenosu velikosti proudu CMC chybami zesílení a linearity. Linearita přenosu CMC je ovlivněna nejvíce v okolí nulových hodnot vstupního proudu.

### 5.2 ANALÝZA MODELU PROUDOVÉ PAMĚŤOVÉ BUŇKY PRVNÍ GENERACE

Na základě analyzovaných chyb a výsledků simulací v návrhovém prostředí CADENCE byl vytvořen model reálné CMC. Model popisuje chování reálné CMC a zohledňuje chyby techniky SI. Jak již bylo napsáno, pronikání hodinového signálu a injekce náboje se projevují současně, a proto je bezpředmětné tyto dva jevy od sebe oddělovat. Chybový průběh velikosti proudu je možné zapsat

$$i_{err}(t) = Ae^{-t\tau} \cos\left(Bt + \frac{\pi}{2} - \operatorname{sgn}(|i_{vst}(t)|)\frac{\pi}{2}\right),$$
 (5.6)

kde proměnná *A* určuje počáteční velikost překmitu,  $\tau$  je koeficient tlumení a *B* určuje tlumený rezonanční kmitočet obvodu CMC. Intenzivní analýzou bylo zjištěno, že velikost počátečního překmitu je závislá pouze na geometrických rozměrech tranzistorů CMC a velikosti vstupního proudu. Pro analyzovanou CMC jsou koeficienty rovny  $B = 5,62.10^6$  a  $\tau = 3,35.10^7$ . Závislost velikosti překmitu je do  $0,7 i_{vst,max}$  lineární.



#### Závislost velikosti překmitu na vstupním signálu

**Obr. 5.4:** Závislost velikosti počátečního překmitu při sepnutí výstupního spínače CMC první generace na velikosti vstupního proudu

Překročí-li velikost vstupního proudu tuto hodnotu, začne docházet k saturaci dané velikostí referenčních proudů  $I_{ref} = 100 \ \mu A$ . Závislost velikosti překmitu pro celý pracovní rozsah CMC je zobrazena na obr. 5.4. Průběh je možné aproximovat

$$i_p(A) = \operatorname{sgn}(i_{vst}(t)) D \ln(|i_{vst}(t)|) + c , \qquad (5.7)$$

kde  $i_p$  je špičková hodnota překmitu, proměnná c určuje posunutí průběhu a D tvar křivky.

Pro popisovanou CMC byly určeny koeficienty D = -7,619 a c = -45,119. Vzájemnou kombinací rovnic (5.6) a (5.7) jsou explicitně vyjádřeny chyby pronikání hodinového signálu a injekce náboje. Výsledný tvar chybové funkce je

$$i_{err}(t) = \left[ \operatorname{sgn}\left(i_{vst}(t)\right) D \ln\left(\left|i_{vst}(t)\right|\right) + c \right] e^{-t\tau} \cos\left(Bt + \frac{\pi}{2} - \operatorname{sgn}\left(\left|i_{vst}(t)\right|\right) \frac{\pi}{2}\right), (5.8)$$

## 5.3 SYNTÉZA MODELU PROUDOVÉ PAMĚŤOVÉ BUŇKY PRVNÍ GENERACE V MATLAB SIMULINK

Chyby techniky SI byly v modelu CMC implementovány pomocí základních funkčních bloků (toolkitů) SIMULINK. Samotný přechodný děj při ustalování výstupu CMC je realizován formou tabulkových dat. Konkrétní realizace v prostředí MATLAB SIMULINK je zobrazena na obr. 5.5. Závislost přesnosti vytvořeného modelu na vstupních parametrech je shrnuta v tab. 5.1.



Obr. 5.5: Optimalizovaný model proudové paměťové buňky

Tab. 5.1 Výsledky testování optimalizovaného modelu CMC první generace

Testovaná závislost	Velikost odchylky	Maximální odchylka			
	[%]	[%]			
na velikosti spínaného proudu	1,19	30,24			
na strmosti hodinového signálu	0,17	0,17			
na rozměrech tranzistorů	0,28	25,26			
na teplotě	0,89	17,26			

# 6 MODELOVÁNÍ PROUDOVÉ PAMĚŤOVÉ BUŇKY DRUHÉ GENERACE

U CMC druhé generace je, na rozdíl od CMC první generace, z principu eliminován problém se shodností paměťových tranzistorů a velikosti referenčních zdrojů proudu.



Obr. 6.1: Analyzovaná proudová paměťová buňka druhé generace

Bohužel fundamentální zapojení CMC trpí řadou chyb. Proto byla CMC druhé generace doplněna obvody pro zvýšení výstupních odporů referenčního proudového zdroje a paměťového tranzistoru.



Obr. 6.2: Výstup simulované paměťové buňky v CADENCE

V případě analyzované struktury na obr. 6.1 jde o využití regulované a prosté kaskódy. Jako hradlový spínač paměťového tranzistoru je použit jeden MOS tranzistor doplněný "dummy" tranzistorem  $T_{S4}$ . Ostatní spínače tvoří pouze tranzistory NMOS.

Ke zjištění chování CMC byla provedena simulace v návrhovém prostředí CADENCE s technologií AMIS CMOS 0,7 µm, jejíž výsledek je zobrazen na obr. 6.2. Závislost výstupního proudu CMC druhé generace na velikosti vstupního proudu je zobrazena na obr. 6.3. Porovnáním korelačních křivek CMC první a druhé generace je patrné, že u CMC druhé generace je absolutní chyba přenosu přibližně 20krát menší.



Obr. 6.3: Převodní charakteristika CMC druhé generace

### 6.1 ZDROJE CHYB ANALYZOVANÉ PROUDOVÉ PAMĚŤOVÉ BUŇKY DRUHÉ GENERACE

U CMC druhé generace nedochází z principu ke vzniku chyby neshodnosti referenčních zdrojů, paměťového a výstupního tranzistoru, ale všechny zbývající zdroje chyb jsou totožné s CMC první generace

- výstupní odpor paměťového tranzistoru,
- pronikání hodinového signálu,
- injekce náboje,
- tepelný šum,
- nízkofrekvenční šum,
- linearita převodní charakteristiky.

Blok CMC druhé generace obsahuje tři spínače. Na rozdíl od CMC první generace u CMC druhé generace se všechny tři spínače podílí na vzniku chyb, protože jejich nedokonalosti a přechodové děje při jejich spínání ovlivňují velikost výstupního proudu buňky. Pro analýzu vlivu pronikání hodinového signálu je opět vhodné rozdělit proces spínání tranzistorů na dvě fáze  $\phi_1$  - vzorkování a  $\phi_2$  - pamatování.

Proud paměťovým tranzistorem je přibližně

$$i_{m} \approx i_{ref} + i_{in} + i_{S1,err} + i_{S2,err} + i_{S3,err} = \\ = i_{ref} + i_{in} + \frac{\partial}{\partial u_{gs}} \left( C_{S1,T1} + C_{S1,T2} \right) + \frac{\partial u_{gs}}{\partial t} \left( C_{S1,T1} - C_{S1,T2} \right) \\ - \gamma_{1} i_{S1,err}(t) e^{\left( -R_{s} t \frac{i_{S1,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_{P}} \right)} + \frac{\partial}{\partial u_{gs}} \left( C_{S2,T1} + C_{S2,T2} \right) \\ + \frac{\partial u_{gs}}{\partial t} \left( C_{S2,T1} - C_{S2,T2} \right) - \gamma_{2} i_{S2,err}(t) e^{\left( -R_{s} t \frac{i_{S2,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_{P}} \right)} + \\ + \frac{\partial}{\partial u_{gs}} \left( C_{S3,T1} + C_{S3,T2} \right) + \frac{\partial u_{gs}}{\partial t} \left( C_{S3,T1} - C_{S3,T2} \right) - \\ - \gamma_{3} i_{S3,err}(t) e^{\left( -R_{s} t \frac{i_{S3,err}(t)}{\partial u_{GS}(t)} \right|_{u_{GS} = U_{P}} \right)},$$
(6.1)

kde  $C_{S1,T1}$ ,  $C_{S2,T1}$  a  $C_{S3,T1}$ , jsou kapacity tranzistorů NMOS a  $C_{S1,T2}$ ,  $C_{S2,T2}$  a  $C_{S3,T2}$ , jsou kapacity tranzistorů PMOS spínače. Protože na velikost výstupního proudu mají vliv všechny tři spínače je nutné jejich vliv zohlednit. Popis velikosti výstupního proudu ve fázi  $\phi_2$  je pro jednoduchost rozdělen na tři části:

1. pokud je výstupní proud větší, než maximální proud spínačem  $S_{\rm 3}$  (spínač je v saturaci)

$$i_{vyst} \approx i_{ref} - i_m + i_{S1,err} + i_{S2,err} + i_{S3,err} = = \frac{1}{2} \frac{W}{L} \Big[ \mu_1 C_{OX} \Big( u_{S3,T1,GS} - U_{P1} \Big)^2 + \mu_2 C_{OX} \Big( u_{S3,T2,GS} - U_{P2} \Big)^2 \Big],$$
(6.2)

2. pokud je výstupní proud nižší, než maximální proud spínače  $S_3$  a spínače  $S_1$  a  $S_2$  jsou vodivé

$$i_{vyst} \approx i_{ref} + i_m + i_{S1,err} + i_{S2,err} + i_{S3,err} =$$

$$= i_{ref} + i_m + \frac{\partial}{\partial u_{gs}} (C_{S1,T1} + C_{S1,T2}) + \frac{\partial u_{gs}}{\partial t} (C_{S1,T1} - C_{S1,T2}) -$$

$$- \gamma_1 i_{S1,err}(t) e^{\left(-R_{s1}t \frac{i_{S1,err}(t)}{\partial u_{GS}(t)}\right|_{u_{GS}=U_P}\right)} + \frac{\partial}{\partial u_{gs}} (C_{S2,T1} + C_{S2,T2}) +$$

$$+ \frac{\partial u_{gs}}{\partial t} (C_{S2,T1} - C_{S2,T2}) - \gamma_2 i_{S2,err}(t) e^{\left(-R_{s2}t \frac{i_{S2,err}(t)}{\partial u_{GS}(t)}\right|_{u_{GS}=U_P}\right)} +$$

$$+ \frac{\partial}{\partial u_{gs}} (C_{S3,T1} + C_{S3,T2}) + \frac{\partial u_{gs}}{\partial t} (C_{S3,T1} - C_{S3,T2}) -$$

$$- \gamma_3 i_{S3,err}(t) e^{\left(-R_{s3}t \frac{i_{S3,err}(t)}{\partial u_{GS}(t)}\right|_{u_{GS}=U_P}\right)},$$
(6.3)

#### 3. spínač $S_3$ je plně vodivý a spínače $S_1$ a $S_2$ jsou rozepnuté

$$i_{vyst} \approx i_{ref} - \left(i_m + i_{S2,inj}\right) + i_{S3,err} = i_{ref} - K_{pm} \frac{W_m}{L_m} \left[ U_m + \left( \frac{W_{S2}L_{S2} \left( U_p - U_m \right) + 2W_m L_m U_m}{W_{S2}L_{S2} + 2W_m L_m} \right) - U_{pm} \right] i_m + \frac{\partial}{\partial u_{gs}} \left( C_{S3,T1} + C_{S3,T2} \right) + \frac{\partial u_{gs}}{\partial t} \left( C_{S3,T1} - C_{S3,T2} \right) -$$
(6.4)
$$\left( -R_s t \frac{i_{S3,err}(t)}{\frac{\partial u_{GS}(t)}{\partial t}} \right|_{u_{GS}} = U_p \right)$$

Stejně jako v případě CMC první generace, v této třetí fázi je výstupní proud ovlivňován pouze injekcí náboje z kanálů tranzistorů spínače  $S_2$  a přechodným

dějem při spínání spínače  $S_3$ . Stálým předpokladem je ustálení hodnoty výstupu během poloviny periody hodinového signálu.

Šumové poměry v obvodu CMC druhé generace jsou rovněž obdobné jako v případě CMC první generace. Velikost šumu je přímo závislá na rozměrech použitých tranzistorů a opět platí vztah (5.4). I když je linearita přenosu CMC druhé generace v porovnání s CMC první generace horší, díky tomu, že CMC druhé generace není ovlivněna chybou zesílení, je výsledná velikost chyby přenosu významně nižší.

### 6.2 ANALÝZA CHOVÁNÍ PROUDOVÉ PAMĚŤOVÉ BUŇKY DRUHÉ GENERACE

Obdobně jako v případě CMC první generace byl na základě analyzovaných chyb a výsledků simulací v návrhovém prostředí CADENCE vytvořen model CMC. Aby byly výsledky simulací porovnatelné s CMC první generace, je opět použito hodinových signálů s překrývajícími se průběhy. Na obr. 6.4 je zobrazen průběh přechodného děje výstupu CMC při přechodu z režimu pamatování  $\phi_2$  do režimu vzorkování  $\phi_1$ . Analyzována je přitom velikost výstupního proudu CMC, který je na obr. 6.4 označen /V0/PLUS. Přechodný děj je možné rozdělit do čtyř fází. Ve fázi vzorkování je na výstupu CMC ustálená hodnota pamatovaného vstupního proudu ( $I_{vst} = -10 \ \mu$ A). V druhé a třetí fázi dochází ke změně úrovní hodinového signálu a ve čtvrté je výstupní hodnota proudu nulová, protože je výstupní spínač uzavřen.



**Obr. 6.4:** Detail průběhu přechodného děje výstupu proudové paměťové buňky při přechodu z režimu pamatování  $\phi_2$  do režimu vzorkování  $\phi_1$ 

Ve druhé fázi je průběh výstupního proudu CMC dominantně ovlivněn nabíjecími proudy tranzistorů tvořících spínače  $S_1$  a  $S_2$  u nichž dochází ke změně

kapacity vlivem zvyšování rozdílu hradlového napětí  $u_{GS}$  proti napětí prahovému  $U_p$ . Změna kapacit spínačů S<sub>1</sub>, S<sub>2</sub> a S<sub>3</sub> působí proti sobě, nicméně jelikož velikost tranzistorů spínačů S<sub>1</sub> a S<sub>2</sub> je větší než spínače S<sub>3</sub>, vzájemně se zcela nevyruší.



**Obr. 6.5:** Závislost velikosti amplitudy překmitu přechodného děje a výstupního proudu během nabíjení hradla

Velikost výstupního proudu ve fázi 3 je dána součtem působení změn kapacit tranzistorů spínačů, které opět působí proti sobě a tak se jejich působení přirozeně potlačuje. Dominantně je potom velikost výstupního proudu CMC určena pouze strmostí hodinového signálu. Velikost překmitů při spínání je závislá na velikostech použitých tranzistorů spínačů, jak dokazuje obr. 6.5.



**Obr. 6.6:** Detail průběhu přechodného děje výstupu proudové paměťové buňky při přechodu z režimu vzorkování  $\phi_1$  do režimu pamatování  $\phi_2$ 

Přechod z režimu vzorkování  $\phi_1$  do režimu pamatování  $\phi_2$  je opět možné rozdělit do čtyř fází, jak je zobrazeno na obr. 6.6. V první fázi je výstup CMC nulový, protože během první fáze probíhá vzorkování. Ve druhé fázi dochází k vybíjení hradla tranzistorů spínačů S<sub>1</sub> a S<sub>2</sub> a nabíjení výstupního spínače S<sub>3</sub>. Velikost výstupního proudu závisí na součtu kapacit tranzistorů spínačů a strmosti hodinových signálů.

Během třetí fáze dochází k postupnému uzavření tranzistoru vstupního  $S_1$  a paměťového spínače  $S_2$  za výrazné změny kapacity jejich tranzistorů. To vede ke vzniku špičky proudu, obdobně jako ve fázi  $\phi_2$  (při přechodu z režimu pamatování do režimu vzorkování). Injekce náboje a stejnosměrné složky způsobují, že maxima popisovaných přechodných dějů nejsou totožná, nicméně jsou korelovaná, jak dokazuje obr. 6.7. V poslední, čtvrté fázi dochází k injekci náboje z uzavřených tranzistorů spínačů a ustálení výstupní hodnoty proudu na zapamatované hodnotě. Chyba způsobená vlivem konečné rychlosti ustálení výstupní hodnoty proudu je



$$\dot{h}_{err}(t) = A e^{-t\tau} \cos(Bt + \pi), \qquad (6.5)$$

Obr. 6.7: Závislost velikosti amplitudy překmitu na velikosti vstupního proudu

### 6.3 SYNTÉZA MODELU PROUDOVÉ PAMĚŤOVÉ BUŇKY DRUHÉ GENERACE V MATLAB SIMULINK

Obdobně jako v případě CMC první generace byl vytvořen model popisující chování CMC druhé generace s implementovanými chybami v prostředí MATLAB SIMULINK. Jak již bylo řečeno, v případě CMC druhé generace je cesta pronikání hodinového signálu tvořena všemi třemi spínacími tranzistory. I když vstupní a výstupní tranzistory pracují v protifázi a část náboje se přesune z jednoho kanálu do druhého, je zkreslení přenášeného signálu vyšší než v případě CMC první generace.

Po analýze průběhu přechodového děje při změně stavu CMC jej lze zjednodušit a popsat dvěma exponenciálními rovnicemi.

Testovaná závislost	Velikost odchylky	Maximální odchylka		
	[%]	[%]		
na velikosti spínaného proudu	2,75	20,94		
na strmosti hodinového signálu	0,086	0,086		
na rozměrech tranzistorů	2,28	28,20		
na teplotě	netestováno	netestováno		

Tab. 6.1 Výsledky testování optimalizovaného modelu CMC druhé generace

Tak jako v případě CMC první generace prošel vytvořený model CMC druhé generace procesem optimalizace a jeho realizace základními funkčními bloky v prostředí MATLAB SIMULINK byla nahrazena datovým vektorem. Výsledný průběh výstupu CMC je pak součinem vstupního proudu a generované chyby. Aproximační funkce CMC druhé generace je rozdělena do sedmi částí. Implementace optimalizovaného modelu CMC do prostředí MATLAB SIMULINK je realizováno obdobně jako v případě CMC první generace (viz. obr. 6.8).

1. Spínání spínačů S<sub>1</sub> a S<sub>2</sub> s  $u_{GS} - \frac{1}{2}U_P < 0$ 

$$i_{out1}(t) = A i_{vst} - (B - B e^{-t\tau}).$$
 (6.6)

2. Spínání spínačů S<sub>1</sub> a S<sub>2</sub> s  $u_{GS} - \frac{1}{2}U_P > 0 \cap u_{GS} - U_P < 0$ 

$$i_{out2}(t) = Ai_{vst} - Be^{-t\tau}$$
 (6.7)

3. Spínání spínačů S<sub>1</sub> a S<sub>2</sub> s  $u_{GS} - U_P > 0$ 

$$i_{out3}(t) = \frac{\partial u_{GS}}{\partial t} C_G.$$
(6.8)

4. Ustálený stav sepnutí spínačů

$$i_{out4}(t) = 0$$
. (6.9)

5. Rozepínání spínačů  $S_1$  a  $S_2$  s  $u_{GS} - U_P > 0$ 

$$i_{out5}(t) = \frac{\partial u_{GS}}{\partial t} C_G .$$
(6.10)

6. Rozepínání spínačů  $S_1$  a  $S_2$  s  $u_{GS} - U_P < 0$ 

20

$$i_{out6}(t) = C i_{vst} - (D - D e^{-t\tau}).$$
 (6.11)

7. Spínače jsou plně rozepnuty

$$i_{out2}(t) = C i_{vst} - D e^{-t\tau}.$$
(6.12)

Velikost maximální odchylky modelu od reálného chování CMC simulované v CADENCE je podle (6.24) přibližně 2 %.



Obr. 6.8: Optimalizovaný model CMC druhé generace

# 7 ANALÝZA CHOVÁNÍ KASKÁDNÍHO MODULÁTORU DELTA-SIGMA S CHYBAMI TECHNIKY SI

Pro ověření vlivu chyb techniky SI jsou provedeny simulace porovnávající chování ideálního a modulátoru  $\Delta\Sigma$  realizovaného "reálným" integrátorem. V simulacích byly použity integrátory s implementovanými chybami techniky SI na vstupu kaskády, jak je vidět na obr. 7.1.

U CMC druhé generace je délka přechodového děje typicky 5krát kratší než u CMC první generace. To znamená, že aby byly dodrženy stejné podmínky simulací, simulace modulátoru tvořeného CMC první generace by trvala přibližně 8krát déle. Tento paradoxní stav vychází z nutnosti rozdělení hodinového signálu modulátoru na takový počet kroků, aby byl přechodný děj rozdělen minimálně na 5 kroků.

Je-li realizován modulátor  $\Delta\Sigma$  v technice SI, je velmi výhodné, aby se jednalo o strukturu se zpožďovacími integrátory. Z výsledků práce vyplynulo, že nejperspektivnější kaskádní strukturou je CIDIDF. Nicméně aby byla zachována možnost srovnání, je testováno i chování struktury CIDIFF.



**Obr. 7.1:** Schéma zapojení simulovaného kaskádního modulátoru CIDIDF druhého řádu v prostředí MATLAB Simulink

Modely CMC první i druhé generace vytvořené v MATLAB SIMULINK imitují chyby techniky SI současně, a protože tyto jevy není možné fyzicky separovat, jejich oddělená analýza nemá smysl.



**Obr. 7.2:** Závislost *SNR* modulátoru CIDIDF na velikosti amplitudy překmitu přechodného děje

Dále pak nebude testován vliv stejnosměrné složky, jelikož je z principu stejný jako v případě ideálního modulátoru  $\Delta\Sigma$ . Změna teploty vede ke změně velikosti chyby linearity převodní charakteristiky CMC a ke změně velikostí amplitudy překmitů přechodných dějů. Tyto závislosti budou zkoumány, proto není nutné

vyšetřovat závislost na teplotě odděleně. Na obr. 7.2 je zobrazena závislost *SNR* na velikosti amplitudy překmitů přechodného děje CMC první a druhé generace pro strukturu CIDIDF



Obr. 7.3: Závislost SNR modulátoru CIDIDF na velikosti vstupního signálu Amax



**Obr. 7.4:** Zobrazení kontur závislosti *SNR* modulátoru na *OSR* a velikosti amplitudy přechodného děje pro CMC 1. generace

# 8 ZÁVĚR

Předkládaná práce pojednává o modelování vlivu chyb techniky spínaných proudů na chování modulátorů  $\Delta\Sigma$ . Nejprve byly navrženy a simulovány proudové

paměťové buňky první a druhé generace. Ty jsou základními stavebními bloky při realizaci modulátorů  $\Delta\Sigma$ . Při návrhu bylo využito návrhové prostředí CADENCE Spectra a použita technologie AMIS CMOS 0,7 µm. Záměrně nebyly využity obvodové techniky vedoucí k potlačení parazitního chování techniky spínaných proudů. V důsledku toho se chyby techniky spínaných proudů naplno projeví v analyzovaných obvodech.

Následně byly analyzovány zdroje chyb proudových paměťových buněk a na základě této analýzy vytvořeny jejich matematické modely. Věrnost vytvořených modelů byla ověřena porovnáním s chováním paměťových buněk vytvořených na tranzistorové úrovni v návrhovém prostředí CADENCE Spectra v technologii AMIS CMOS 0,7 μm. Relativní odchylka hodnot vytvořených modelů je nižší než 2 %. Paralelním zapojením dvou proudových paměťových buněk byly vytvořeny bloky integrátorů. Tyto bloky byly implementovány do prostředí MATLAB SIMULINK. Díky tomu, v kombinaci s nástrojem DStoolkit2 [7], který je zaměřen na analýzu chování obvodů využívajících techniku spínaných kapacitorů, vzniklo komplexní zázemí pro simulaci vlivu techniky spínaných proudů na všechny druhy obvodů (modulátory, filtry, zesilovače, atd.).

Samostatnou kapitolou práce je návrh modulátorů  $\Delta\Sigma$  různých struktur a topologií, na kterých je analyzován vliv působení chyb techniky spínaných proudů. Pozornost byla věnována především kaskádním modulátorům a struktuře typu MASH. Zejména pak kaskádním strukturám druhého řádu, u kterých byly popsány přenosové funkce pro různé realizace integrátorů. Aby byla zajištěna porovnatelnost dosažených výsledků, byly nejprve specifikovány podmínky analýz. Klíčovým parametrem pro určení velikostí přenosových koeficientů je stabilita modulátoru. Protože je modulátor  $\Delta\Sigma$  lineární nespojitý systém, není určení stability triviální záležitostí. Hodnoty přenosových koeficientů se často určují s ohledem na zaručení stability tak, aby byla splněna podmínka Leeho zákona. V této práci byl kladen důraz na zajištění stability modulátoru, nikoli na dosažení nejvyššího odstupu signálu od šumu. Tyto dva požadavky jsou obvykle protichůdné. Na základě porovnání výsledků testované odolnosti proti změnám hodnot přenosových parametrů, byla pro realizaci kaskádního modulátoru technikou spínaných proudů vybrána jako nejperspektivnější struktura CIDIDF s integrátory se zpožděním.

Na závěr byly ideální bloky integrátorů, které jsou v obvodu modulátoru  $\Delta\Sigma$  dominantními zdroji chyb, nahrazeny integrátory implementujícími zdroje chyb techniky spínaných proudů. Protože velikost chyb vznikajících díky použití proudových paměťových buněk bez účinných kompenzací je natolik velká, že vede k okamžité saturaci modulátoru, byly testy prováděny při snížené úrovni velikosti chyb (A<sub>err</sub> = 0,1A<sub>real,err</sub> u proudové paměťové buňky první generace a A<sub>err</sub> = 0,01A<sub>real,err</sub> u proudové paměťové buňky druhé generace).

Jak ukazují výsledky simulací, je pro konstrukci modulátoru  $\Delta\Sigma$  vhodnější použití proudové paměťové buňky první generace než druhé generace. A to i přes to, že v případě proudové paměťové buňky druhé generace je z podstaty její konstrukce vyloučena chyba neshodnosti tranzistorů a tak i změna zesílení. Je to způsobeno tím, že směr toku proudu během přechodného děje je stále stejný. V důsledku toho vzniká stejnosměrná složka signálu způsobující degradaci výsledného odstupu signálu od šumu.

Závěrem shrnu nejdůležitější části mé disertační práce. Hlavním přínosem je detailní analýza vzniku chyb vznikajících použitím techniky spínaných proudů při konstrukci proudových paměťových buněk první a druhé generace. Na základě této analýzy jsem vytvořil matematické modely a implementoval je v prostředí MATLAB SIMULINK. Věrnost vytvořených modelů jsem prokázal tak, že jsem je porovnal s chováním proudových paměťových buněk vytvořených s využitím návrhového prostředí CADENCE Spectra v technologii AMIS CMOS 0,7  $\mu$ m. Dále jsem navrhl několik základních struktur modulátorů  $\Delta\Sigma$ , které jsem doplnil o zdroje chyb techniky spínaných proudů. Výsledkem je soubor výsledků simulací ukazující konkrétní vliv chyb na rozlišení modulátoru. V rámci práce na projektu Nové principy integrovaných nízkonapěťových a nízkopříkonových AD převodníků v submikronových technologiích GA102/05/0869 jsem navrhl a realizoval proudovou paměťovou buňku druhé generace se spínači s kompenzovanou injekcí náboje pomocí "dummy" spínačů.

Díky tomu, že vytvořené modely v MATLAB SIMULIK jsou velmi univerzální, mám v plánu vytvoření kompletního nástroje (toolkitu) k analýze obvodů realizovaných technikou spínaných proudů, který bude veřejně k dispozici prostřednictvím internetového portálu programu MATLAB obdobně jako nástroj DStoolkit2 [7]. Souběžně s tím, v rámci projektu GAČR GA102/08/1116 Metody digitalizace signálů pro moderní senzory, pracuji na návrhu převodníku delta-sigma realizovaného technikou spínaných proudů, pro jehož návrh jsem využil vytvořené modely.

Disertační práce vznikala při řešení projektů a výzkumných záměrů:

- Nové principy integrovaných nízkonapěťových a nízkopříkonových AD převodníků v submikronových technologiích GA102/05/0869,
- Metody digitalizace signálů pro moderní senzory GAČR GA102/08/1116,
- Moderní metody řešení, návrhu a aplikace elektronických obvodů GD102/03/H105,
- Nové trendy v mikroelektronických systémech a nanotechnologiích MIKROSYN MSM0021630503.

#### 9 LITERATURA

- BOURDOPOULOS, G. I., PNEVMATIKAKIS, A., ANASTASSOPOULOS, V., DELIYANNIS, T.I. *Delta-Sigma Modulators (Modeling, Design and Applications)*. London: Imperial College Press, 2003. 244 pages. ISBN 1-86094-369-1.
- [2] SCHREIER R.S., TEMES G. C. Understanding Delta-Sigma Data Converters, Piscataway NJ, IEEE Press, 2007, 446 stran, ISBN 0-471-46585-2
- [3] GEERTS, Y. STEYAERT, M. SANSEN, W.M.C. Design of Multi-Bit Delta-Sigma A/D Converters, The Springer International Series in Engineering and Computer Science, Vol. 686, 2002, 240 p., Hardcover ISBN: 978-1-4020-7078-5
- [4] TOUMAZOU, C. et al, Switched-Currents an analogue technique for digital technology, Peter Peregrinus Ltd, IEE Circuits and Systems Series 5, 1993. 618 pages. ISBN 0863-41294-7
- [5] TAN, N., SWITCHED-CURRENT DESIGN AND IMPLEMENTATION OF OVERSAMPLING A/D CONVERTERS, Norwell: Kluwer Academic Publishers, 1997. 231 pages. ISBN 0-7923-9963-3.
- [6] JONSSON, B. E., SWITCHED-CURRENT SIGNAL PROCESSING AND A/D CONVERSION CIRCUITS, Dordrecht: Kluwer Academic Publishers, 2000. 171 pages. ISBN 0-7923-7871-7.
- [7] MALOBERTI, F., *DATA CONVERTERS*, Dordrecht: Springer, 2007, 440 pages. ISBN 0-387-32485-2

# **Curriculum Vitae**

Jméno:Michal PAVLÍKNarozen:23. prosince 1980 v TřebíčiKontakt:pavlik@feec.vutbr.cz

#### Studium

2000 až 2005	Vysoké uče	ení tec	hnic	ké v	Brně /	Ústav	mik	roelekt	roniky
	- studium	oboru	Elek	ctrotec	hnická	výroba	а	manag	gement,
	- státní z	kouška	ú	íspěšn	ě slo	žena	v čer	vnu	2005,
	- diplomová	práce	na	téma	Spínaný	labora	torní	zdroj	řízený
	osobním	počít	ačem	ı	obhájen	a v	červ	nu	2005.

2005 až 2009 Vysoké učení technické v Brně / Ústav mikroelektroniky
 postgraduální studium oboru Mikroelektronika a technologie,
 státní zkouška úspěšně složena v červnu 2007.

#### Jazyky

Angličtina, španělština

### Další aktivity

Zaměření na návrh integrovaných obvodů v analogovém a smíšeném módu, aplikace s AD i DA převodníky, programování mikrokontrolérů. Spolupracuje na mnoha projektech domovského ústavu a fakulty:

- výzkumné záměry: Nové trendy v mikroelektronických systémech a nanotechnologiích MIKROSYN MSM0021630503
- granty MŠMT: KAAPS Výzkum univerzální a komplexní autentizace a autorizace pro pevné a mobilní počítačové sítě 2C08002
- granty GAČR: Nové principy integrovaných nízkonapěťových a nízkopříkonových AD převodníků v submikronových technologiích GA102/05/0869, Moderní metody řešení, návrhu a aplikace elektronických obvodů GD102/03/H105, Metody digitalizace signálů pro moderní senzory GA102/08/1116,
- projekty MPO: Výzkum nových technologií a metod měření diference tlaků a jejich ověření na funkčním vzorku inteligentního keramického senzoru s novým principem měření (DIF) FT-TA/050
- projekty FRVŠ: Hrotové měřicí pracoviště pro testování parametrů křemíkových čipů 2007/1900, Modernizace výuky laboratoří předmětu Digitální obvody a mikroprocesory 2007/2383 Vytvoření pracoviště pro optickou kontrolu kvality pájených spojů 2008/2022