

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV VÝKONOVÉ ELEKTROTECHNIKY A ELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF POWER ELECTRICAL AND ELECTRONIC ENGINEERING

Řízení trojfázového sinusového zdroje

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

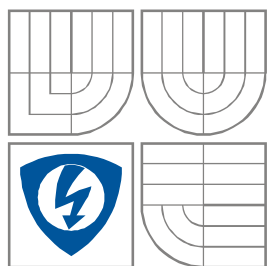
AUTOR PRÁCE
AUTHOR

Bc. Tomáš Žůrek

BRNO 2014



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

**ÚSTAV VÝKONOVÉ ELEKTROTECHNIKY
A ELEKTRONIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF POWER ELECTRICAL AND ELECTRONIC
ENGINEERING

Řízení trojfázového sinusového zdroje

Control of Three-phase Sinusoidal Power Source

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Tomáš Žůrek

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Bohumil Klíma, Ph.D.

BRNO, 2014



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav výkonové elektrotechniky a elektroniky

Diplomová práce

magisterský navazující studijní obor
Silnoproudá elektrotechnika a výkonová elektronika

Student: Bc. Tomáš Žůrek

Ročník: 2

ID: 125724

Akademický rok: 2013/14

NÁZEV TÉMATU:

Řízení trojfázového sinusového zdroje

POKyny PRO VYPRACOVÁNÍ:

1. Proveďte literární rešerši a porovnání metod tvarové regulace napětí v trojfázových sinusových zdrojích.
2. Seznamte se s prototypem trojfázového sinusového zdroje ELCOM a realizujte pro něj řídicí systém.
3. Realizujte SW algoritmy regulovaného zdroje vybrané metody regulace.
4. Ověřte vlastnosti zdroje

DOPORUČENÁ LITERATURA:

- [1] MOHAN, Ned, Tore M UNDELAND a William P ROBBINS. Power electronics: converters, applications, and design. 3rd ed. Hoboken, NJ: John Wiley, c2003, xvii, 802 p. ISBN 04-712-2693-9.
[2] MATTAVELLI, Simone Buso; Paolo. Digital control in power electronics. 1. ed. San Rafael, Calif.: Morgan, 2006. ISBN 15-982-9112-2.

Termín zadání: 27.9.2013

Termín odevzdání: 28.5.2014

Vedoucí práce: doc. Ing. Bohumil Klíma, Ph.D.

Konzultanti diplomové práce:


Ing. Ondřej Vitek, Ph.D.
předseda oborové rady



UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Abstrakt

Tato práce se zabývá řízením střídače jako zdroje trojfázového sinusového napětí pro potřeby UPS. Práce je složena ze dvou částí, teoretické a praktické. Teoretická část práce se zabývá rozбором topologie trojfázového střídače podle požadavku na střední vodič a možnostmi generování sinusové PWM v závislosti na topologii. Dále jsou rozebrány vlastnosti regulované soustavy a navrženy 3 metody regulace včetně jejich simulací.

Druhá část práce se zabývá realizací sinusového zdroje se střídačem zapůjčeným firmou Elcom. K řízení střídače je využit digitální signálový kontrolér TMS320F28335, na kterém jsou realizovány navržené regulační metody. Dále jsou uvedeny výsledky měření na funkčním prototypu zdroje. V závěru jsou porovnány výsledky simulací a měření a shrnuty dosažené vlastnosti zdroje.

Abstract

This thesis deals with control of three phase inverter as three phase sinusoidal voltage source for UPS application. Thesis is split to two parts, teoretical and practical. Teoretical part deals with three phase inverter topology analysis according requirement of neutral line wire and possibilities of generating sinusoidal PWM in depend of topology. There are also analysed properties of contorled system and designed 3 regulation methods with simulations.

Second part of thesis deals with realisation of sinusoidal power source with inverter borrowed by Elcom company. To inverter control is used digital signal controler TMS320F28335 with implemented control algorithms. There are also presented the measurement results of the prototype of power source. In conclusion, simulation results are compared with measurements and achieved results are summarized.

Klíčová slova

UPS, třífázový LC filtr, trojvětвовý trojfázový střídač, čtyřvětвовý trojfázový střídač, algoritmus prostorového vektoru, model trojfázového LC filtru v dq souřadnicích, kaskádní regulace, stavová regulace, prediktivní regulace, TMS320F28335, sinusový LC filtr, Code Composer Studio

Keywords

UPS, three phase LC filter, three leg three phase inverter, four leg three phase inverter, space vector algorithm, model of three phase LC filter in dq axis, cascade regulation, state space regulation, predictive regulation, TMSF320F28335, sine LC filter, Code Composer Studio

Bibliografická citace

ŽŮREK, T. *Řízení trojfázového sinusového zdroje*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 148 s. Vedoucí diplomové práce doc. Ing. Bohumil Klíma, Ph.D..

Prohlášení

Prohlašuji, že svou diplomovou práci na téma Řízení trojfázového sinusového zdroje jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této semestrální práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne

Podpis autora

Poděkování

Tímto bych chtěl poděkovat vedoucímu semestrální práce doc. Ing. Bohumilu Klímovi, Ph.D. za odbornou pomoc a vedení mé diplomové práce. Dále bych chtěl poděkovat panu Ing. Petru Hutákovi, Ph.D., doc. Dr. Ing. Miroslavu Patočkovi, Dr. Ing. Tomáši Bůbelovi, Ing. Daliboru Červinkovi, Ph.D., Ing. Pavlu Sedlákovu a Ing. Ladislavu Kašpárkovi za poskytnutí materiálů, konzultace a cenné rady a věnovaný čas při výrobě a odzkoušování sinusového zdroje. Dále bych chtěl poděkovat firmě Elcom za zapůjčení střídače, měřících modulů a tlumivek pro realizaci zdroje.

V Brně dne

Podpis autora



Obsah

SEZNAM OBRÁZKŮ.....	10
SEZNAM TABULEK	13
SEZNAM SYMBOLŮ A ZKRATEK.....	14
ÚVOD	15
1 DĚLENÍ UPS PODLE REŽIMU FUNKCE	16
1.1 STAND-BY UPS	16
1.2 ON-LINE UPS.....	17
1.3 LINE-INTERACTIVE UPS.....	18
1.4 SHRUTÍ.....	18
2 TOPOLOGIE TROJFÁZOVÉHO STŘÍDAČE PRO ZÁLOŽNÍ ZDROJ SINUSOVÉHO NAPĚTÍ	19
2.1 TROJVĚTVOVÝ TROJFÁZOVÝ STŘÍDAČ BEZ VYVEDENÉHO STŘEDU	19
2.1.1 METODA INJEKTOVÁNÍ SINUSOVÝCH VRCHLÍKŮ	22
2.1.2 SVM ALGORITMUS	25
2.2 TROJVĚTVOVÝ TROJFÁZOVÝ STŘÍDAČ S VYVEDENÝM STŘEDEM	30
2.3 TROJFÁZOVÝ STŘÍDAČ SE ČTYŘMI VĚTVEMI.....	31
2.4 REÁLNÁ HODNOTA AMPLITUDY 1. HARM. VÝSTUPNÍHO SDRUŽENÉHO NAPĚTÍ.....	32
2.5 SHRUTÍ.....	33
3 TVAROVÁ REGULACE VÝSTUPNÍHO NAPĚTÍ	34
3.1 POPIS REGULOVANÉ SOUSTAVY	35
3.1.1 POROVNÁNÍ PŘENOSU MEZI VSTUPNÍM NAPĚTÍM A PROUDEM INDUKČNOSTÍ U LC FILTRU A STEJNOSMĚRNÉHO MOTORU S PERMANENTNÍMI MAGNETY	38
3.2 TROJFÁZOVÝ LC FILTR.....	39
4 KASKÁDNÍ REGULAČNÍ STRUKTURA	45
4.1 NÁVRH REGULÁTORŮ VNITŘNÍ PROUDOVÉ SMYČKY	45
4.2 NÁVRH REGULÁTORU VNĚJŠÍ NAPĚŤOVÉ SMYČKY:	47
4.3 SIMULACE KASKÁDNÍ REGULAČNÍ STRUKTURY	48
4.4 NÁVRH REGULÁTORŮ PRO SIMULACI S DISKRÉTNÍM ČASEM	52
4.4.1 PARALELNÍ TVAR DISKRÉTNÍHO PID REGULÁTORU	52
4.4.2 REKURENTNÍ TVAR DISKRÉTNÍHO PID REGULÁTORU	53
4.5 KASKÁDNÍ REGULACE S DISKRÉTNÍMI PID REGULÁTORY	54
5 STAVOVÁ ZPĚTNOVAZEBNÍ REGULACE	56
5.1 NÁVRH STAVOVÉHO REGULÁTORU.....	56
5.2 SESTAVENÍ STAVOVÝCH MATIC	58
5.3 SIMULACE STAVOVÉ ZPĚTNOVAZEBNÍ REGULACE	59
5.4 SIMULACE STAVOVÉ REGULACE S DISKRÉTNÍM ČASEM	63



6 PREDIKTIVNÍ ŘÍZENÍ S VYUŽITÍM MODELU REGULOVANÉ SOUSTAVY	67
6.1 PREDIKTIVNÍ REGULACE	67
6.2 SIMULACE PREDIKTIVNÍ REGULACE.....	69
7 ŘÍDÍCÍ SYSTÉM S MIKROKONTROLEREM TMS320F28335	73
7.1 HARDWAROVÉ VÝVOJOVÉ PROSTŘEDKY TMS320F28335	73
7.2 SYSTÉM PŘERUŠENÍ A PERIPHERIAL INTERRUPT EXPANSION (PIE)	74
7.3 PWM MODULÁTOR	76
7.3.1 TIME-BASE.....	77
7.3.2 COUNTER COMPARE.....	77
7.3.3 ACTION QUALIFIER.....	78
7.3.4 DEAD-BAND.....	78
7.3.5 PWM-CHOPPER.....	79
7.3.6 TRIP-ZONE	79
7.3.7 EVENT-TRIGGER	79
7.4 A/D PŘEVODNÍK	80
7.4.1 PRINCIP SEKVENCERŮ	81
7.4.2 FUNKCE V SEKVENČNÍM A SIMULTÁNNÍM MÓDU	81
7.4.3 NEPŘERUŠITELNÝ AUTOSEKVENČNÍ MÓD	82
7.4.4 SEKVENČNÍ START/STOP MÓD	82
7.4.5 PŘERUŠENÍ END OF SCAN (EOS).....	82
7.5 VÝVOJOVÉ PROSTŘEDÍ CODE COMPOSER STUDIO 5.....	83
7.5.1 TVORBA SOFTWARE V CCS	84
7.5.2 LADĚNÍ.....	84
7.5.3 PŘÍSTUP K REGISTRŮM PERIFERIÍ S VYUŽITÍM HLAVIČKOVÝCH SOBORŮ TI	85
8 STŘÍDAČ FIRMY ELCOM SMĚŘENÍM S LC FILTREM.....	86
8.1 MODUL STŘÍDAČE	86
8.1.1 USMĚRŇOVAČ	87
8.1.2 IPM	87
8.1.3 MĚŘENÍ NAPĚTÍ MEZI OBVODU	88
8.1.4 MĚŘENÍ VÝSTUPNÍHO PROUDU	88
8.1.5 KONEKTOR X3	88
8.2 MODUL BUDIČE	89
8.3 MĚŘENÍ VÝSTUPNÍHO NAPĚTÍ	90
9 NÁVRH OBVODŮ MODULU PRO ŘÍZENÍ STŘÍDAČE A MĚŘENÍ	91
9.1 ZAPOJENÍ EXPERIMENTER'S KITU.....	91
9.1.1 DOCKING STATION	91
9.1.2 CONTROL CARD.....	92
9.2 NÁVRH MĚŘICÍHO MODULU	95
9.2.1 GENEROVÁNÍ ŘÍDÍCÍCH SIGNÁLŮ PRO BUDIČE.....	95
9.2.2 ZPRACOVÁNÍ CHYBOVÝCH SIGNÁLŮ OD BUDIČE.....	96
9.2.3 MĚŘENÍ PROUDU	97
9.2.4 MĚŘENÍ NAPĚTÍ MEZI OBVODU	98
9.2.5 MĚŘENÍ VÝSTUPNÍHO NAPĚTÍ	98
9.2.6 NAPÁJENÍ MĚŘICÍHO MODULU, STŘÍDAČE, BUDIČE A DOCKINGSTN	100



9.3 NÁVRH DESKY PLOŠNÝCH SPOJŮ	101
10 REALIZACE REGULAČNÍCH ALGORITMŮ PRO ŘÍDÍCÍ KONTROLÉR TMS320F28335	103
10.1 FUNKCE MAIN() A INICIALIZACE PERIFERIÍ	103
10.1.1 INITSYSCTRL().....	103
10.1.2 ENABLEDOG().....	103
10.1.3 INITPIECTRL().....	103
10.1.4 INITPIEVECTABLE()	104
10.1.5 INITGPIO().....	104
10.1.6 TIMERINIT()	104
10.1.7 EPWMMODULEINIT().....	104
10.1.8 ADCINIT()	105
10.1.9 REGSTRUCTINIT()	105
PŘERUŠENÍ CPU_TIMER_0_ISR().....	106
10.2 PŘERUŠENÍ EPWM1_TZ_ISR()	106
10.3 PŘERUŠENÍ ADC_EOS_ISR.....	106
10.4 KASKÁDNÍ REGULAČNÍ STRUKTURA.....	108
10.4.1 REALIZACE PARALELNÍHO PID REGULÁTORU	110
10.4.2 REALIZACE ALGORITMU INJEKTOVÁNÍ SINUSOVÝCH VRCHLÍKŮ	111
10.4.3 ALGORITMUS KRUHOVÉHO LIMITU.....	112
10.4.4 ALGORITMUS ČÍSLICOVÉ DOLNÍ PROPUSTI	112
10.5 STAVOVÁ REGULACE	113
10.5.1 ALGORITMUS STAVOVÉHO REGULÁTORU.....	116
10.5.2 OSTATNÍ ALGORITMY	117
10.6 PREDIKTIVNÍ REGULACE	118
10.6.1 ALGORITMUS PREDIKTIVNÍHO REGULÁTORU	121
10.7 SHRUTÍ.....	122
11 SESTAVENÍ ZDROJE, ODLADĚNÍ A DOSAŽENÉ VÝSLEDKY.....	123
11.1 SESTAVENÍ STŘÍDAČE A LC FILTRU	123
11.2 KASKÁDNÍ REGULAČNÍ STRUKTURA.....	125
11.2.1 VNITŘNÍ PROUDOVÁ SMYČKA.....	125
11.2.2 VNĚJŠÍ NAPĚŤOVÁ SMYČKA.....	126
11.3 STAVOVÁ REGULACE	130
11.4 PREDIKTIVNÍ REGULACE	136
ZÁVĚR.....	137
LITERATURA	139
PŘÍLOHY	141
PŘÍLOHA A – VÝVOJOVÉ PROSTŘEDÍ CCS5.....	142
PŘÍLOHA B – ZAPOJENÍ STŘÍDAČE A BUDIČE ELCOM	144
PŘÍLOHA C – SCHÉMA ZAPOJENÍ MĚŘÍČÍHO MODULU	146



SEZNAM OBRÁZKŮ

Obr. 1.: Standby UPS.....	16
Obr. 2.: On-line UPS.....	17
Obr. 3.: Line-interactive UPS	18
Obr. 4.: Trojfázový střídač bez vyvedeného středu	19
Obr. 5.: Časové průběhy napětí ve 3f. střídači	21
Obr. 6.: Navýšení amplitudy první harmonické větrového napětí	23
Obr. 7.: Průběhy napětí trojfázového střídače - injektování třetí harmonické, $M = 1$	24
Obr. 8.: Spínací vektory střídače v rovině $\alpha\beta$	27
Obr. 9.: Znázornění výpočtu dob aplikace spínacích vektorů.....	28
Obr. 10.: Průběhy napětí trojfázového střídače - SVM algoritmus, $M = 1$	28
Obr. 11.: Kruhový limit	29
Obr. 12.: Topologie střídače s vyvedeným středem	30
Obr. 13.: Čtyřvětrový trojfázový střídač	31
Obr. 14.: Spínací vektory čtyřvětrového střídače převzato z [8]	31
Obr. 15.: Schéma jednofázového LC filtru.....	35
Obr. 16.: Frekvenční charakteristiky netlumeného LC filtru	37
Obr. 17.: Filtr nakrátko.....	38
Obr. 18.: Transformace neharmonických signálů – bloky	40
Obr. 19.: Transformace neharmonických signálů - průběhy signálů	40
Obr. 20.: Stavový model trojfázového LC filtru v dq souřadnicích	43
Obr. 21.: Simulace kaskádní regulační struktury.....	48
Obr. 22.: Průběhy napětí a proudu - proudová smyčka.....	48
Obr. 23.: Průběhy napětí a proudu - zapojená napěťová smyčka.....	49
Obr. 24.: Kaskádní regulace v SPS.....	50
Obr. 25.: Průběhy napětí a proudu - proudová smyčka v SPS	50
Obr. 26.: Průběhy napětí a proudu - napěťová smyčka v SPS.....	51
Obr. 27.: Průběhy napětí a proudu – nelineární zátěž v SPS	51
Obr. 28.: Paralelní PID regulátor	53
Obr. 29.: Rekurentní PID regulátor.....	54
Obr. 30.: Kaskádní regulace, paralelní PID.....	54
Obr. 31.: Kaskádní regulace, Rekurentní PID.....	55
Obr. 32.: Stavový popis	56
Obr. 33.: Stavová regulace.....	57
Obr. 34.: Stavová regulace pro jednu fázi, Simulink	59
Obr. 35.: Průběh výstupního napětí a proudu tlumivkou, stavová regulace - Simulink	60
Obr. 36.: Stavová regulace – SPS.....	61
Obr. 37.: Průběhy napětí a proudu - skok odporové zátěže, $R_Z = 10 \Omega$	62
Obr. 38.: Průběhy napětí a proudu - připojení nelineární zátěže.....	63
Obr. 39.: Realizace spojitého a číslicového integrátoru.....	64
Obr. 40.: Porovnání spojitého a číslicového integrátoru, dopředná Eulerova transformace	65
Obr. 41.: Porovnání spojitého a číslicového integrátoru, Tustinova bilineární transformace.....	65
Obr. 42.: Průběhy napětí a proudu - připojení lineární zátěže, diskrétní regulace.....	66
Obr. 43.: Průběhy napětí a proudu - připojení nelineární zátěže, diskrétní regulace.....	66
Obr. 44.: Prediktivní regulace	68
Obr. 45.: Model prediktivní regulace.....	69



<i>Obr. 46.: Průběhy napětí a proudu - prediktivní regulace, R zátěž</i>	70
<i>Obr. 47.: Prediktivní regulace - nelineární zátěž</i>	71
<i>Obr. 48.: Prediktivní regulace - nelineární zátěž, změna parametrů soustavy</i>	71
<i>Obr. 49.: Deska pro experimentování s periferiemi</i>	74
<i>Obr. 50.: Maskovatelná přerušení vstupující do jádra procesoru, převzato z [16]</i>	75
<i>Obr. 51.: Peripheral Interrupt Expansion, převzato z [16]</i>	75
<i>Obr. 52.: Přemapování vektorů přerušení s využitím PIE, převzato z [16]</i>	76
<i>Obr. 53.: Synchronizovatelné submoduly PWM modulátoru, převzato z [18]</i>	76
<i>Obr. 54.: Bloky submodulu PWM modulátoru, převzato z [18]</i>	77
<i>Obr. 55.: Blokové schéma Dead-Band bloku, převzato z [18]</i>	78
<i>Obr. 56.: Výstupní signál s využitím PWM-chopper, převzato z [18]</i>	79
<i>Obr. 57.: Konfigurace se dvěma 8 stavovými sekvencery, převzato z [19]</i>	80
<i>Obr. 58.: Konfigurace s jedním 16 stavovým sekvencerem, převzato z [19]</i>	81
<i>Obr. 59.: Vývojové prostředí CCS 5</i>	83
<i>Obr. 60.: Tvorba sw pro F28335, převzato z [16]</i>	84
<i>Obr. 61.: Debug perspective ve vývojovém prostředí CCS 5</i>	84
<i>Obr. 62.: Přístup k periferiím pomocí struktur</i>	85
<i>Obr. 63.: Schéma modulu střídače Elcom</i>	86
<i>Obr. 64.: Blokové schéma IPM, převzato z [21]</i>	88
<i>Obr. 65.: Schéma zapojení modulu budiče</i>	89
<i>Obr. 66.: Konektor DIMM100, propojující Docking Stn a controlCARD, převzato z [22]</i>	91
<i>Obr. 67.: Napájení +5V, zdroj 3V3, převzato z [22]</i>	92
<i>Obr. 68.: Docking Stn</i>	92
<i>Obr. 69.: controlCARD s TMS320F28335</i>	92
<i>Obr. 70.: Napájení procesoru, převzato z [24]</i>	93
<i>Obr. 71.: Připojení procesoru k napájecímu napětí a zemi, převzato z [24]</i>	93
<i>Obr. 72.: Připojení vstupů AD převodníku, převzato z [24]</i>	94
<i>Obr. 73.: Buzení optočlenů</i>	95
<i>Obr. 74.: Detail hran na výstupu procesoru a diodách optočlenů</i>	96
<i>Obr. 75.: Zpracování chybových vstupů</i>	97
<i>Obr. 76.: Děliče měření proudu</i>	97
<i>Obr. 77.: OZ zapojený jako sumátor, převzato z [25]</i>	99
<i>Obr. 78.: Zapojení napěťového přizpůsobení z bočniku</i>	99
<i>Obr. 79.: Zdroj referenčního napětí pro sumátor</i>	100
<i>Obr. 80.: Napájecí zdroje, napájení DockingStn</i>	100
<i>Obr. 81.: Napájení napěťových LEM čidel</i>	101
<i>Obr. 82.: Měřicí modul</i>	101
<i>Obr. 83.: Měřicí modul s DockingStn</i>	102
<i>Obr. 84.: Testovací obvody</i>	102
<i>Obr. 85.: Blokové schéma implementace kaskádní regulační struktury</i>	108
<i>Obr. 86.: Blokové schéma implementace stavové regulace</i>	113
<i>Obr. 87.: Blokové schéma algoritmu stavového regulátoru</i>	117
<i>Obr. 88.: Blokové schéma implementace prediktivní regulační struktury</i>	118
<i>Obr. 89.: Sestavený sinusový zdroj při odladování regulačních algoritmů</i>	124
<i>Obr. 90.: Kaskádní regulace - napěťová smyčka, pod zátěží, sada tlumivek 1</i>	127
<i>Obr. 91.: Kaskádní regulace - napěťová smyčka, sada tlumivek 2</i>	128



<i>Obr. 92.: Kaskádní regulace, připojení lineární zátěže, sada tlumivek 1</i>	<i>128</i>
<i>Obr. 93.: Kaskádní regulace, připojení lineární zátěže, sada tlumivek 2</i>	<i>129</i>
<i>Obr. 94.: Kaskádní regulace, nelineární zátěž, sada tlumivek 1</i>	<i>129</i>
<i>Obr. 95.: Kaskádní regulace, nelineární zátěž, sada tlumivek 2</i>	<i>130</i>
<i>Obr. 96.: Stavová regulace, měření naprázdno, sada tlumivek 1</i>	<i>131</i>
<i>Obr. 97.: Stavová regulace, měření naprázdno, sada tlumivek 2</i>	<i>131</i>
<i>Obr. 98.: Stavová regulace, měření se zátěží, sada tlumivek 1</i>	<i>132</i>
<i>Obr. 99.: Stavová regulace, měření se zátěží, sada tlumivek 2</i>	<i>132</i>
<i>Obr. 100.: Stavová regulace, připojení zátěže, sada tlumivek 1</i>	<i>133</i>
<i>Obr. 101.: Stavová regulace, připojení zátěže, sada tlumivek 2</i>	<i>133</i>
<i>Obr. 102.: Stavová regulace, měření s nelineární zátěží, sada tlumivek 1</i>	<i>134</i>
<i>Obr. 103.: Stavová regulace, měření s nelineární zátěží, sada tlumivek 2</i>	<i>134</i>
<i>Obr. 104.: Připojení odporové zátěže s vyšším napětím</i>	<i>135</i>
<i>Obr. 105.: Prediktivní regulace, výstupní napětí při zátěži</i>	<i>136</i>



SEZNAM TABULEK

<i>Tab. 1.: Datové typy a identifikátory proměnných kaskádní regulace.....</i>	<i>109</i>
<i>Tab. 2.: Datové typy a identifikátory proměnných stavové regulace.....</i>	<i>114</i>
<i>Tab. 3.: Datové typy a identifikátory proměnných prediktivní regulace.....</i>	<i>119</i>
<i>Tab. 4.: Dosažené výsledky regulačních metod s diskrétním časem.....</i>	<i>137</i>



SEZNAM SYMBOLŮ A ZKRATEK

THD	Total Harmonic Distortion
UPS	Uninterruptible Power Supply
PF	Power Factor
PFC	Power Factor Correction
PWM	Pulse Width Modulation
SVM	Space Vector Modulation
SO	Symetrické Optimum
SPS	Sim Power Systems



ÚVOD

Některá elektronická zařízení, zejména ve zdravotnictví, telekomunikacích a dopravě vyžadují zajištění stabilní dodávky elektrické energie o předepsané kvalitě. V případě, že kvalita elektrické energie dostupná elektrické napájecí síti není dostačující, je nutné její parametry zlepšit zařízením vloženým mezi zdroj a spotřebič. Takovýmto zařízením je nepřerušitelný napájecí zdroj UPS. Úkolem UPS je nejen vylepšení kvality elektrické energie, ale také napájení spotřebiče při úplném výpadku. Energie je v tomto případě čerpána z vlastních zdrojů UPS, například baterií.

Základním blokem trojfázové UPS je trojfázový střídač, který je řízen jako zdroj trojfázového sinusového napětí. Vzhledem k možnému požadavku na přítomnost středního vodiče může být topologie střídače různá. Právě touto problematikou se zabývá jedna z kapitol teoretické části diplomové práce. Po stanovení požadavků je zvolena vhodná topologie střídače a dále je krátce pojednáno o možnostech řízení vzhledem k otázce maximálního modulačního činitele.

Další kapitoly teoretické části se zaměřují na popis regulované soustavy, která je tvořena právě trojfázovým střídačem a sinusovým LC filtrem, zařazeným za ním. Po rozboru regulované soustavy je přistoupeno k návrhu konkrétních regulačních algoritmů, které jsou simulovány v prostředí Matlab Simulink. Simulace jsou prováděny nejprve se spojitým časem, později je proveden převod do času diskrétního, aby byly algoritmy připravené pro implementaci v signálovém kontroléru.

Praktická část se zabývá realizací trojfázového sinusového zdroje. K realizaci byl zapůjčen trojfázový střídač firmu Elcom. Nejprve je analyzováno zapojení s důrazem na připojení k řídicímu a měřicímu modulu, jehož výroba je předmětem praktické části práce. K řízení je použit experimentální kit s procesorem TMS320F28335 firmy TI, který mi byl také zapůjčen firmou Elcom.

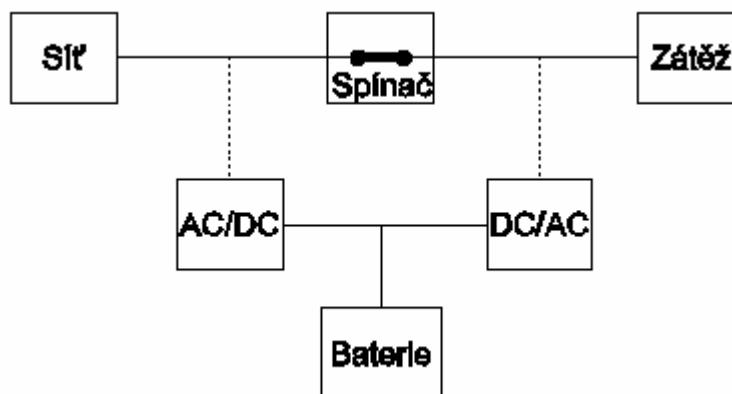
Po dokončení návrhové a výrobní části měřicího modulu je popsána implementace dříve simulovaných regulačních metod v použitém kontroléru.

V dalších kapitolách jsou prezentovány výsledky, dosažené s příslušnými regulačními metodami, které jsou v závěru práce shrnuty a porovnány se simulacemi. Výsledkem práce je funkční prototyp trojfázového sinusového zdroje.

1 DĚLENÍ UPS PODLE REŽIMU FUNKCE

Nepřerušitelné zdroje UPS jsou děleny podle konstrukce do několika kategorií. V této kapitole jsou uvedeny 3 základní druhy UPS s blokovými schématy výkonových částí a hlavními funkčními vlastnostmi.

1.1 Stand-by UPS

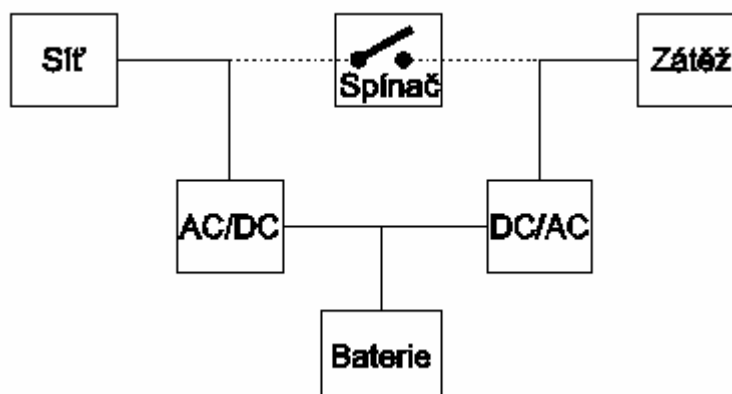


Obr. 1.: Standby UPS

Na Obr. 1 je zobrazeno zjednodušené blokové schéma výkonové části UPS, označovaného jako Stand-By UPS. Během normálního provozu je spínač sepnutý a zátěž je napájena přímo ze sítě. Zároveň je udržována baterie v nabitém stavu. Jakmile dojde k výpadku elektrické energie dostupné ze sítě, spínač se rozezne a zátěž je napájena s využitím střídače z energie uložené v baterii. Doba přechodu napájení ze sítě do záložního režimu je různá, podle požadavků aplikace – od zlomků periody napájecího napětí pro výpočetní techniku, po několik sekund, například pro oběhové čerpadlo kotlů na tuhá paliva. Jakmile dojde k obnovení provozu napájecí sítě, dojde k sepnutí spínače. Zátěž je opět napájena ze sítě a baterie nabíjena. Z principu funkce je zřejmé, že střídač a usměrňovač musí být dimenzovaný na plnou velikost zátěže.

Hlavními výhodami této topologie je jednoduchost a nízká cena. Nevýhodou je nemožnost tvarové regulace výstupního napětí v režimu sepnutého spínače (také označováno jako bypass režim) a vzhledem k ostatním topologiím také dlouhý čas přechodu mezi režimem zálohy a bypass režimem. [1]

1.2 On-line UPS



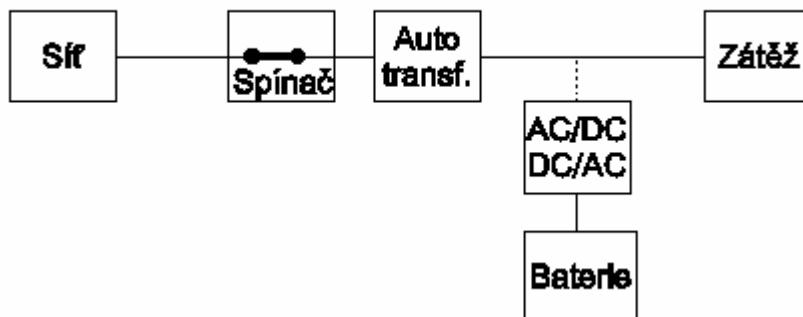
Obr. 2.: On-line UPS

Na Obr. 2 je zobrazeno zjednodušené blokové schéma On-line UPS. Na rozdíl od Standby UPS je v tomto případě zátěž napájena po celou dobu provozu s dostupným síťovým napětím z řetězce usměrňovač, stejnosměrný napěťový meziobvod (baterie), střídač. Výhodou tohoto uspořádání je možnost tvarové regulace výstupního napětí v režimu napájení ze sítě. Spínač slouží jako bypass při přetížení, nebo selhání UPS. Pro sepnutí spínače musí být výstupní napětí synchronizováno na síť. V případě výpadku elektrické energie dostupné ze sítě je zátěž napájena z energie uložené v baterii. Po opětovném obnovení provozu napájecí síť je kromě napájení zátěže dobíjena záložní baterie. Je tedy zřejmé, že usměrňovač musí být dimenzován na výkon vyšší, než je výkon zátěže.

Hlavní výhodou On-line UPS je tvarová regulace výstupního napětí po celou dobu napájení zátěže. Kvalita vstupního napájecího napětí nemusí být vysoká. Čas mezi přechodem síť/záloha v případě výpadku síťového napětí je nulový. Dále je možná změna frekvence výstupního napětí.

Mezi hlavní nevýhody patří vyšší cena, nízký vstupní účinník a nižší účinnost vůči ostatním řešením. Problém vstupního účinníku je možné řešit vřazením PFC obvodu [1].

1.3 Line-interactive UPS



Obr. 3.: Line-interactive UPS

Na Obr. 3 je zobrazeno blokové schéma Line-Interactive UPS. Jedná se o kompromis mezi On-line a vylepšenou Stand-by UPS. Line-interactive UPS obsahuje navíc autotransformátor, který může přepínáním odboček dlouhodobě kompenzovat pomalé změny vstupního napájecího napětí. Pokud parametry napětí vystoupí z tolerance, přejde UPS do režimu On-Line.

Výhodou této topologie je lepší účinnost oproti On-Line UPS a také částečná možnost regulace výstupního napětí vzhledem k Stand-By UPS.

Nevýhodou je nemožnost řízení frekvence výstupního napájecího napětí, protože zátěž může být připojena přímo na síť [1], [2].

1.4 Shrnutí

Z výše uvedeného přehledu UPS systémů je patrné, že hlavními výkonovými bloky jsou vstupní usměrňovač (aktivního nebo pasivního), stejnosměrný meziobvod, záložní baterie a výstupní střídač, který slouží ke generování výstupního sinusového napětí požadovaných parametrů. V dalších kapitole je diskutována topologie výstupního střídače vzhledem k požadavkům zátěže.

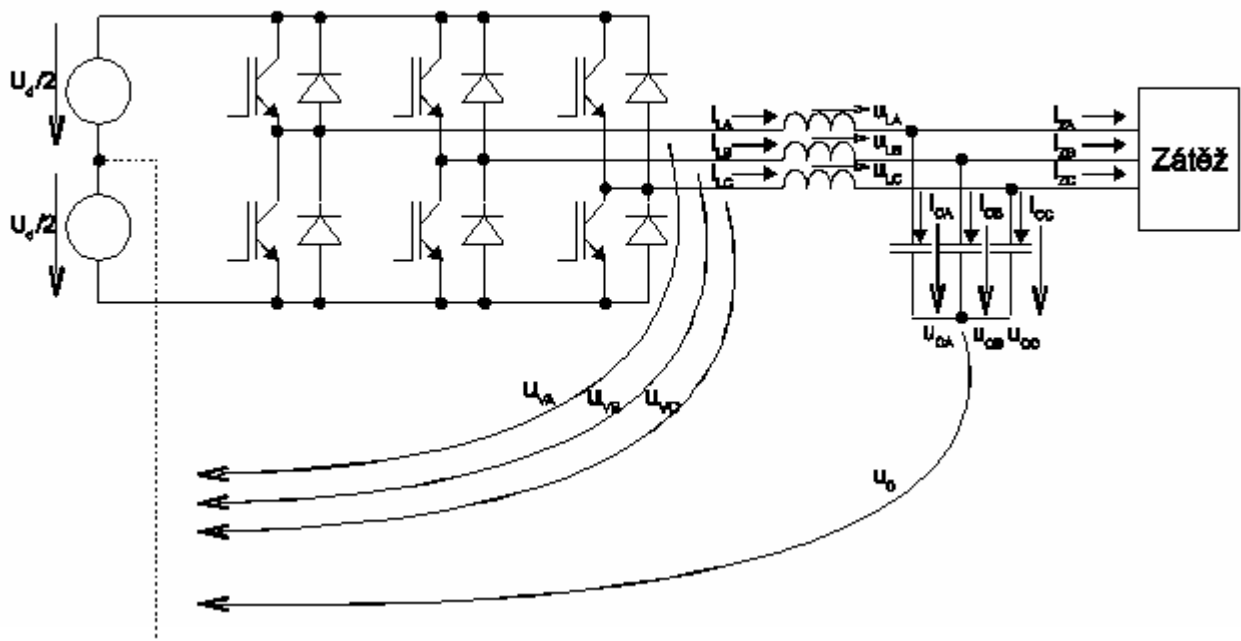
2 TOPOLOGIE TROJFÁZOVÉHO STŘÍDAČE PRO ZÁLOŽNÍ ZDROJ SINUSOVÉHO NAPĚTÍ

V této kapitole jsou rozebrány požadavky na topologii a řízení trojfázového střídače. Hlavním faktorem ovlivňujícím topologii střídače je požadavek na střední vodič v trojfázové soustavě. V případě, že střední vodič není zátěží požadován, je situace blízká řízení trojfázového střídače pro napájení asynchronního motoru. Potom je možné zvyšovat výstupní napětí střídače s využitím přičítání harmonických násobku tří.

Pokud z povahy zátěže vyplývá nutnost vyvedení středního vodiče, je možné tuto situaci řešit vyvedením středu meziobvodu, použitím výstupního transformátoru v zapojení trojúhelník/hvězda nebo použitím čtyřvětrového střídače. Zmíněné možnosti jsou rozebrány v následujícím textu.

2.1 Trojvětrový trojfázový střídač bez vyvedeného středu

Jedná se o známou variantu trojfázového střídače s napěťovým meziobvodem. Střídače je zobrazen na Obr. 4. Na výstupu střídače je připojen sinusový LC filtr, který propouští na svůj výstup první harmonickou impulsního průběhu výstupního napětí střídače. Střed kondenzátorů sinusového LC filtru není propojen se středem meziobvodu.



Obr. 4.: Trojfázový střídač bez vyvedeného středu



Podle teorie známé z výkonové elektroniky je možné odvodit následující vztahy pro výpočet sdružených a fázových napětí na základě známých průběhů napětí větvových [3], [4]. Uvažovaná napětí jsou vyznačena v Obr. 4.

Napětí sdružená, vypočtená jako rozdíl příslušných napětí větvových, měřených mezi výstupem větve a pomyslným středem meziobvodu:

$$u_{AB} = u_{VA} - u_{VB} \quad (2.1)$$

$$u_{BC} = u_{VB} - u_{VC} \quad (2.2)$$

$$u_{CA} = u_{VC} - u_{VA} \quad (2.3)$$

Napětí fázová:

$$u_A = \frac{2}{3}u_{VA} - \frac{1}{3}u_{VB} - \frac{1}{3}u_{VC} \quad (2.4)$$

$$u_B = \frac{2}{3}u_{VB} - \frac{1}{3}u_{VC} - \frac{1}{3}u_{VA} \quad (2.5)$$

$$u_C = \frac{2}{3}u_{VC} - \frac{1}{3}u_{VA} - \frac{1}{3}u_{VB} \quad (2.6)$$

A napětí vychylovací:

$$u_0 = \frac{1}{3}u_{VA} + \frac{1}{3}u_{VB} + \frac{1}{3}u_{VC} \quad (2.7)$$

V uvažovaném případě, kdy není vyveden střed trojfázové soustavy, platí, že součet výstupních fázových i sdružených napětí je nulový:

$$u_{AB} + u_{BC} + u_{CA} = 0 \quad (2.8)$$

$$u_A + u_B + u_C = 0 \quad (2.9)$$

Součet větvových napětí ale obecně být nulový nemusí:

$$u_{VA} + u_{VB} + u_{VC} \neq 0 \quad (2.10)$$

Výše uvedené rovnice platí pro libovolné časové průběhy – jak pro jednotlivé harmonické přítomné ve výstupních napětích, tak pro impulsní vf průběhy v měniči.

Shrnutí dalších vlastností trojfázového střídače

V literatuře [3], [4] je dokázáno, že v trojfázovém střídači platí následující skutečnosti:

- amplituda 1. harmonické fázového napětí má stejnou hodnotu, jako amplituda 1. harmonické větrového napětí.

Platí tedy:

$$U_{A1} = U_{VA1}, \quad U_{B1} = U_{VB1}, \quad U_{C1} = U_{VC1} \quad (2.11)$$

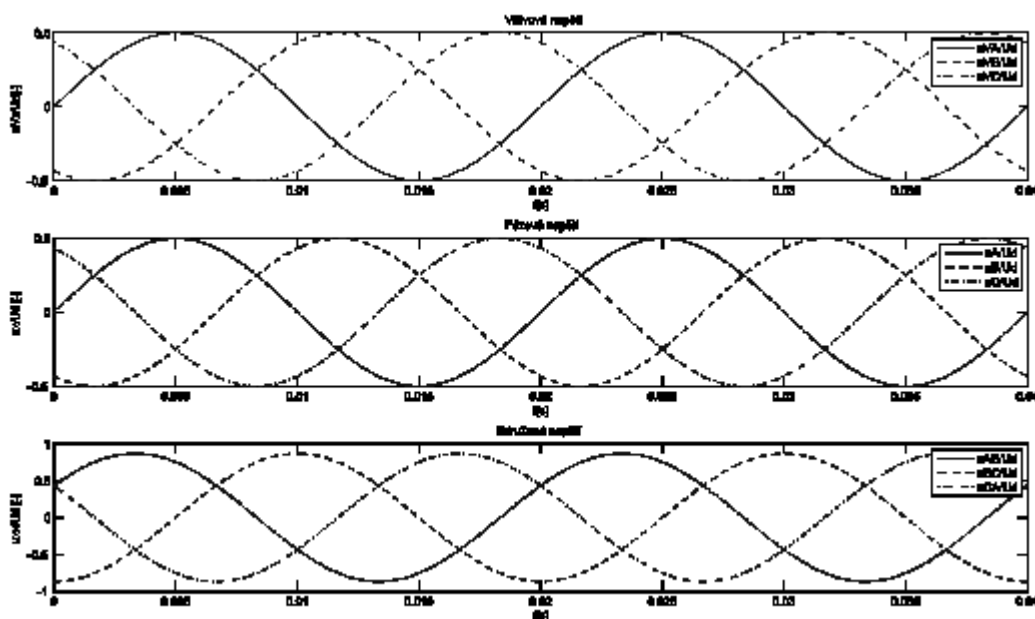
- Harmonické, jejichž násobek je roven 3, se ve fázových ani sdružených napětích trojfázové soustavy s izolovaným středem nevyskytují, protože jsou soufázové. Platí tedy:

$$U_{A3} = 0, \quad U_{B3} = 0, \quad U_{C3} = 0 \quad (2.12)$$

V důsledku této skutečnosti je možné, aby větrové napětí harmonické násobku tří obsahovalo. Soufázové harmonické násobku 3 se ale vyskytují jako napětí, které by bylo měřitelné mezi středem kondenzátorů výstupního sinusového filtru a středem stejnosměrného napěťového meziobvodu. Toto napětí se nazývá vychylovací a je v Obr. 4 označeno jako napětí u_0 .

Otázka maximální možné první harmonické

Předpokládejme, že střídač je řízen algoritmem sinusové PWM modulace. Proud zátěže tekoucí příslušnou větví se tak může uzavřít podle své polaritě buď sepnutým tranzistorem, nebo příslušnou nulovou diodou. Impulsní větrové napětí potom může nabývat hodnoty $\pm U_d/2$. To je zároveň hodnota amplitudy první harmonické výstupního fázového napětí. Pokud budou řídicí signály střídače generovány sinusovým PWM modulatorem (komparace nf sinusového modulačního signálu s trojúhelníkovým vf nosným signálem), získáme s využitím vztahů (2.1) až (2.11) následující časové průběhy:



Obr. 5.: Časové průběhy napětí ve 3f. střídači



Podle výše uvedených vlastností trojfázového střídače bude maximální možná amplituda první harmonické fázového napětí stejně velká, jako maximální možná amplituda první harmonické větrového napětí. Tedy:

$$U_{A1\max} = U_{VA1\max} = \frac{U_d}{2} \quad (2.13)$$

V trojfázovém systému je amplituda sdruženého napětí $\sqrt{3}$ krát vyšší, než amplituda napětí fázového. Potom

$$U_{AB1\max} = \frac{\sqrt{3}}{2} U_d = 0,866 U_d \quad (2.14)$$

Amplitudy prvních harmonických odpovídají amplitudám na Obr. 5. Veličiny na osách y jsou vztaženy k napětí stejnosměrného meziobvodu, jsou tedy bezrozměrné.

Je zřejmé, že výstupní sdružené napětí trojfázového střídače je přibližně o 14% nižší, než výstupní napětí jednofázového střídače, které je definováno stejně – jako rozdíl napětí větrových. Řešení situace spočívá v navýšení první harmonické větrových napětí tak, aby amplituda prvních harmonických sdružených napětí byla rovna napětí meziobvodu U_d . Toho je možné docílit přičtením harmonických násobků tří k větrovým napětím. Úloha není jednoznačná, řešení existuje řada. Podrobně jsou uvedena v literatuře [4]. V následujícím textu jsou zmíněna dvě konkrétní řešení a to metoda injektování sinusových vrchlíků a algoritmus SVM.

2.1.1 Metoda injektování sinusových vrchlíků

V následujícím popisu metody injektování sinusových vrchlíků jsou posuzovány první harmonické napětí v trojfázovém střídači, které jsou odvozeny od impulsních průběhů napětí. Princip hardwarového generování impulsních průběhů řídicích větrových signálů je považován za známý.

Literatura [3], [4] definuje modulační činitel jako poměr amplitudy první harmonické sdruženého napětí a napětí meziobvodu:

$$M = \frac{U_{AB1}}{U_d} \quad (2.15)$$

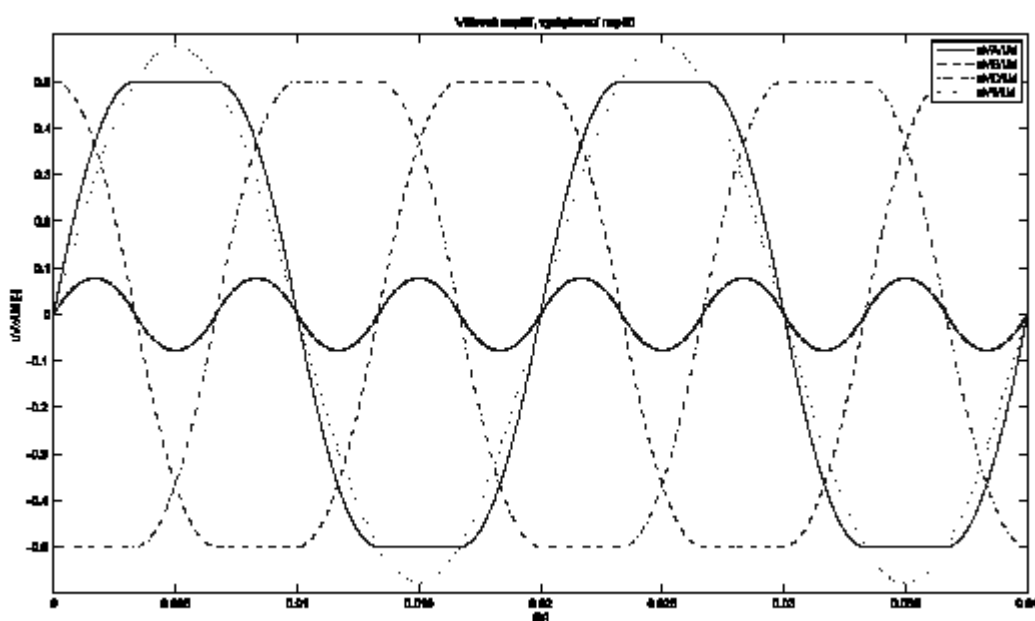
Podle rovnice (2.14) je modulační činitel trojfázového střídače s harmonickými větrovými napětími roven právě hodnotě $\sqrt{3}/2$. Pokud navýšíme původní harmonický nf modulační signál v opačném poměru, $2/\sqrt{3}$, bude amplituda první harmonické fázového napětí rovna

$$U_{A1\max} = U_{VA1} = \frac{2}{\sqrt{3}} \frac{U_d}{2} = \frac{U_d}{\sqrt{3}} \quad (2.16)$$

a amplituda první harmonické sdruženého napětí potom bude stejně jako v případě jednofázového střídače

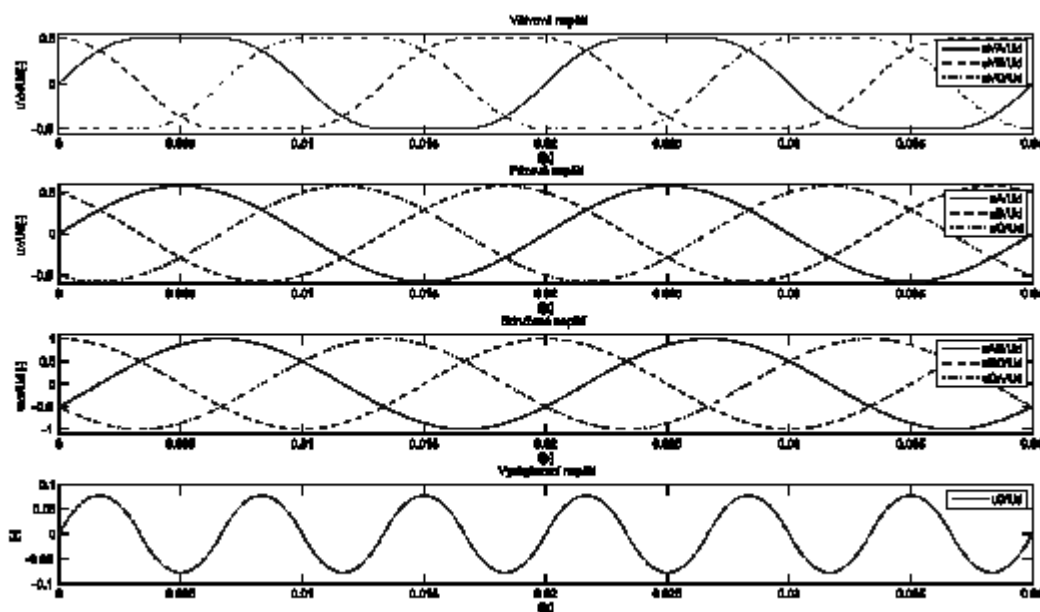
$$U_{ABmax} = \sqrt{3}U_{A1max} = U_d \quad (2.17)$$

Důsledkem zvýšení nf modulačního větrového napětí v poměru $2/\sqrt{3}$ je vznik sinusové úseče první harmonické, která převyšuje maximální možnou hodnotu impulsního větrového napětí, která je rovna $U_d/2$, viz Obr. 6. Pokud zmíněnou úseč doplníme na periodický signál o trojnásobném kmitočtu a k zvýšenému nf modulačnímu signálu přičteme, získáme modifikované průběhy nf modulačních napětí podle Obr. 6. Podle výše uvedených pouček se třetí harmonická ve výstupních napětích střídače neprojeví. Měřitelná je jako vychylovací napětí, mezi středem meziobvodu a středem sinusového LC filtru.



Obr. 6.: Navýšení amplitudy první harmonické větrového napětí

Průběhy prvních harmonických fázových a sdružených napětí, modifikovaného průběhu větrového napětí a vychylovacího napětí v trojfázovém střídači jsou patrné z Obr. 7.



Obr. 7.: Průběhy napětí trojfázového střídače - injektování třetí harmonické, $M = 1$

Realizace algoritmu injektování sinusových vrchlíků je možná dvěma způsoby:

- Nf modulační signál má pro jakýkoliv modulační činitel tvar sinusoidy s přičteným vychylovacím napětím. Vychylovací o konstantní amplitudě existuje v celém intervalu modulačního činitele.
- Nf modulační signál má do velikosti modulačního činitele $M = \sqrt{3}/2$ tvar čisté sinusoidy. Pokud je modulační činitel vyšší, začnou existovat sinusové úseče a tedy i vychylovací napětí. Toto napětí však nemá v počátku intervalu $M = \langle \frac{\sqrt{3}}{2}, 1 \rangle$ tvar sinusoidy, ale sinusových vrchlíků spojených přímkami.

Realizace algoritmu injektování sinusových vrchlíků je následující:

1. Z nadřazené regulační struktury obdržíme nebo vypočteme *tři žádaná fázová napětí*.
2. Okamžité hodnoty fázových napětí jsou porovnávány s hodnotou $\sqrt{3}/2$.
3. Pokud je okamžitá žádaná hodnota fázového napětí vyšší, než $\sqrt{3}/2$, dopočteme vychylovací napětí
4. Vypočteme odpovídající střidy vstupující do hardwarového PWM modulátoru.

Podrobný popis algoritmu injektování třetí harmonické je uveden ve [4].

2.1.2 SVM algoritmus

V následujícím textu je zjednodušeně popsán algoritmus generování nf modulačních signálů pro hardwarový PWM modulátor podle algoritmu modulace prostorového vektoru. Tento algoritmus je založen na transformaci symetrické trojfázové soustavy do soustavy dvoufázové. Do této soustavy jsou zároveň transformovány všechny prostorové vektory, které umí generovat trojfázový střídač. Podle polohy žádané hodnoty prostorového vektoru v komplexní rovině jsou střídačem generovány tři přilehlé prostorové vektory po odpovídající časové úseky.

Komplexní prostorový vektor, Clarkova a Parkova transformace

Komplexní prostorový vektor $\mathbf{x}_{s,\alpha\beta}$ obecných trojfázových veličin x_a, x_b, x_c je podle [4] definován následujícím vztahem:

$$\mathbf{x}_{s,\alpha\beta} = \frac{2}{3}(x_a + x_b \mathbf{a} + x_c \mathbf{a}^2), \quad \mathbf{a} = e^{-j\frac{2\pi}{3}} \quad (2.18)$$

kde $\mathbf{a}$ je operátor natočení v exponenciálním tvaru. Pokud operátor natočení dosadíme ve tvaru algebraického, lze komplexní prostorový vektor rozložit na reálnou a imaginární část. Výpočet reálné a imaginární části prostorového vektoru z okamžitých hodnot trojfázových veličin se nazývá Clarkova transformace:

$$\begin{aligned} x_{s\alpha} &= \frac{1}{3}(2x_a - x_b - x_c) \\ x_{s\beta} &= \frac{1}{\sqrt{3}}(x_c - x_b) \end{aligned} \quad (2.19)$$

Reálnou a imaginární složku komplexního prostorového vektoru je možné převést zpět na okamžité hodnoty trojfázových veličin s využitím zpětné Clarkovy transformace [4]:

$$\begin{aligned} x_a &= \operatorname{Re}\{\mathbf{x}_{s,\alpha\beta}\} = x_{s\alpha} \\ x_b &= \operatorname{Re}\{\mathbf{x}_{s,\alpha\beta} \cdot \mathbf{a}^{-1}\} = -\frac{1}{2}x_{s\alpha} + \frac{\sqrt{3}}{2}x_{s\beta} \\ x_c &= \operatorname{Re}\{\mathbf{x}_{s,\alpha\beta} \cdot \mathbf{a}^{-2}\} = -\frac{1}{2}x_{s\alpha} - \frac{\sqrt{3}}{2}x_{s\beta} \end{aligned} \quad (2.20)$$

Časové průběhy reálné a imaginární části $x_{s\alpha}, x_{s\beta}$ komplexního prostorového vektoru $\mathbf{x}_{s,\alpha\beta}$ rotujícího v komplexní rovině $\alpha\beta$ úhlovou rychlostí ω , respektive natočeného o úhel ϑ jsou rovny průmětům komplexního prostorového vektoru do reálné a imaginární osy.

Pokud vytvoříme nový komplexní souřadný systém dq , rotující úhlovou rychlostí ω_k , respektive natočený o okamžitý úhel ϑ_k vůči původnímu souřadnému systému α, β , můžeme prostorový vektor zobrazit v tomto novém komplexním systému. Převod prostorového vektoru v souřadném systému $\alpha\beta$ do souřadného systému dq se nazývá Parkova transformace:

$$\mathbf{x}_{s,dq} = \mathbf{x}_{s,\alpha\beta} e^{-j\vartheta_k} \quad (2.21)$$

Výpočet je možný zvlášť pro reálnou a imaginární část. Maticový zápis výpočtu složek je následující:

$$\begin{bmatrix} x_{sd} \\ x_{sq} \end{bmatrix} = \begin{bmatrix} \cos(\vartheta_k) & \sin(\vartheta_k) \\ -\sin(\vartheta_k) & \cos(\vartheta_k) \end{bmatrix} \begin{bmatrix} x_{s\alpha} \\ x_{s\beta} \end{bmatrix} \quad (2.22)$$

Přechod zpět do stacionárního souřadného systému $\alpha\beta$ je možný pomocí zpětné Parkovy transformace:

$$\mathbf{x}_{s,\alpha\beta} = \mathbf{x}_{s,dq} e^{j\vartheta_k} \quad (2.23)$$

Pro složky:

$$\begin{bmatrix} x_{s\alpha} \\ x_{s\beta} \end{bmatrix} = \begin{bmatrix} \cos(\vartheta_k) & -\sin(\vartheta_k) \\ \sin(\vartheta_k) & \cos(\vartheta_k) \end{bmatrix} \begin{bmatrix} x_{sd} \\ x_{sq} \end{bmatrix} \quad (2.24)$$

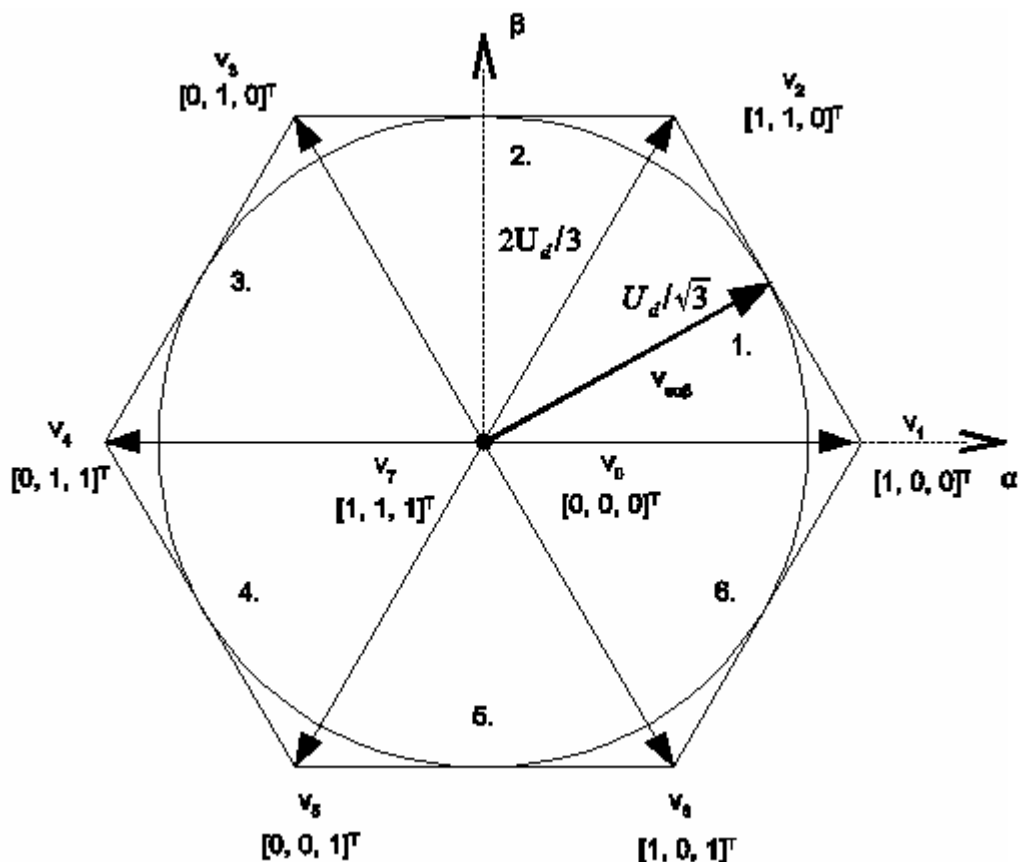
Popis trojfázového střídače v komplexní rovině $\alpha\beta$

Uvažujme trojfázový střídač na Obr. 4. Pokud zamezíme stavům, kdy oba tranzistory ve větvi vypnuté, nebo sepnuté (tento stav je nepřipustný, protože by větve zkratovala stejnosměrný meziobvod, který má záměrně nízký vnitřní odpor), může být v každé větvi sepnutý právě jeden tranzistor. Tomu odpovídá 2^3 kombinací. Definujme spínací vektor S :

$$S = \begin{bmatrix} a \\ b \\ c \end{bmatrix} \quad (2.25)$$

Prvky vektoru S mají význam sepnutí horního nebo dolního tranzistoru v příslušné větvi měniče. Pokud je sepnut horní tranzistor, nabývá příslušný prvek hodnoty 1, pokud je sepnutý dolní tranzistor, nabývá příslušný prvek hodnoty 0. Spínací vektor může nabývat 8 hodnot.

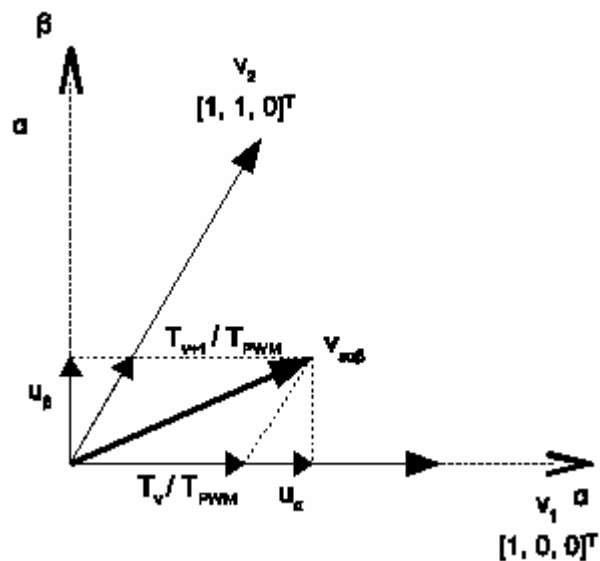
Jednotlivým spínacím vektorům odpovídají příslušná větвовá, fázová a sdružená napětí, podle vztahů (2.1) až (2.7). Dále je možné vypočítat složky spínacích vektorů v souřadném systému α, β , podle vztahů (2.19). Grafickým znázorněním 8 prostorových vektorů obdržíme v komplexní rovině šestiúhelník, kde dva prostorové vektory leží v počátku souřadného systému, viz Obr. 8.



Obr. 8.: Spínací vektory střídače v rovině $\alpha\beta$.

V Obr. 8 je zobrazen krom 8 spínacích vektorů také prostorový vektor $\mathbf{v}_{\alpha\beta}$. Tento vektor představuje tři žádané výstupní trojfázové veličiny transformované do souřadného systému $\alpha\beta$. Z obrázku je patrné, že maximální délka prostorového vektoru $\mathbf{v}_{\alpha\beta}$ může být taková, aby koncový bod opisoval obvod šestiúhelníku. V tomto případě se střídač nachází v six-step režimu [4]. Pokud je maximální velikost vektoru $\mathbf{v}_{\alpha\beta}$ omezena tak, aby se koncový bod vektoru pohyboval po kružnici vepsané šestiúhelníku, pracuje střídač v režimu sinusové PWM s maximálním modulačním činitelem $M = 1$, stejně jako v případě injektování třetí harmonické do větrových napětí.

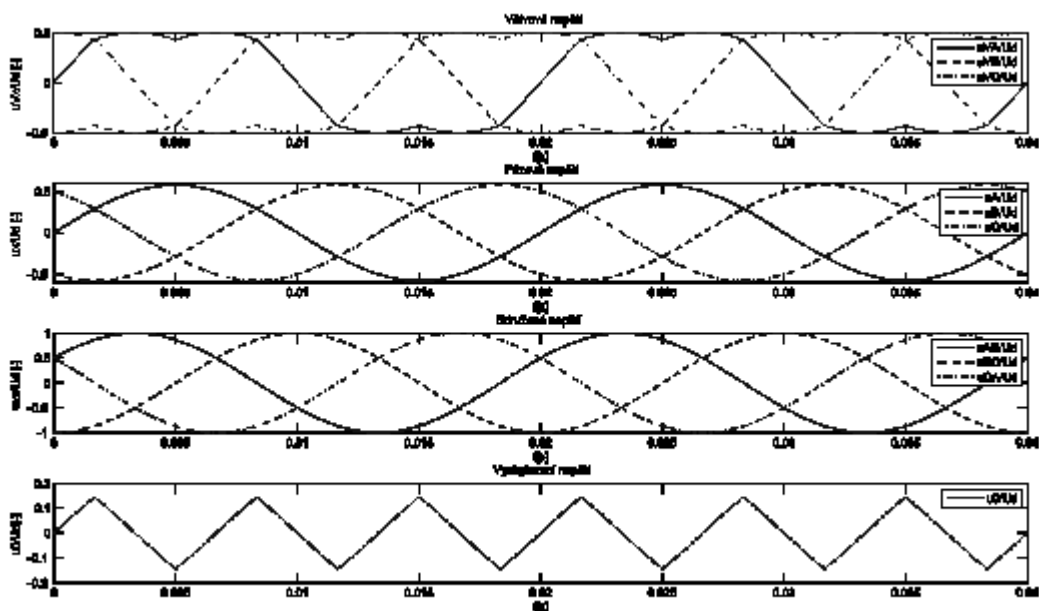
Osm spínacích vektorů rozděluje komplexní rovinu na 6 sektorů podle Obr. 8. Prostorový vektor žádané hodnoty fázového napětí střídače se může nacházet v jednom z těchto sektorů. Pokud je známá perioda PWM modulátoru T_{pwm} , lze rozkladem prostorového vektoru do přilehlých spínacích vektorů v daném sektoru vypočíst doby sepnutí přilehlých spínacích vektorů, podle Obr. 9.



Obr. 9.: Znázornění výpočtu dob aplikace spínacích vektorů

Vztahy pro výpočet dob aplikace spínacích vektorů, včetně popisu implementace algoritmu modulace prostorového vektoru pro signálové procesory je podrobně popsán v [4].

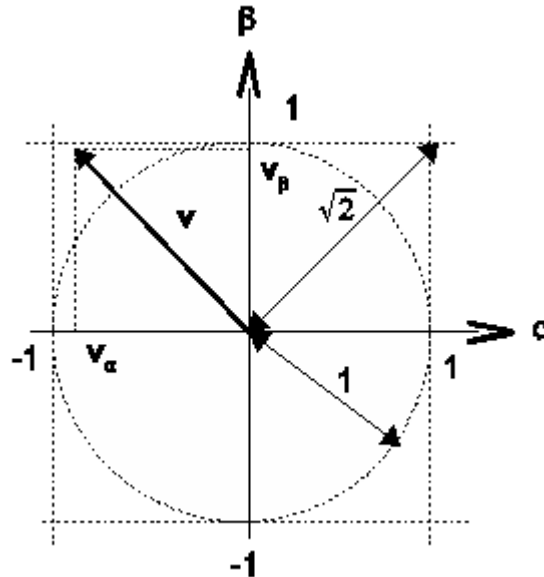
Na Obr. 4 jsou zobrazeny výstupní větrová, fázová, sdružená a vychylovací napětí pro trojfázový střídač řízený algoritmem SVM, pro modulační činitel $M = 1$.



Obr. 10.: Průběhy napětí trojfázového střídače - SVM algoritmus, $M = 1$

Kruhový limit

Pokud chceme zamezit tomu, aby prostorový vektor žádané hodnoty napětí vstupující do algoritmu SVM překročil hranice kružnice sinusové PWM, je třeba jeho velikost omezit. Omezení obou os do intervalu $\langle -1, 1 \rangle$ však není podle Obr. 11 dostačující. Délka prostorového vektoru je totiž vypočítávána podle Pythagorovy věty a pro uvedený interval by byla jeho maximální délka rovná $\sqrt{2}$.



Obr. 11.: Kruhový limit

Pro omezení velikosti žádané hodnoty prostorového vektoru do kruhového limitu je proto potřeba postupovat takto:

Nejprve vypočteme součet kvadrátů složek žádané hodnoty vektoru, který označíme v^2 :

$$v^2 = v_d^2 + v_q^2 \quad (2.26)$$

Pokud je tato hodnota větší než limitující hodnota délky vektoru, jsou původní složky zmenšeny v poměru překročení limitu následovně:

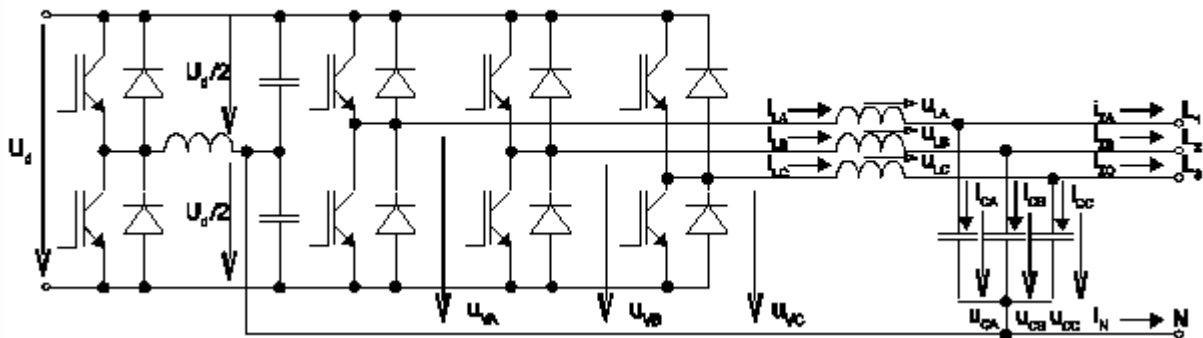
$$v_d^* = v_d \sqrt{\frac{\text{limit}^2}{v^2}} \quad (2.27)$$

a obdobně pro složku q

$$v_q^* = v_q \sqrt{\frac{\text{limit}^2}{v^2}} \quad (2.28)$$

2.2 Trojvětвовý trojfázový střídač s vyvedeným středem

V případě, že z parametrů zátěže plyne požadavek na přítomnost středního vodiče (například jednofázová zátěž), lze ho řešit propojením středu kondenzátorů sinusového LC filtru se středem meziobvodu. Vyvedený střed meziobvodu potom nahrazuje střední vodič. Topologie takového střídače je patrná z Obr. 12.



Obr. 12.: Topologie střídače s vyvedeným středem

Tento typ střídače umožňuje napájení silně nevyvážené, až jednofázové zátěže. Z pohledu regulace výstupního napětí se jedná o tři nezávislé obvody, jejichž výstupní napětí je měřeno proti pevnému středu – vodiči N. Zátěž v jedné fázi je tedy zcela nezávislá na zátěži ve fázích ostatních. Regulátory jsou potom pro všechny tři fáze stejné s identickými parametry [5].

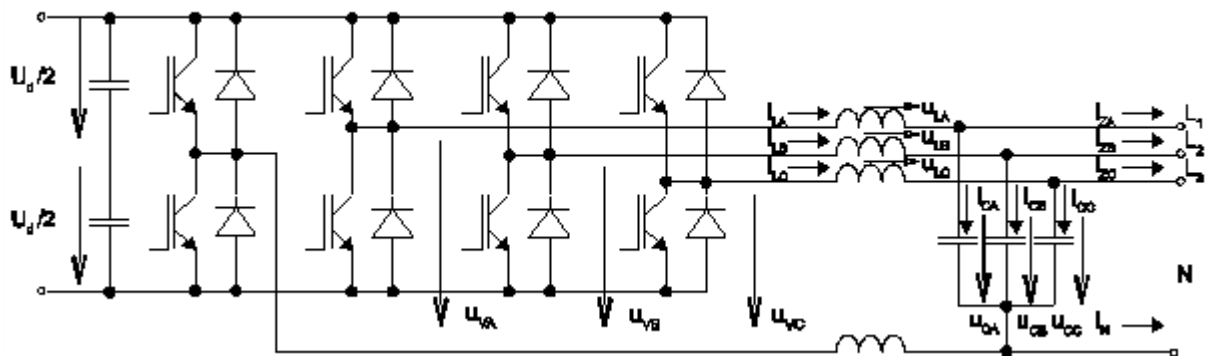
Uvažujme, že zátěž je tvořena jednocestným usměrňovačem. Odebíraný proud má potom jistě stejnosměrnou složku. Podle zapojení usměrňovače je proud odebírán buď v kladné, nebo záporné půlplně, tedy při sepnutí horního nebo dolního spínače. Potom může dojít k napět'ovému posunutí středu meziobvodu v důsledku nerovnoměrného odběru proudu z horního a dolního kondenzátoru meziobvodu. Tím pádem by přestala platit vzájemná nezávislost fází vzhledem ke středu meziobvodu. Tuto skutečnost je možné řešit buď napájením meziobvodu z transformátoru s vyvedeným středem, který je zdrojem tvrdého symetrického napětí, nebo vyrovnávacím obvodem podle Obr. 12 [5]. V případě, že je střídač napájený z elektrického stroje, je možné problém řešit dvojitým statorovým vinutím.

V předchozí kapitole byla zmíněna problematika dosažení maximálního modulačního činitele pro trojfázový střídač bez vyvedeného středu. Jako vhodné řešení bylo popsáno navýšení první harmonické větвовého napětí přičtením harmonických o násobku 3, které se ve střídači projevují jako napětí vychylovací. Jak je patrné z Obr. 12, u střídače s propojeným středem meziobvodu a středem filtračních kondenzátorů toto řešení není možné. Rozdíl potenciálů středu meziobvodu a středu kondenzátorů je zkratován právě středním vodičem. V důsledku toho musí být napětí meziobvodu u tohoto typu střídače navýšeno podle rovnice (2.16) právě $2/\sqrt{3}$ krát.

2.3 Trojfázový střídač se čtyřmi větvemi

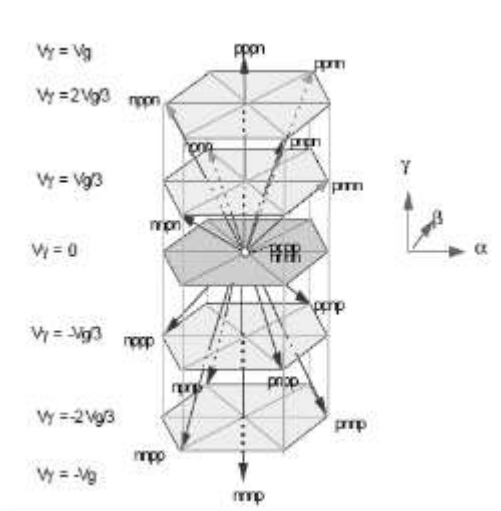
Další variantou obvodového řešení trojfázového střídače pro napájení nevyvážené zátěže je čtyřvětvojý střídač uvedený na Obr. 13.

Čtyřvětvojý střídač je totožný s trojvětvojým rozšířeným o další spínací větev. Řízení takového střídače je v porovnání s klasickým trojvětvojým střídačem s, nebo bez vyvedeného středu sice náročnější, avšak tato topologie přináší své výhody. Na rozdíl od střídače s vyvedeným středem umožňuje zcela eliminovat proud středním vodičem. Toho se využívá například při napájení IT techniky, jako jsou serverovny apod. [6].



Obr. 13.: Čtyřvětvojý trojfázový střídač

Čtyřvětvojý střídač je podle [7] možné řídit trojrozměrným algoritmem SVM. Přidaná čtvrtá větev rozšiřuje počet spínací vektorů uvedených v kapitole 2.1.2, na 16, tedy právě 2x (přibylly 2 spínače). Potom přibude další regulovatelné napětí, měřitelné mezi vodičem N a středem stejnosměrného meziobvodu. Pro generování spínacích prostorových vektorů jsou regulovaná výstupní napětí transformována opět do nového souřadného systému, tentokrát $\alpha\beta\gamma$ tak, aby opět vznikl prostorový vektor. Ten je promítnut do přilehlých vektorů spínacích a podle průmětů jsou generovány spínací impulsy tranzistorů příslušných větví.



Obr. 14.: Spínací vektory čtyřvětvojého střídače převzato z [8]

2.4 Reálná hodnota amplitudy 1. harm. výstupního sdruženého napětí

Pokud je trojfázový trojvětвовý střídač napájen s využitím šestipulsního usměrňovače, bude mít maximální okamžitá hodnota napětí ve stejnosměrném meziobvodu velikost rovnou amplitudě sdruženého napětí. Ta je rovna:

$$U_{d,max} = U_s \cdot \sqrt{2} = 400 \cdot \sqrt{2} = 565 \text{ V} \quad (2.29)$$

Minimální okamžitá hodnota napětí v meziobvodu je vzhledem k tvaru usměrňovaného trojfázového napětí rovna podle [3]

$$U_{d,min} = 490 \text{ V} \quad (2.30)$$

Pro střední hodnotu napětí ve stejnosměrném meziobvodu platí vztah:

$$U_d = U_m \cdot \frac{3}{\pi} = 400 \cdot \frac{3 \cdot \sqrt{2}}{\pi} = 540 \text{ V} \quad (2.31)$$

Střední hodnota napětí v meziobvodu je potom závislá na velikosti kapacity kondenzátoru. Bude – li kapacita velká, bude se střední hodnota napětí meziobvodu U_d blížit hodnotě 565 V. Pokud bude kapacita malá, bude se střední hodnota napětí blížit hodnotě 540 V.

V případě, že trojfázový střídač napájený ze stejnosměrného meziobvodu s šestipulsním usměrňovačem a bude řízen sinusovou PWM s maximálním modulačním činitelem $M = 1$, bude pro napětí v meziobvodu $U_d = 540 \text{ V}$ efektivní hodnota první harmonické sdruženého napětí rovna hodnotě

$$U_{AB1} = \frac{U_d}{\sqrt{2}} = \frac{540}{\sqrt{2}} \doteq 380 \text{ V} \quad (2.32)$$

To je hodnota nižší, než jmenovitá hodnota sdruženého napětí v trojfázové síti. Ve skutečnosti bude hodnota ještě nižší, snižena o úbytky napětí na spínacích prvcích, parazitních odporech filtračních indukčností a přechodových odporech. Tyto jevy situaci značně zhoršují, protože sama regulace potřebuje jistý „prostor“ pro kompenzování poklesů napětí od žádané hodnoty, například při skokových změnách zátěže, jak bude ukázáno dále. Situaci je proto nutné řešit buď aktivním PFC obvodem nebo aktivním usměrňovačem, které jsou z principu funkce zvyšující měniče. Pokud je střídač trojvětвовý s výstupním transformátorem, může střídač pracovat s nižšími napětími, které jsou před zátěží transformovány nahoru.



2.5 Shrnutí

Z výše uvedeného rozboru vyplívá, že topologie střídače je závislá na požadavku na střední vodič. Pokud je střídač trojvětвовý, střední vodič principiálně přítomný není. Řízení takového střídače je však nejjednodušší. Střední vodič lze vytvořit s využitím výstupního transformátoru, který má vinutí zapojené jako trojúhelník/hvězda. Transformátoru může zároveň řešit zvýšení výstupního napětí. Potom není nutné zvyšovat napětí v meziobvodu, aby bylo dosaženo požadované efektivní hodnoty sdruženého napětí 400 V. Další výhodou transformátoru je galvanické oddělení, které může být aplikací vyžadováno.

Další text se zabývá popisem regulované soustavy a návrhem tvarové regulace právě pro trojfázový trojvětвовý střídač.

3 TVAROVÁ REGULACE VÝSTUPNÍHO NAPĚTÍ

Tvarovou regulací napětí se rozumí regulace okamžité hodnoty výstupního napětí střídače na žádanou hodnotu. Pro trojfázový střídač jsou žádanými hodnotami napětí tři sinusoidy vzájemně posunuté o 120° . Žádané hodnoty lze popsat následujícími funkcemi:

$$\begin{aligned}u_a &= U_m \sin(\omega t) \\u_b &= U_m \sin\left(\omega t + \frac{2\pi}{3}\right) \\u_c &= U_m \sin\left(\omega t - \frac{2\pi}{3}\right)\end{aligned}\tag{3.1}$$

kde U_m je amplituda (maximální hodnota) výstupního fázového napětí a ω úhlová frekvence. Ze zadání práce vyplívá požadavek na proměnnou hodnotu amplitudy v čase, za účelem náběhu výstupního napětí po rampě a požadavek na proměnnou frekvenci 50 nebo 60 Hz.

Požadavky na regulaci střídače vyplívají z přesnosti tvarové regulace výstupního napětí. S ní úzce souvisí celkové harmonické zkreslení označované jako THD. Celkové harmonické zkreslení je definováno dvěma různými způsoby, podle normy ČSN:

$$THD_{\check{C}SN} = \frac{\sqrt{U^2 - U_1^2}}{U_1}, \quad THD_{\check{C}SN} \in \langle 0; \infty \rangle\tag{3.2}$$

a podle normy IEC:

$$THD_{IEC} = \frac{\sqrt{U^2 - U_1^2}}{U}, \quad THD_{\check{C}SN} \in \langle 0; 1 \rangle\tag{3.3}$$

Regulace na žádanou hodnotu musí být co nejpřesnější i v době přechodových dějů, zejména při připojení a odpojení zátěže. Dále pak pro různé typy zátěže (induktivní, kapacitní, nelineární). Z toho plyne požadavek na její robustnost.

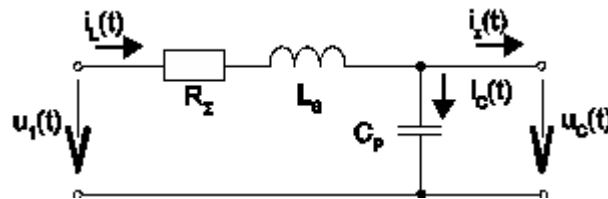
V následujících kapitolách je popsána regulovaná soustava a její vlastnosti. Dále jsou navrženy a simulovány některé regulační metody, jejichž výsledky jsou na závěr prezentovány a vyhodnoceny.

3.1 Popis regulované soustavy

Regulovanou soustavou je v případě trojfázového sinusového zdroje trojfázový střídač řízený hardwarovým PWM modulátorem (periferií procesoru) s výstupním sinusovým LC filtrem. Přenosová funkce trojfázového PWM modulátoru je určena zesílením střídače, které je dáno jako poměr výstupního regulovaného napětí střídače a maximální hodnoty vstupní řídicí veličiny a dopravním zpožděním, které je způsobeno opožděnou reakcí na změnu hodnoty řídicí veličiny. Dopravní zpoždění je možné s určitou nepřesností popsat jako setrvačnost prvního řádu s časovou konstantou rovnou jedné polovině periody výstupního impulsního signálu. Přenosová funkce střídače má potom následující tvar:

$$F_{stř} = \frac{K_{stř}}{\frac{T_{pwm}}{2}p + 1} \quad (3.4)$$

Sinusový filtr uvažujme nejprve jako jednofázový, podle Obr. 15. Vstupní napětí filtru označme $u_1(t)$, proud tekoucí tlumivkou a parazitním odporem vinutí $i_L(t)$, výstupní napětí filtru $u_c(t)$ a proud zátěží $i_z(t)$.



Obr. 15.: Schéma jednofázového LC filtru

Proud tlumivkou a napětí na kondenzátoru lze popsat následujícími diferenciálními rovnicemi:

$$C_p \frac{du_c(t)}{dt} = i_L(t) - i_z(t) \quad (3.5)$$

$$L_s \frac{di_L(t)}{dt} = u_1(t) - R_\Sigma \cdot i_L(t) - u_c(t) \quad (3.6)$$

Rovnice je možné sloučit do jedné diferenciální rovnice druhého řádu. Předpokládejme, že filtr pracuje naprázdno, tedy $i_z(t) = 0$.

$$L_s C_p \frac{d^2 u_c(t)}{dt^2} + R_\Sigma C_p \frac{du_c(t)}{dt} + u_c(t) = u_1(t) \quad (3.7)$$

Odpor R_{Σ} představuje celkový parazitní odpor, do kterého lze zahrnout jak odpor tlumivky, tak odpor spínacích prvků v sepnutém stavu. Je zřejmé, že jeho hodnota bude nízká a proměnná. Po aplikaci Laplaceovy transformace na rovnici (3.7) je možné vyjádřit přenosové funkce mezi vstupy a výstupy, z nichž pro návrh regulátorů jsou významné přenosy mezi vstupním napětím LC filtru a výstupním napětím - napětím na kondenzátoru (3.9) a vstupním napětím a proudem tlumivkou (3.10) :

$$L_S C_P u_c(p) p^2 + R_{\Sigma} C_P u_c(p) p + u_c(p) = u_1(p) \quad (3.8)$$

$$F_{uLC}(p) = \frac{u_c(p)}{u_1(p)} = \frac{1}{L_S C_P p^2 + R_{\Sigma} C_P p + 1} \quad (3.9)$$

$$F_{iLC}(p) = \frac{i_L(p)}{u_1(p)} = \frac{p C_P}{L_S C_P p^2 + R_{\Sigma} C_P p + 1} \quad (3.10)$$

Přenos (3.9) odpovídá přenosu soustavy druhého řádu, která má normovaný tvar:

$$F(p) = \frac{1}{\tau^2 p^2 + 2\xi\tau p + 1}, \quad \tau = \sqrt{LC}, \quad \xi = \frac{R}{2} \sqrt{\frac{C}{L}} \quad (3.11)$$

kde τ je časová konstanta soustavy a ξ je činitel tlumení. Z teorie řízení je známo, že odezva na jednotkový skok takovéto soustavy závislá mimo jiné na velikosti tlumení. Podle [9] existuje několik mezních hodnot tlumení a to $\xi > 1$ pro soustavu přetlumenou, $\xi = 1$ pro soustavu kriticky tlumenou, $\xi = \frac{1}{\sqrt{2}}$ pro soustavu maximálně plochou a $\xi < \frac{1}{\sqrt{2}}$ pro soustavu netlumenou.

Zadané parametry sinusového LC filtru v prototypu střídače jsou následující:

Kapacita kondenzátoru: $C_P = 18\mu F$

Indukčnost tlumivky $L_S = 1mH$

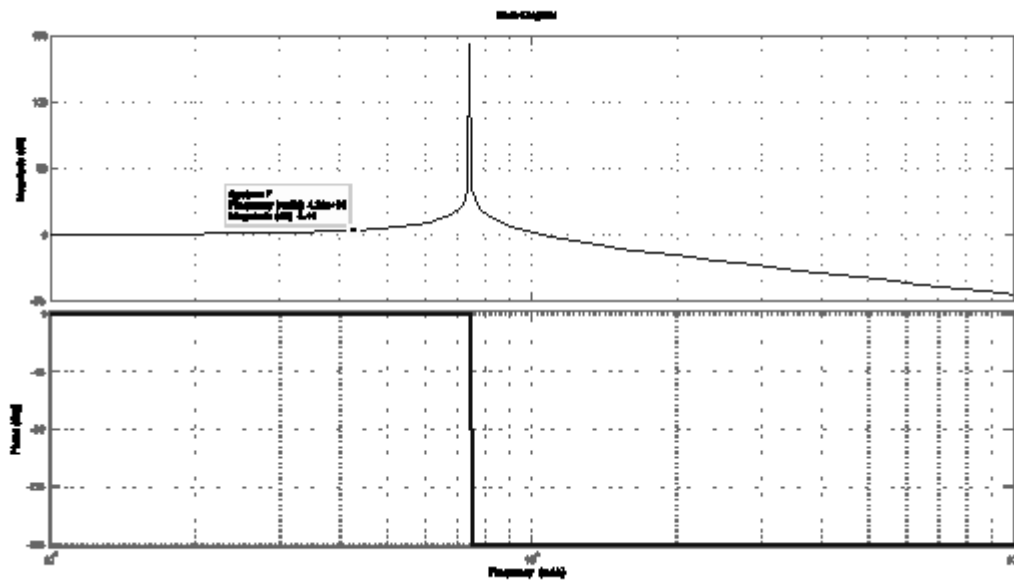
Pro maximálně plochou odezvu soustavy na jednotkový skok by musel mít tlumicí odpor velký

$$R = \frac{2\xi}{\sqrt{\frac{C_P}{L_S}}} = \frac{\frac{2}{\sqrt{2}}}{\sqrt{\frac{18 \cdot 10^{-6}}{1 \cdot 10^{-3}}}} = 10.54 \Omega \quad (3.12)$$

Takovéto tlumení je vzhledem k efektivní hodnotě proudu jednou fází tlumivky $I_L = 20 \text{ A}$ nerealizovatelné, protože by na odporu byl při plném třífázovém zatížení ztrátový výkon

$$P = 3RI_{ef}^2 = 3 \cdot 10.54 \cdot 20^2 = 12,6 \text{ kW} \quad (3.13)$$

Protože je skutečné tlumení přítomné v soustavě odpovídající LC filtru naprázdno řádově nižší, je možné tlumení zcela zanedbat a považovat ho za nulové – nejhorší možná situace. Na následujícím obrázku je patrná frekvenční charakteristika napětového přenosu netlumeného LC filtru:



Obr. 16.: Frekvenční charakteristiky netlumeného LC filtru

Z popisku je patrné, že filtr začne zesilovat o 3dB přibližně při úhlové frekvenci 4200 rad/s, čemuž odpovídá frekvence asi 650 Hz. Ta odpovídá frekvenci 13. harmonické výstupního napětí o frekvenci 50 Hz. Pro ustálený stav není rezonanční frekvence z pohledu vstupního napětí filtru vytvářeného kvalitní sinusovou PWM vzhledem k jejímu spektru kritickým parametrem.

Zjednodušené přenosy LC filtru s nulovým tlumením jsou potom následující:

$$F'_{uLC}(p) = \frac{u_c(p)}{u_1(p)} = \frac{1}{L_S C_P p^2 + 1} \quad (3.14)$$

$$F'_{iLC}(p) = \frac{i_L(p)}{u_1(p)} = \frac{p C_P}{L_S C_P p^2 + 1} \quad (3.15)$$

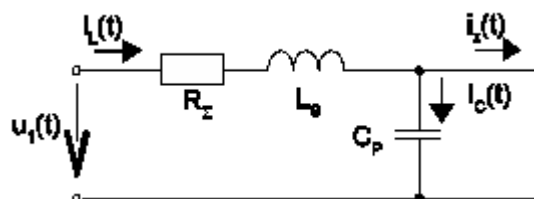
Ze stavového modelu LC filtru, je stejně jako u stejnosměrného motoru patrné, že proud tlumivkou je závislý kromě vstupního napětí také na napětí výstupním, které se od vstupního napětí odečítá. Jeho důsledkem je vznik nuly v proudovém přenosu LC filtru. Pokud vliv tohoto napětí zanedbáme, bude proudový přenos $F'_{iLC}(p)$ čistě integrační, prvního řádu, tak jak by se dalo očekávat.

3.1.1 Porovnání přenosu mezi vstupním napětím a proudem indukčností u LC filtru a stejnosměrného motoru s permanentními magnety

Přenos $F_{iLC}(p)$ je formálně stejný s proudovým přenosem stejnosměrného motoru. Při návrhu proudového regulátoru stejnosměrného motoru se dále předpokládá zabržděná hřídel a tedy nulové indukované protinapětí. Tento předpoklad lze u motoru přijmout, pokud je mechanická časová konstanta výrazně vyšší, než časová konstanta elektrická. V tom případě je totiž proudový přechodový děj tak rychlý, že se indukované protinapětí se v proudovém přenosu neuplatní. Pokud bychom stejné zjednodušení přijali i v případě LC filtru, proudový přenos (3.10) se zjednoduší do tvaru

$$F_{iLC2}(p) = \frac{i_L(p)}{u_1(p)} = \frac{\frac{1}{R_\Sigma}}{\frac{L_S}{R_\Sigma}p + 1} \quad (3.16)$$

Pro takto uvedený přenos je možné po zahrnutí přenosové funkce střídače snadno navrhnout proudový regulátor metodami standardních přenosů. Pokud překreslíme rovnici (3.16) do obvodového schématu, zjistíme, že jí odpovídá filtr se zkratovaným výstupním kondenzátorem podle Obr. 17. Tomuto stavu se při provozu filtr pouze přiblíží, pokud je připojena maximální zátěž, nebo je výstupní kondenzátor zcela vybitý a k jeho nabití proudová smyčka do filtru vnucuje proud.



Obr. 17.: Filtr nakrátko

Rozpor s pravidly pro návrh proudového regulátoru stejnosměrného motoru je v případě LC filtru jasně viditelný, pokud přepíšeme ekvivalentní elektrickou a „mechanickou“ časovou konstantu LC filtru. Ekvivalentní elektrická časová konstanta je označena jako τ'_e , ekvivalentní mechanická časová konstanta je označena jako τ'_m :

$$\tau'_e = \frac{L_s}{R_\Sigma}, \quad \tau'_m = C_P R_\Sigma \quad (3.17)$$

Vzhledem k hodnotám parametrů sinusového filtru bude ekvivalentní elektrická časová konstanta výrazně vyšší než ekvivalentní mechanická časová konstanta. Zjednodušení je potom v rozporu s pravidly uvedených v [10]. V simulacích se však ukazuje, že zjednodušení pro návrh proudové smyčky nemá příliš velký vliv.

V případě, že by byl proveden návrh proudového regulátoru na proudový přenos bez zanedbání vlivu výstupního napětí, bude výstupní regulátor typu PD. Pro tento typ regulátoru musí být simulace vytvořena s diskretním časem – se vzorkováním proudu. Derivační složka totiž zesiluje pilovité zvlnění proudu, které by se při měření AD převodníkem synchronizovaným na PWM modulátor neprojevovalo, protože se měření s výhodou provádí uprostřed spínacího intervalu. Potom je vzorkována přímo střední hodnota proudu a pilovité zvlnění není pozorovatelné.

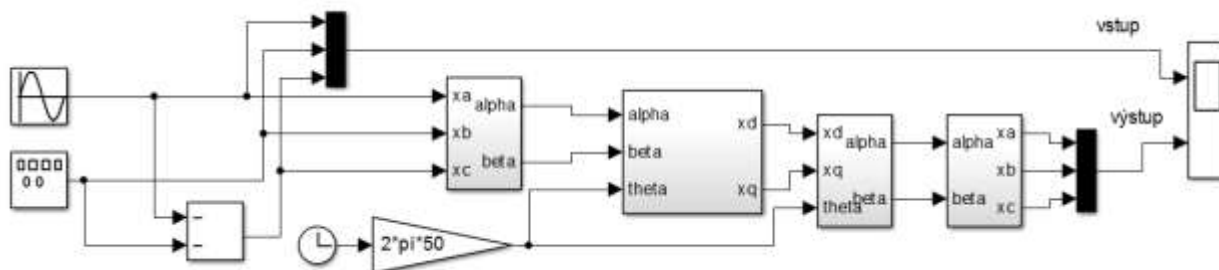
3.2 Trojfázový LC filtr

Doposud byl LC filtr uvažován jen pro jednu fázi. V následujícím textu je odvozen model LC filtru v rotujícím souřadném systému dq0.

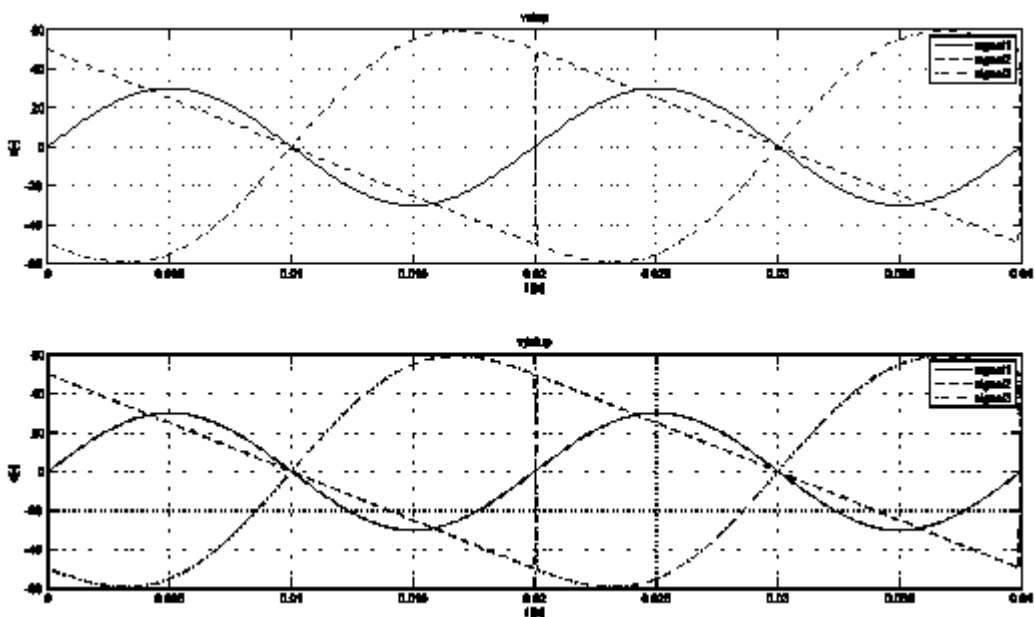
Použití zjednodušených transformací do souřadného systému dq

Při regulaci trojfázového sinusového zdroje bez vyvedeného středu může dojít k situaci, kdy časové průběhy proudů a napětí nebudou mít harmonický průběh nebo stejně velké amplitudy pro každou fázi. Tato skutečnost je důsledkem například připojení zátěže s usměrňovačem a stejnosměrným meziobvodem. Vždy ale musí platit, že součet fázových napětí, sdružených napětí, a fázových proudů je roven nule. I v tomto případě budou platit transformace podle rovnic (2.19) až (2.24).

Důkaz o platnosti transformací je graficky interpretován na Obr. 19. Do vstupu transformace abc/ $\alpha\beta$ vstupují tři signály. První sinusový, s amplitudou 30 a frekvencí 50 Hz, druhý pilový s amplitudou 50 a frekvencí 50 Hz, třetí signál je dopočten tak, aby součet signálu byl v každém okamžiku roven nule. Z grafů na Obr. 19. je patrné, že ty samé průběhy, které do transformací vstupují, z nich také vystupují. Proto v regulačních strukturách nedochází ke ztrátě informace o regulovaných fázových veličinách při použití těchto transformací.



Obr. 18.: Transformace neharmonických signálů – bloky



Obr. 19.: Transformace neharmonických signálů - průběhy signálů

Transformace trojfázového LC filtru do souřadného systému dq

Definujeme nejprve trojrozměrné vektory proudů a napětí, podle Obr. 4.. Prvky vektorů jsou potom veličiny odpovídající příslušným fázím:

$$\begin{aligned} \mathbf{C}_P &= \mathbf{I}_3 \cdot C_P, & \mathbf{L}_S &= \mathbf{I}_3 \cdot L_S, & \mathbf{R}_\Sigma &= \mathbf{I}_3 \cdot R_\Sigma & \mathbf{u}_x &= \begin{bmatrix} u_{xA} \\ u_{xB} \\ u_{xC} \end{bmatrix}, \\ \mathbf{i}_x &= \begin{bmatrix} i_{xA} \\ i_{xB} \\ i_{xC} \end{bmatrix} \end{aligned} \quad (3.18)$$

Napětí mezi středem kondenzátorů LC filtru a středem meziobvodu je definováno rovnicí (2.7). Pro vektor napětí na kondenzátoru lze podle prvního Kirchhofova zákona sestavit napěťovou rovnici:

$$C_P \frac{d}{dt} U_C = i_L - i_Z \quad (3.19)$$

A pro vektor proudu tlumivkou podle druhého Kirchhofova zákona:

$$L_S \frac{d}{dt} i_L = u_v - u_c - u_0 - u_{R_\Sigma} \quad (3.20)$$

V případě, že je napěťová zpětná vazba vztažena ke středu filtračních kondenzátorů a ne středu meziobvodu, je možné měřit výstupní fázové napětí $\mathbf{u}_C$ a místo vstupních větvových napětí dopočítat vstupní napětí fázová podle vztahů (2.4) až (2.6) přepsaných maticově:

$$\mathbf{M} = \frac{1}{3} \begin{pmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{pmatrix} \quad (3.21)$$

Potom rovnice (3.6) přejde do tvaru:

$$L_S \frac{d}{dt} i_L = \mathbf{u}_f - \mathbf{u}_c - \mathbf{u}_{R_\Sigma} \quad (3.22)$$

kde

$$\mathbf{u}_f = \begin{bmatrix} u_A \\ u_B \\ u_C \end{bmatrix} \quad (3.23)$$

Potom lze vynásobením obou stran rovnic (3.19) a (3.22) transformační maticí $\mathbf{T}_{dq0}$ podle (3.24) uvedenou v [11] přejít po úpravách k rovnicím v rotujícím komplexním souřadném systému dq0. Protože uvažujeme zapojení bez vyvedeného středu, má nulová složka transformovaných vztahů (třetí řádek transformační matice) nulové hodnoty.

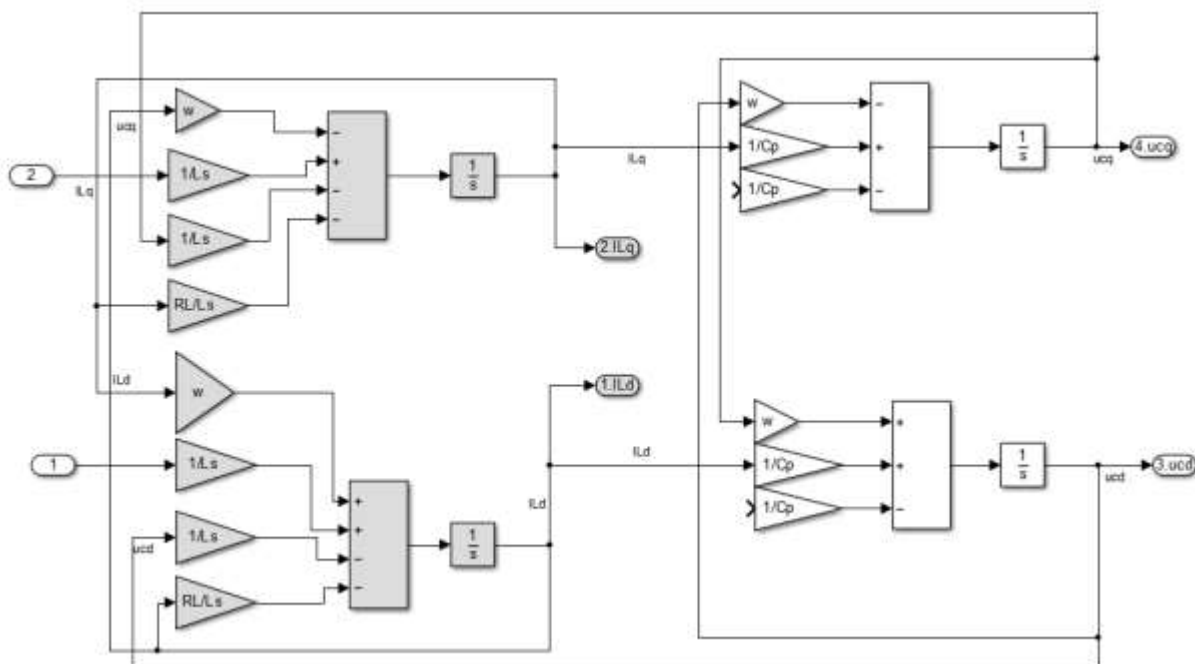
$$\mathbf{T}_{dq0} = \sqrt{\frac{3}{2}} \begin{pmatrix} \cos(\omega t) & \cos\left(\omega t - \frac{2\pi}{3}\right) & \cos\left(\omega t + \frac{2\pi}{3}\right) \\ \sin(\omega t) & \sin\left(\omega t - \frac{2\pi}{3}\right) & \sin\left(\omega t + \frac{2\pi}{3}\right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{pmatrix} \quad (3.24)$$

Výsledné upravené rovnice LC filtru v souřadném systému dq:

$$\begin{aligned} \frac{d}{dt} \begin{pmatrix} i_{Lq} \\ i_{Ld} \end{pmatrix} &= \begin{pmatrix} \frac{R_{\Sigma}}{L_S} & -\omega \\ \omega & \frac{R_{\Sigma}}{L_S} \end{pmatrix} \begin{pmatrix} i_{Lq} \\ i_{Ld} \end{pmatrix} + \begin{pmatrix} \frac{1}{L_S} & 0 \\ 0 & \frac{1}{L_S} \end{pmatrix} \begin{pmatrix} u_{Lq} \\ u_{Ld} \end{pmatrix} \\ &\quad - \begin{pmatrix} \frac{1}{L_S} & 0 \\ 0 & \frac{1}{L_S} \end{pmatrix} \begin{pmatrix} u_{cpq} \\ u_{cpd} \end{pmatrix} \end{aligned} \quad (3.25)$$

$$\begin{aligned} \frac{d}{dt} \begin{pmatrix} u_{cq} \\ u_{cd} \end{pmatrix} &= \begin{pmatrix} 0 & -\omega \\ \omega & 0 \end{pmatrix} \begin{pmatrix} u_{cq} \\ u_{cd} \end{pmatrix} + \begin{pmatrix} \frac{1}{C_P} & 0 \\ 0 & \frac{1}{C_P} \end{pmatrix} \begin{pmatrix} i_{Lpq} \\ i_{Lpd} \end{pmatrix} \\ &\quad - \begin{pmatrix} \frac{1}{C_P} & 0 \\ 0 & \frac{1}{C_P} \end{pmatrix} \begin{pmatrix} i_{Zq} \\ i_{Zd} \end{pmatrix} \end{aligned} \quad (3.26)$$

Podle stavových rovnic (3.25) a (3.26) je možné sestavit stavový model sinusového LC filtru podle Obr. 20.



Obr. 20.: Stavový model trojfázového LC filtru v dq souřadnicích

Šedou barvou jsou vyznačeny části modelu, které jsou sestaveny podle rovnice (3.25), bílou barvou jsou vyznačeny části podle rovnice (3.26). Ze stavového modelu je patrné, že části modelující tlumivku v osách d a q obsahují zkřížené vazby (první blok gain se zesílením w v příslušné ose). Stejně tak obsahují zkřížené vazby části modelující výstupní kondenzátor. Zkřížení vazeb má za důsledek to, že diferenciální rovnice popisující LC filtr v příslušné ose je nelineární. Nezapojené bloky zesílení ($1/C_p$) v částech modelujících kondenzátory slouží jako vstup pro simulaci poruchového proudu způsobeného zatížením filtru. Vstup těchto bloků musí mít rozměr proudu.

Postup pro odstranění zkřížených proudových vazeb je podobný jako v případě asynchronního motoru. K výstupu napěťového regulátoru, který má charakter žádaného proudu, se přičítá nebo odečítá korekční proud, odvozený od proudu druhé osy, podle rovnic (3.27), (3.28).

Korekční proudy je potom možné zapsat pro příslušné osy takto:

$$i_{q,kor} = \frac{i_{Ld}\omega}{K_{pwm}} \quad (3.27)$$

$$i_{d,kor} = \frac{i_{Lq}\omega}{K_{pwm}} \quad (3.28)$$



Pokud je zkřížení vazeb proudů indukčnostmi kompenzováno výše uvedeným způsobem, je proudový přenos trojfázového LC filtru ekvivalentní proudovému přenosu LC filtru jednofázového a zároveň proudovému přenosu stejnosměrného motoru. Proto je pro návrh proudové smyčky možné postupovat stejným způsobem.

Napěťovou smyčku je potom možné při zanedbání zkřížené napěťové vazby navrhnout pouze na náhradní přenos smyčky proudové a integrační charakter filtračních kondenzátorů.

Závěr

Výsledky rozboru regulované soustavy je možné shrnout do následujících bodů:

- existuje formální podobnost mezi jednofázovým LC filtrem a stejnosměrným motorem
- vzhledem k nízké hodnotě parazitního odporu lze při návrhu regulátorů pohlížet na LC filtr jako na netlumený. Pro návrh proudového regulátoru je potom možné uvažovat pouze integrační charakter tlumivky. V modelu filtru ale není důvod odpor zanedbávat
- zanedbáním napětí na kondenzátoru (ekvivalent zabrzžené hřídele) se dopouštíme větší nepřesnosti než v případě ss motoru
- v souřadném systému dq jsou diferenciální rovnice nelineární, jednotlivé složky filtru jsou zavazbeny
- Při použití odvazbení je možné při návrhu regulátorů pohlížet na LC filtr jako na jednofázový

4 KASKÁDNÍ REGULAČNÍ STRUKTURA

V této kapitole je proveden návrh kaskádní regulační struktury s vnější napěťovou a vnitřní proudovou smyčkou. Tato regulační struktura je ve výkonové elektrotechnice hojně využívána k regulaci otáček a polohy asynchronních a stejnosměrných motorů, servopohonů, ale i výstupního napětí spínaných zdrojů. Její výhodou je snadný návrh a nastavení parametrů regulátorů.

V návrhu regulátorů zdroje se vychází ze závěrů analýzy trojfázového LC filtru uvedeného v předchozí kapitole. Návrh kaskádní regulační struktury je proveden se spojitým i diskrétním časem. Výstupem této kapitoly jsou zesílení složek PI regulátoru, které budou použity pro implementaci regulační metody v signálovém procesoru.

4.1 Návrh regulátorů vnitřní proudové smyčky

Přesto že je proudová i napěťová část regulované soustavy integračního charakteru, je žádoucí, aby i regulátory obsahovaly integrační složku. Podle [12] sice soustava s volným integrátorem má nulovou ustálenou regulační odchylku pro jednotkový skok žádané hodnoty, nikoliv však pro jednotkový skok poruchové veličiny. To je způsobeno přemístěním bloku soustavy do zpětné vazby, při výpočtu přenosu poruchy.

Regulace proudu je prováděna v souřadném systému dq. V ustáleném stavu jsou totiž harmonické proudy v tomto souřadném systému konstantní, stejnosměrné. PI regulátor vzhledem ke své frekvenční charakteristice umí zcela kompenzovat regulační odchylku pro konstantní žádanou hodnotu – pro nulovou frekvenci má totiž nekonečné zesílení. Pro signál měnící se s určitou frekvencí (jak se děje například v souřadném systému $\alpha\beta$) integrační zesílení klesá a proporcionální zesílení principiálně neumí zcela odchylku kompenzovat.

Model soustavy, pro který je navrhován regulátor proudu, obsahuje přenos střídače podle (3.4) a zjednodušený, odvázený proudový přenos LC filtru se zanedbaným parazitním tlumícím odporem (viz kapitola 3.1). :

$$F_{I,LC}(p) = \frac{1}{pL_S} \quad (4.1)$$

Indukčnost třífázové tlumivky, se kterou je LC filtr realizován je 1mH, maximální efektivní hodnota proudu tlumivkou je $I_{ef,L} = 20$ A. Kapacita kondenzátorů filtru je $C_P = 18\mu F$. Jako střídač je použit inteligentní IGBT modul MITSUBISHI PM75CL1A120. Maximální frekvence PWM doporučená výrobcem je 20kHz. Pro návrh regulace je uvažována frekvence 15kHz. Čidlo proudu je pro zjednodušení uvažováno bez dynamiky, s jednotkovým zesílením.



Zesílení měniče je při jednotkové maximální řídí veličině pro maximální amplitudu výstupního fázového napětí s uvážením vztahu (2.16) rovno:

$$K_{stř} = \frac{U_{A,1,max}}{U_{ř}} = \frac{\frac{540}{\sqrt{3}}}{1} \doteq 310 \quad (4.2)$$

Přenos otevřené smyčky regulované soustavy je potom dán následujícím vztahem:

$$\begin{aligned} F_{sl,o}(p) &= \frac{K_{stř}}{L_S p \left(\frac{T_{pwm}}{2} p + 1 \right)} = \frac{310}{1 \cdot 10^{-3} p \left(\frac{6.67 \cdot 10^{-5}}{2} p + 1 \right)} \\ &= \frac{310}{1 \cdot 10^{-3} p (3.33 \cdot 10^{-5} + 1)} \end{aligned} \quad (4.3)$$

K návrhu regulátoru je možné s výhodou použít metody standartních přenosů. Z přenosu regulované soustavy je patrné, že obsahuje jeden volný integrátor, jedná se o soustavu astatickou. Pro regulaci soustavy tohoto druhu je vhodná metoda symetrického optima.

Proudový regulátor navržený metodou SO:

$$\begin{aligned} R_I(p) &= \frac{1}{F_{sl,o}} \cdot F_{SO} = \\ &= \frac{L_S p \left(\frac{T_{pwm}}{2} p + 1 \right)}{K_{stř}} \cdot \frac{4\tau_{\sigma I} p + 1}{8\tau_{\sigma I}^2 p^2 (\tau_{\sigma I} p + 1)} = \\ &= \left| \tau_{\sigma I} = \frac{T_{pwm}}{2} \right| = \frac{2L_S T_{pwm} p + L_S}{2K_{stř} T_{pwm}^2 p} \end{aligned} \quad (4.4)$$

$$KiP = \frac{L_S T_{pwm}}{K_{stř} T_{pwm}^2} = \frac{1 \cdot 10^{-3} \cdot 3.33 \cdot 10^{-5}}{310 \cdot 3.33 \cdot 10^{-5^2}} = 0.098$$

$$KiI = \frac{L_S}{2K_{stř} T_{pwm}^2} = \frac{1 \cdot 10^{-3}}{2 \cdot 310 \cdot 3.33 \cdot 10^{-5^2}} = 1443$$

Regulátory jsou typu PI a jsou pro osu d a q identické.

4.2 Návrh regulátoru vnější napěťové smyčky:

Pro návrh regulátoru vnější napěťové smyčky je třeba znát náhradní přenos uzavřené proudové smyčky. Ten je podle metody symetrického optima třetího řádu. Je však možné přechodový děj uzavřené proudové smyčky nahradit zjednodušeným přechodovým dějem setrvačného členu prvního řádu. Časová konstanta setrvačného členu je totožná s koeficientem u první mocniny Laplaceova operátoru, tedy podle SO $4\tau_{\sigma I}$.

$$F_{wi}(p) = \frac{1}{4\tau_{\sigma I}p + 1} = \frac{1}{4 \cdot 3.34 \cdot 10^{-5}p + 1} = \frac{1}{1.336 \cdot 10^{-4}p + 1} \quad (4.5)$$

Pro další výpočty označme časovou konstantu uzavřené proudové smyčky $4\tau_{\sigma I} = \tau_{WI}$.

Zjednodušený napěťový přenos mezi proudem tlumivky a výstupním napětím LC filtru naprázdno, je při zanedbání napěťových zkřížených vazeb čistě integrační:

$$F_{U,LC}(p) = \frac{1}{pC} = \frac{1}{18 \cdot 10^{-6}p} \quad (4.6)$$

Potom je možné sestavit přenos otevřené napěťové smyčky. Snímač napětí je pro jednoduchost uvažován opět bez dynamiky s jednotkovým zesílením.

$$\begin{aligned} F_{SU,o}(p) &= F_{wi}(p)F_{U,LC}(p) = \frac{1}{pC(\tau_{WI}p + 1)} = \\ &= \frac{1}{18 \cdot 10^{-6}p(1.336 \cdot 10^{-4}p + 1)} \end{aligned} \quad (4.7)$$

Soustava je opět astatická, proto je pro návrh napěťového regulátoru použita opět metoda SO.

$$\begin{aligned} R_U(p) &= \frac{1}{F_{SU,o}} \cdot F_{SO} = \\ &= \frac{pC(\tau_{WI}p + 1)}{1} \cdot \frac{4\tau_{\sigma U}p + 1}{8\tau_{\sigma U}^2p^2(\tau_{\sigma U}p + 1)} = |\tau_{\sigma U} = \tau_{WI}| = \\ &= \frac{4\tau_{WI}pC + C}{8\tau_{WI}^2p} \end{aligned} \quad (4.8)$$

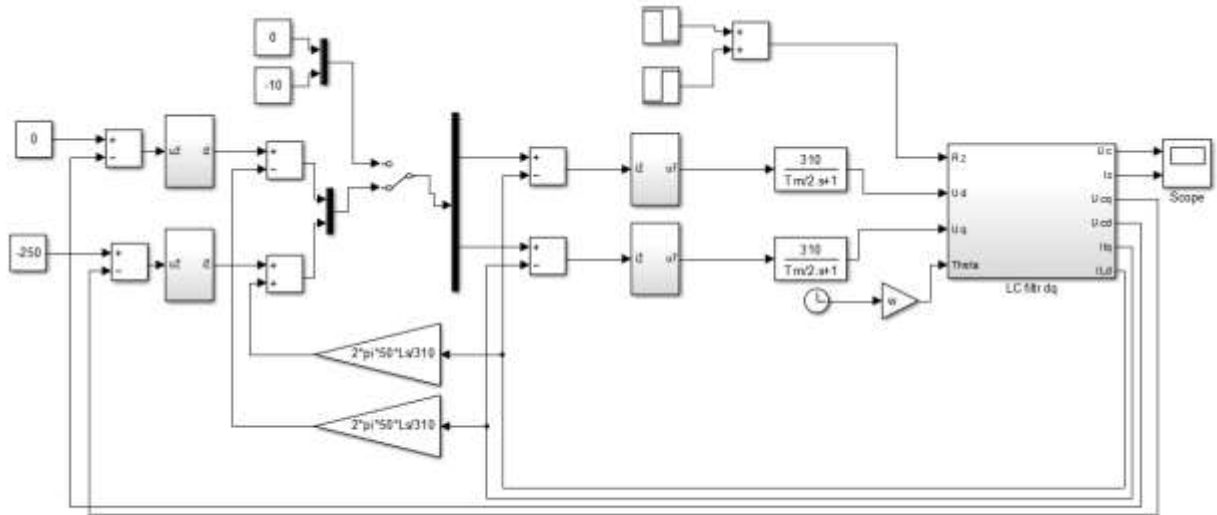
$$KuP = \frac{4\tau_{WI}C}{8\tau_{WI}^2} = \frac{4 \cdot 6.65 \cdot 10^{-5} \cdot 18 \cdot 10^{-6}}{8 \cdot 6.65 \cdot 10^{-5}^2} = 0.135$$

$$KuI = \frac{C}{8\tau_{WI}^2} = \frac{18 \cdot 10^{-6}}{8 \cdot 6.65 \cdot 10^{-5}^2} = 506.25$$

Napěťové regulátor jsou opět typu PI a jsou pro obě napěťové osy identické.

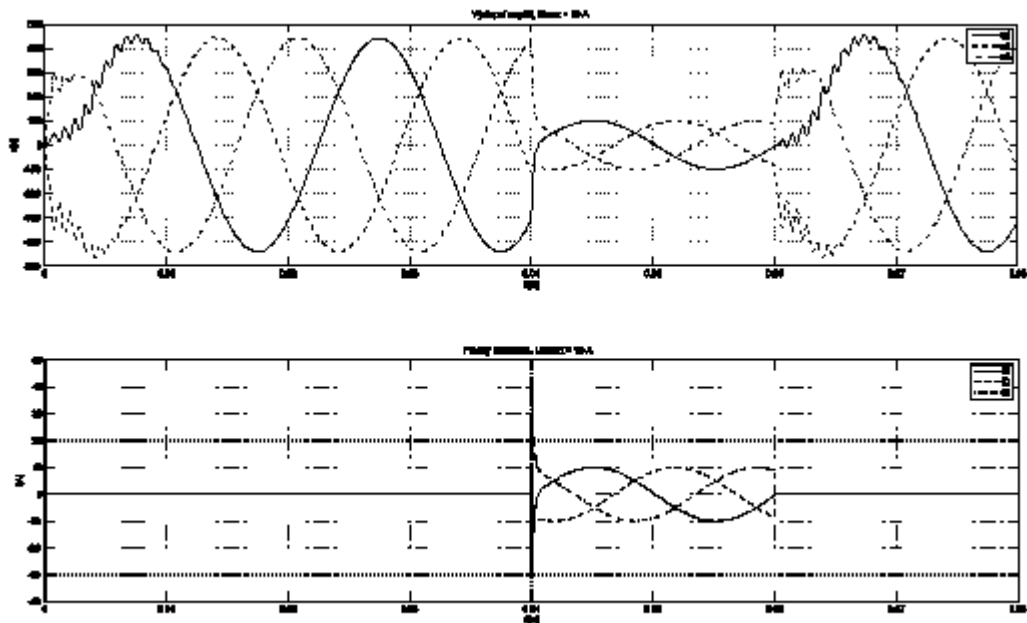
4.3 Simulace kaskádní regulační struktury

Simulace kaskádní regulační struktury byla provedena nejprve v Simulinku na stavovém modelu sestaveném podle diferenciálních rovnic. PWM modulátor byl modelován jako setrvačný člen prvního řádu. Blok „LC filtr dq“ je sestaven podle Obr. 20., s rozšířením o zátěžný odpor.



Obr. 21.: Simulace kaskádní regulační struktury

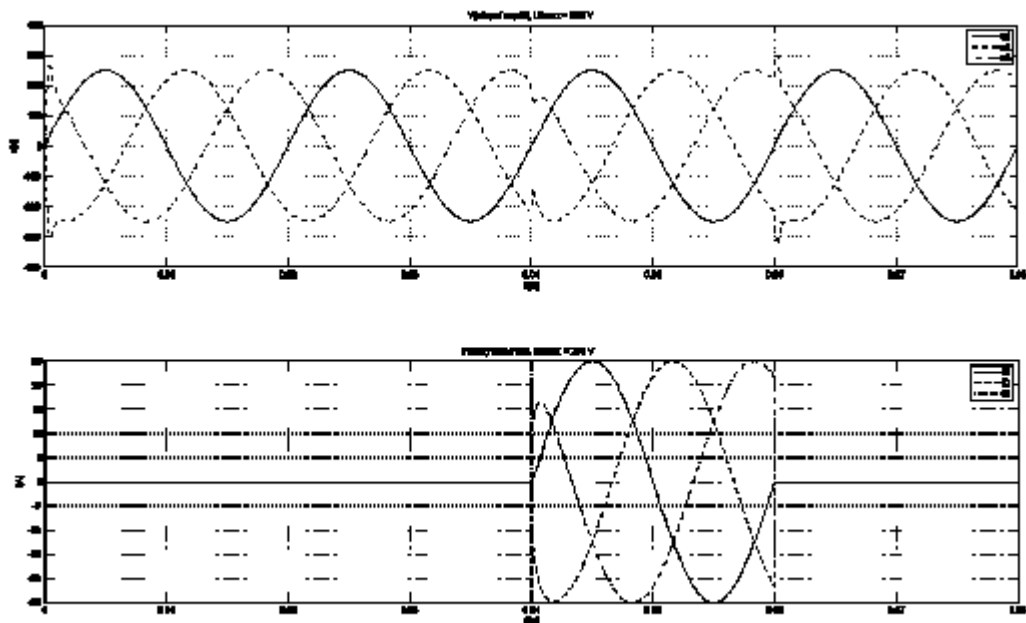
Časové průběhy výstupního napětí a proudu pro žádanou hodnotu proudu $I_z = 10$ A (zapojená pouze proudová smyčka, přepínač v horní poloze) jsou patrné z následujícího obrázku:



Obr. 22.: Průběhy napětí a proudu - proudová smyčka

V čase $t = 0$ s až $t = 0,04$ s je LC filtr nezatížen. Proudový regulátor se snaží protlačit LC filtrem žádanou hodnotu proudu, dokud nenarazí na saturaci. V čase $t = 0,04$ s je na výstup LC filtru připojen odpor o velikosti $10\ \Omega$. Regulátor vyreguluje proud na žádanou hodnotu 10 A . V čase $t = 0,08$ s je Zátěž odpojena, dochází ke stejné situaci jako do doby $0,04$ s.

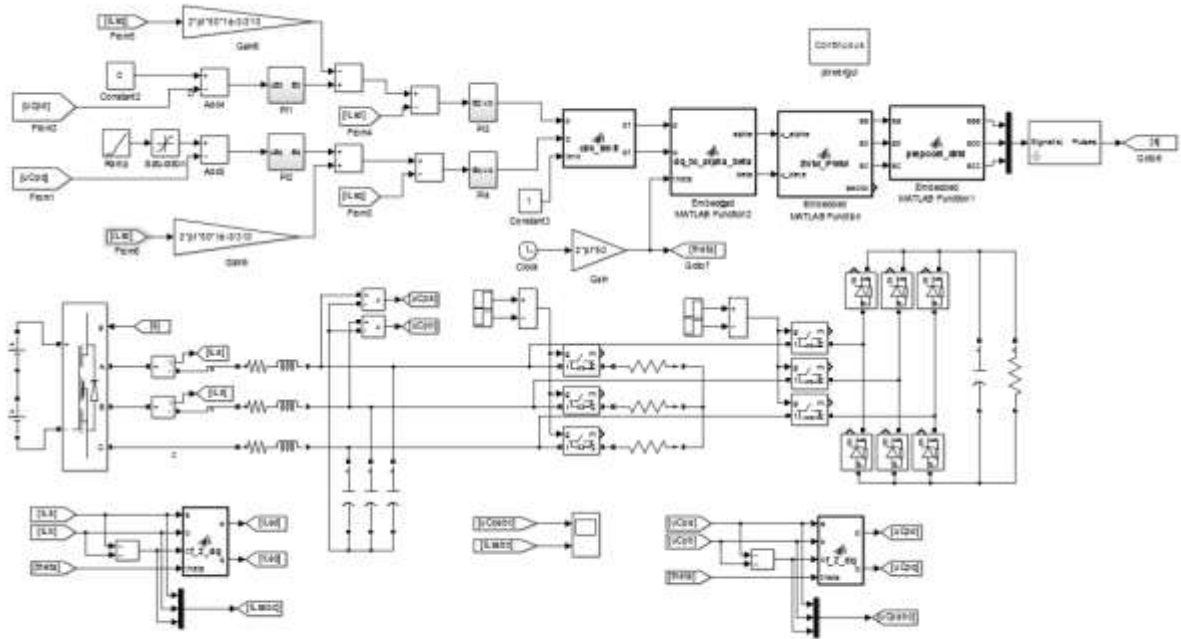
Z Obr. 23. jsou patrné průběhy výstupních veličin se zapojenou napěťovou smyčkou. Žádaná hodnota amplitudy výstupního napětí je 250 V . V čase $t = 0,04$ s je připojen zátěžný odpor $R_{Zdq} = 10\ \Omega$. Z průběhu napětí je patrný propad na hodnotu asi 100 V . Výstupní napětí je vyregulováno na žádanou hodnotu přibližně za 10 ms . Po odpojení zátěže je patrný překmit.



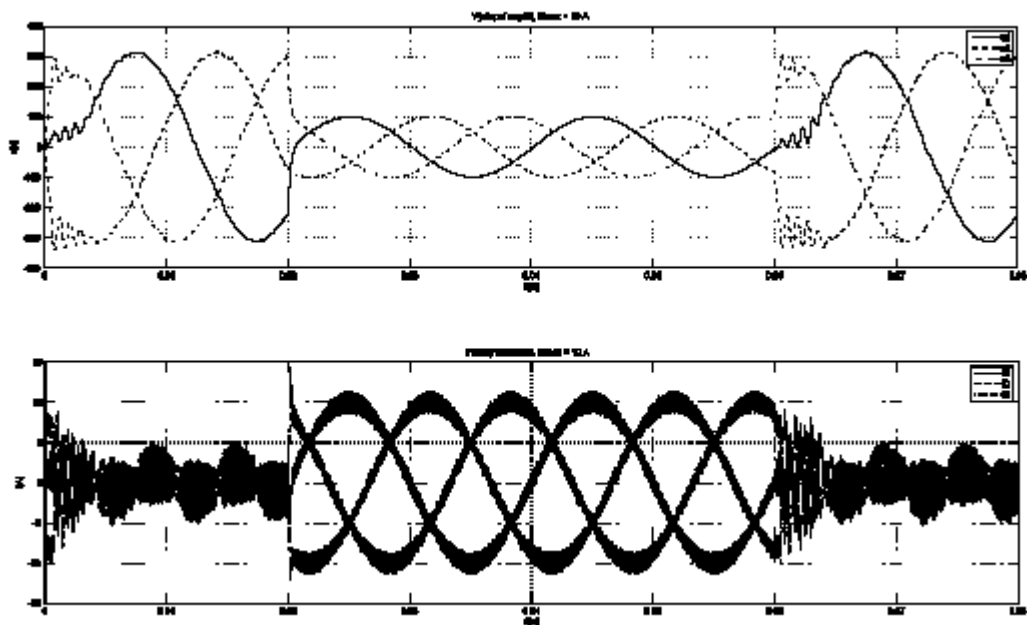
Obr. 23.: Průběhy napětí a proudu - zapojená napěťová smyčka

Výše provedená simulace se odchyluje od reality zejména v tom, že PWM modulátor je nahrazen setrvačností prvního řádu. Dopravní zpoždění modulátoru se tak plně neprojeví. Další nevýhodou je obtížná realizace nelineární zátěže, jako je šestipulsní usměrňovač s kondenzátorem v následujícím stejnosměrném meziobvodu. Proto byla další simulace provedena v toolboxu SimPowerSystems (SPS), který umožňuje použití realističtějších prvků. Model kaskádní regulace v SPS je uveden na Obr. 24. Vzhledem ke špatné grafické úrovni vloženého obrázku je detail schématu uveden na příloženém CD.

Regulační část je prakticky totožná s modelem v Simulinku. Nf. větвовá napětí pro PWM modulátor jsou po kruhové limitaci generována s využitím algoritmu SVM, popsaného v 2.1.2. Zátěž je rozšířena z odporové zátěže i na zátěž nelineární, která je tvořena šestipulsním usměrňovačem, kondenzátorem o kapacitě $736\mu\text{F}$ a zátěžným odporem o velikosti $40\ \Omega$. Parametry nelineární zátěže byly převzaty z návrhu stejnosměrného napaječe uvedeného ve [3].

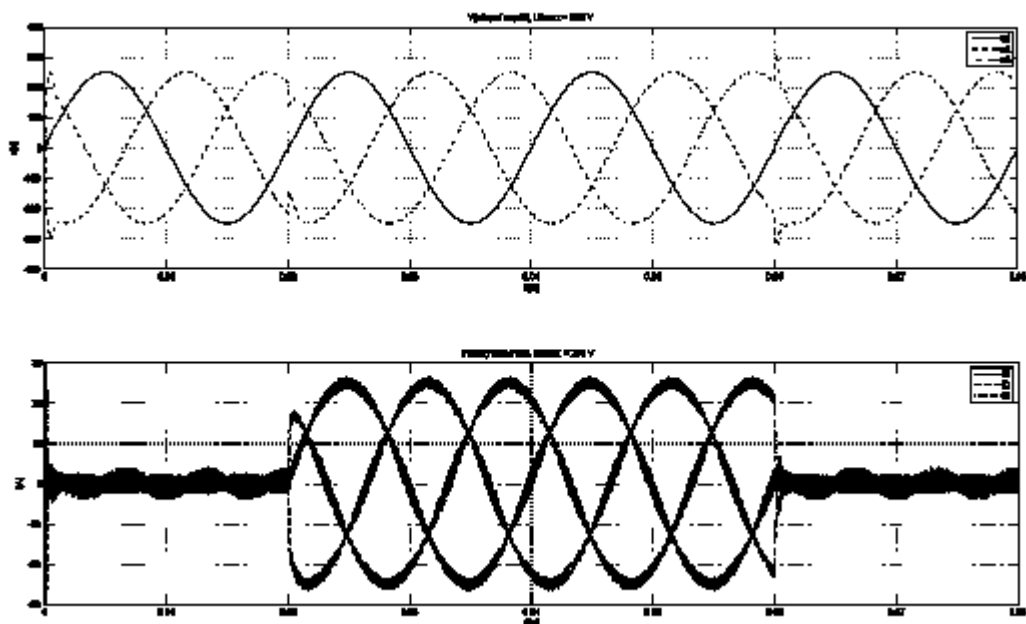


Obr. 24.: Kaskádní regulace v SPS



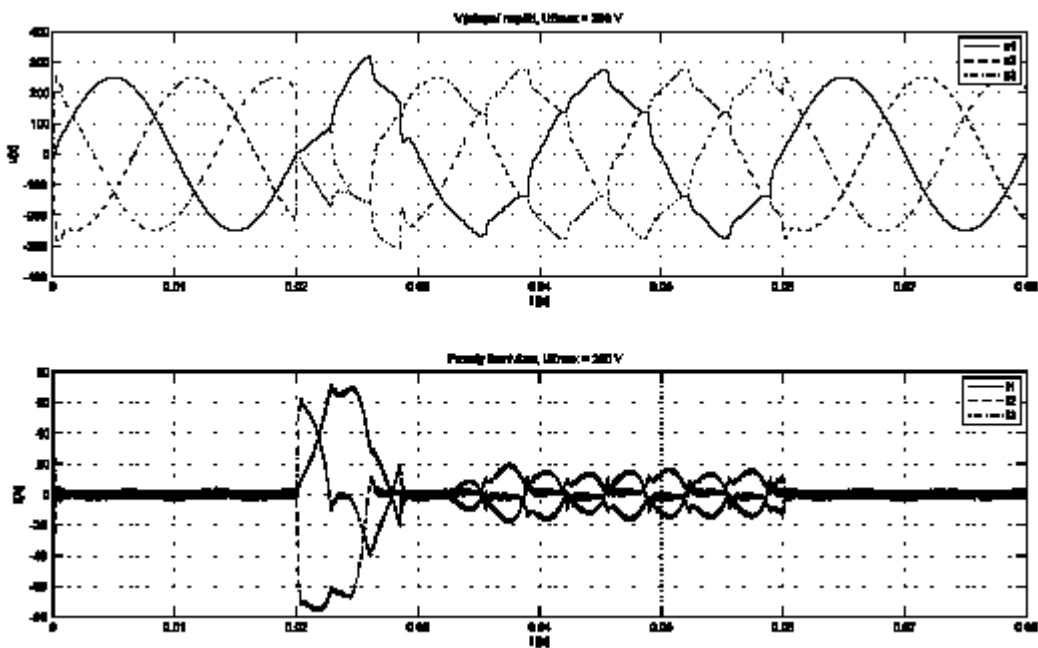
Obr. 25.: Průběhy napětí a proudu - proudová smyčka v SPS

Z Obr. 25. jsou patrné průběhy výstupních fázových napětí a proudů tlumivkou filtru při regulaci proudu na žádanou hodnotu $I_Z = 10 \text{ A}$. Průběhy jsou obdobné jako v Simulinku. V případě zapojené napěťové smyčky (Obr. 26) a regulace napětí na žádanou hodnotu amplitudy $U_Z = 250 \text{ V}$ jsou průběhy obdobné. Při připojení zátěže o velikosti 10Ω dojde k poklesu napětí přibližně o 80 V , který je vyregulován za dobu 1 ms . Celkové harmonické zkreslení pro simulaci v SPS je v ustáleném stavu s připojenou zátěží $\text{THD} = 0.29 \%$.



Obr. 26.: Průběhy napětí a proudu - napěťová smyčka v SPS

Na Obr. 27. jsou vidět průběhy výstupního fázového napětí a proudu tlumivkou LC filtru při připojení a odpojení výše uvedené nelineární zátěže. Harmonické zkreslení napětí dosahuje v ustáleném stavu s připojenou nelineární zátěží hodnoty THD = 9%.



Obr. 27.: Průběhy napětí a proudu – nelineární zátěž v SPS

4.4 Návrh regulátorů pro simulaci s diskretním časem

Měření regulovaných veličin v reálném regulačním procesoru realizovaném v signálovém procesoru probíhá v diskretních okamžicích se vzorkovací periodou T_s , nikoliv spojitě, jako v předchozích simulacích. Zejména hodnota integračního (a případně i derivačního) zesílení je potom závislá na periodě vzorkování. Literatura [4] uvádí dva způsoby realizace diskretního PID regulátoru a to v paralelní nebo uzavřené formě. V následujících odstavcích jsou uvedeny výsledné vztahy pro výpočet konstant diskretních PI regulátorů a tyto jsou vypočteny. Dále jsou provedeny simulace s diskretními regulátory a výsledky porovnány se simulacemi se spojitým časem. Odvození rovnic diskretních regulátorů je podrobně uvedeno ve [4].

4.4.1 Paralelní tvar diskretního PID regulátoru

Při výpočtu výstupní hodnoty paralelního diskretního regulátoru dochází, jak název napovídá, k paralelnímu zpracování jednotlivých zesílení. Spojitý PID regulátor je možné popsat následující přenosovou funkcí:

$$F_{PID}(p) = K_P + \frac{K_I}{p} + K_D p \quad (4.9)$$

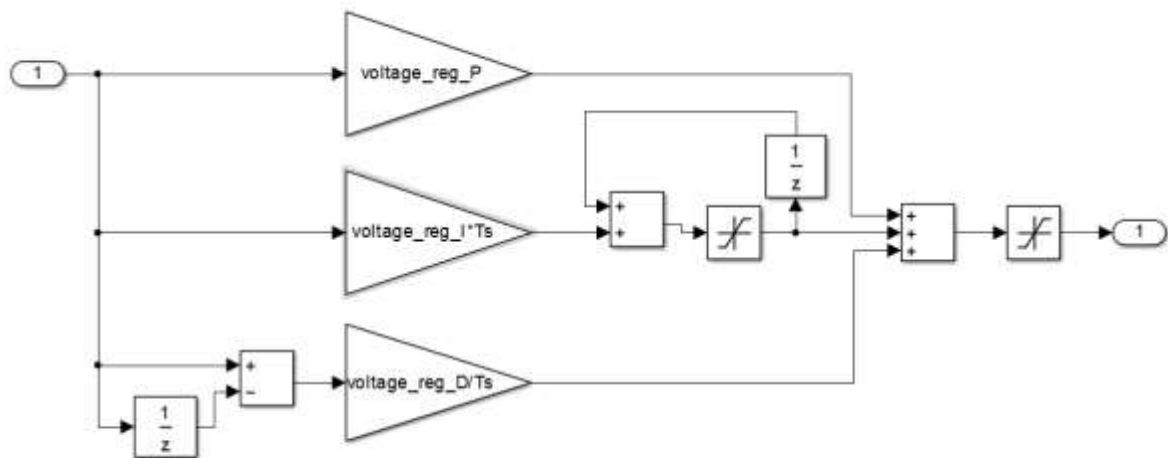
Při použití substituce $p \approx \frac{1-z^{-1}}{T_s}$ přejde rovnice (4.9) do tvaru

$$F_{PID}(z) = \left[K_P + \frac{K_I T_s}{1 - z^{-1}} + \frac{K_D}{T_s} (1 - z^{-1}) \right] \quad (4.10)$$

Přenosovou funkci (4.10) lze převést na rovnici diferenční. Po rozepsání do složek obdržíme rovnice pro výpočty jednotlivých zesílení:

$$\begin{aligned} y_P(k) &= K_P e(k) \\ y_I(k) &= K_I T_s e(k) + y_I(k-1) \\ y_D(k) &= \frac{K_D}{T_s} [e(k) - e(k-1)] \end{aligned} \quad (4.11)$$

Podle následujících rovnic je s doplněním limitací integrační složky a sumy dílčích složek možné vytvořit model diskretního složkového PID regulátoru, který je uveden na následujícím obrázku:



Obr. 28.: Paralelní PID regulátor

4.4.2 Rekurentní tvar diskrétního PID regulátoru

Tento tvar regulátoru se s výhodou používá u procesorů se zlomkovou aritmetikou, kde se jednotlivá zesílení rozkládají na normovanou mantisu a exponent se základem 2. Tento tvar regulátoru potom umožňuje použít 3 mantisy pro zesílení P, I a D a jeden exponent společný pro všechny 3 zesílení.

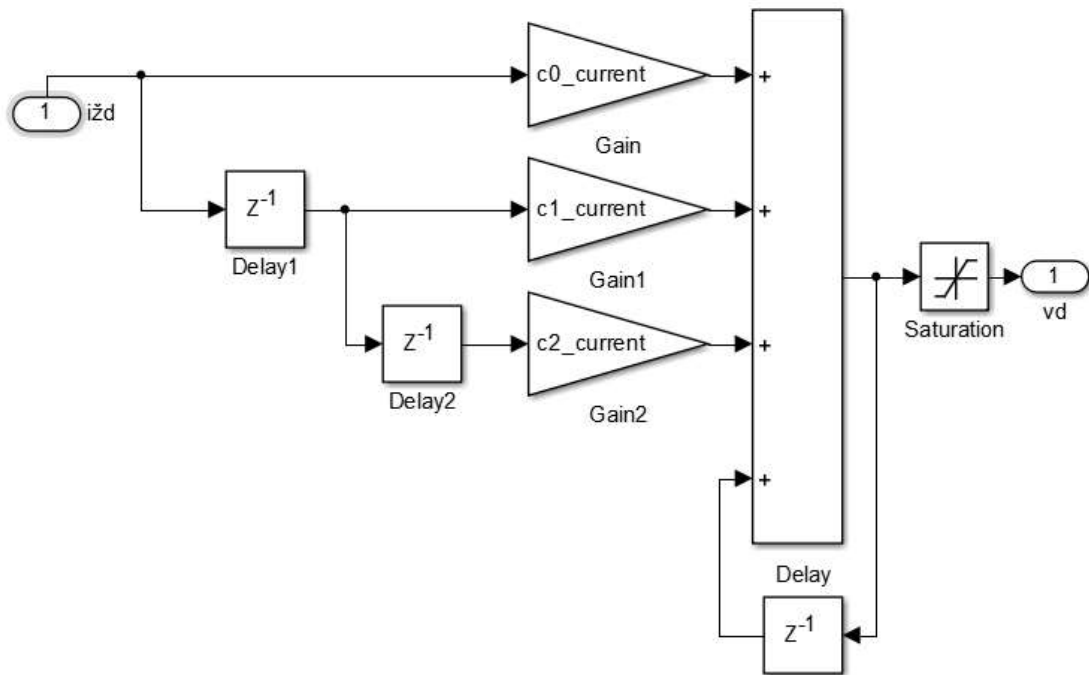
Regulátor je popsán následující rovnicí:

$$y(k) = y(k-1) + \left(K_P + K_I T_s + \frac{K_D}{T_s}\right) e(k) - \left(K_P + 2 \frac{K_D}{T_s}\right) e(k-1) + \left(\frac{K_D}{T_s}\right) e(k-2) \quad (4.12)$$

Činitele v závorkách můžeme označit jako konstanty c_0 , c_1 , c_2 . Potom rovnice přejde do tvaru přehlednějšího tvaru

$$y(k) = y(k-1) + c_0 e(k) + c_1 e(k-1) + c_2 e(k-2) \quad (4.13)$$

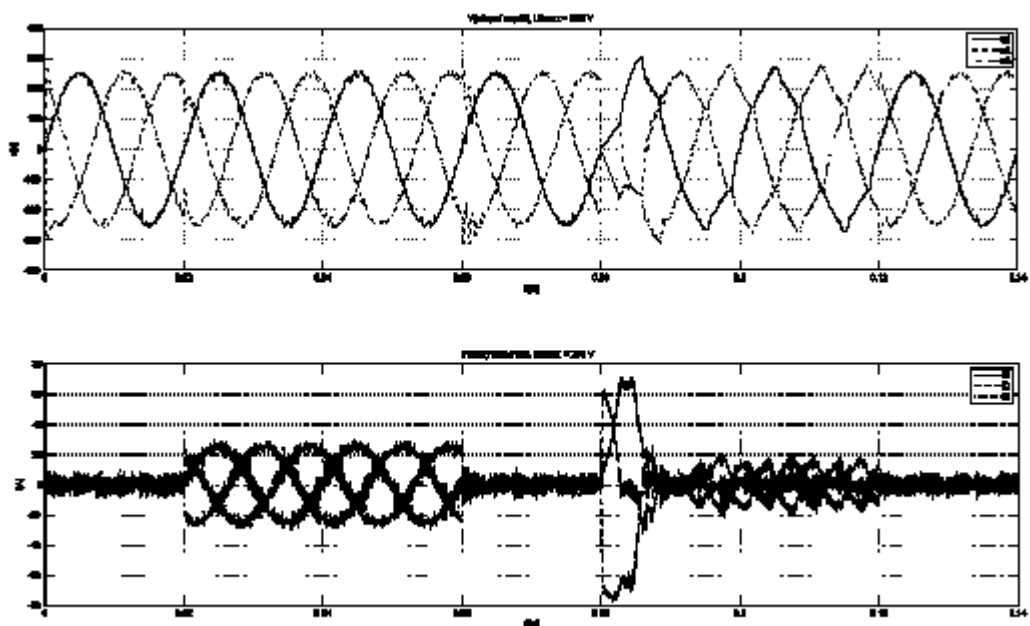
Model takového regulátoru v simulinku je uveden na následujícím obrázku:



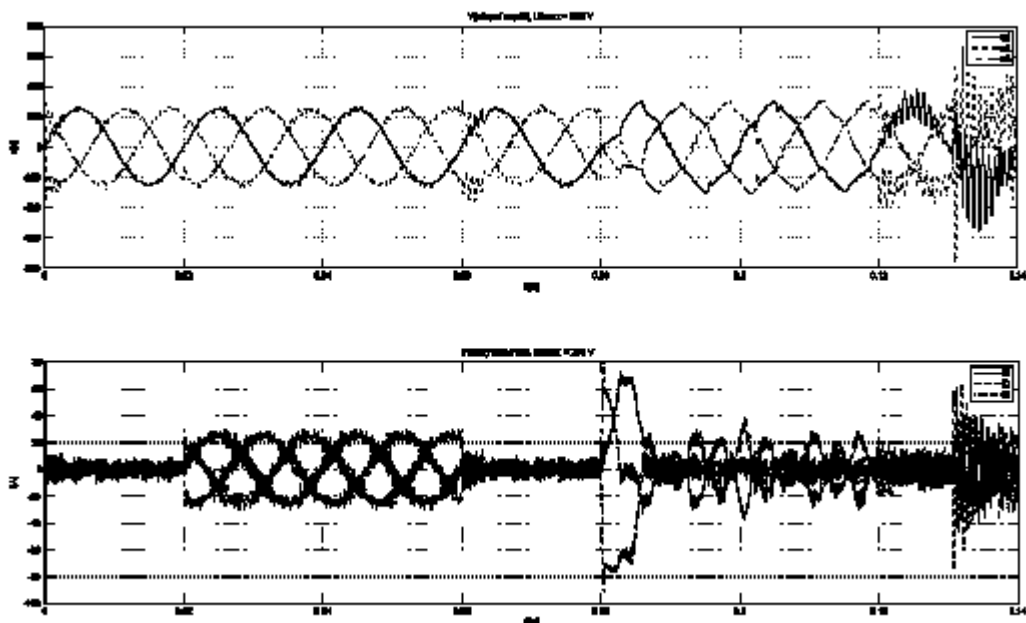
Obr. 29.: Rekurentní PID regulátor

4.5 Kaskádní regulace s diskretními PID regulátory

Pro oba diskretní regulátory byly provedeny následující 2 simulace. V následujících průbězích je zkombinováno připojení a odpojení lineární zátěže tvořené rezistorem 10Ω a připojení a odpojení výše popsané nelineární zátěže. Model soustavy odpovídá modifikovanému modelu z Obr. 24., ve kterém jsou spojitě regulátory nahrazeny regulátory diskretními a výstupy měřících bloků jsou doplněny o vzorkovače.



Obr. 30.: Kaskádní regulace, paralelní PID



Obr. 31.: Kaskádní regulace, Rekurentní PID

S paralelním regulátorem bylo dosaženo následujících parametrů:

Při připojení odporové zátěže dochází k propadu napětí přibližně o 100V, který je vyregulován za 5 ms. Dále bylo dosaženo následujících harmonických zkreslení: $THD_{lin} = 3,6\%$, $THD_{nelin} = 7,69\%$.

S rekurentním regulátorem bylo dosaženo následujících parametrů:

Při připojení odporové zátěže dochází k propadu napětí přibližně o 80V, který je vyregulován za 3 ms. Dále bylo dosaženo následujících harmonických zkreslení: $THD_{lin} = 3,64\%$, $THD_{nelin} = 8,53\%$.

Z průběhů výstupního napětí je patrné, že s paralelním regulátor se jeví jako pomalejší než s regulátor rekurentní. Bylo s ním však dosaženo lepšího harmonického zkreslení. Paralelní regulátor má tu nevýhodu, že všechna zesílení musí mít v případě zlomkové aritmetiky svoji mantisu a exponent. Jeho algoritmus je proto náročnější na výpočet. V případě procesoru s FPU jednotkou, který bude použit pro řízení sinusového zdroje, není tato skutečnost zásadní.

5 STAVOVÁ ZPĚTNOVAZEBNÍ REGULACE

Dalším typem tvarové regulace výstupního napětí je stavová zpětnovazební regulace. Regulace využívá popisu regulované soustavy prostřednictvím stavových rovnic. Tyto rovnice jsou přepsány do maticového tvaru. Regulace soustavy spočívá ve vytvoření matice regulátoru stavových proměnných, která svými koeficienty způsobí změnu polohy původních pólů soustavy. Nevýhodou stavové regulace je požadavek na zpětnou vazbu od všech stavových proměnných [13]. Zpětné vazby nejsou v některých případech realizovatelné (například proud rotorem asynchronního motoru). Řešením je využití pozorovatele, který slouží k dopočtení stavových proměnných na základě modelu regulované soustavy, který je nutné znát.

Z teorie řízení je známo, že aby soustava byla stabilní, musí mít všechny její póly zápornou reálnou část. Čím jsou póly zápornější, tím je odezva soustavy rychlejší. Mohlo by se proto zdát, že je vhodné volit póly co nejmenší. Ve skutečnosti je volba pólů omezena parametry reálné soustavy. V soustavě se totiž určitě bude nacházet dynamika, která není v návrhu uvažována – její pól je zanedbán. Chování soustavy je vždy dáno póly největšími, dominantními. Pokud budou póly nastavené regulátorem zápornější než nějaký zanedbaný pól, soustava se začne chovat podle tohoto zanedbaného dominantního pólu a ne podle regulátoru.

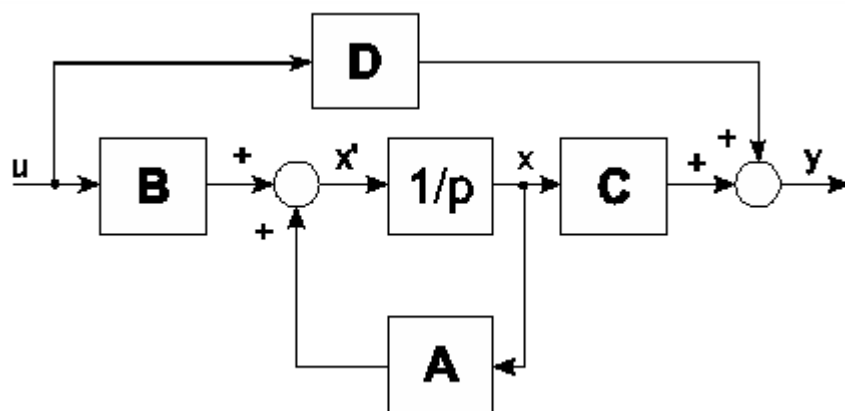
Toto chování regulace je možné pozorovat i v simulacích, kdy pro návrh regulátoru je zanedbána dynamika PWM modulátoru. Pokud by se uvažovala, bylo by nutné zavádět napěťovou zpětnou vazbu od vstupu LC filtru (výstupu střídače). Pokud budou nové póly soustavy (LC filtru) zápornější než náhradní pól PWM modulátoru, začne regulace selhávat.

5.1 Návrh stavového regulátoru

Regulovanou soustavu lze popsat maticově podle následujících rovnic:

$$\dot{x} = Ax + Bu \quad (5.1)$$

$$y = Cx + Du \quad (5.2)$$

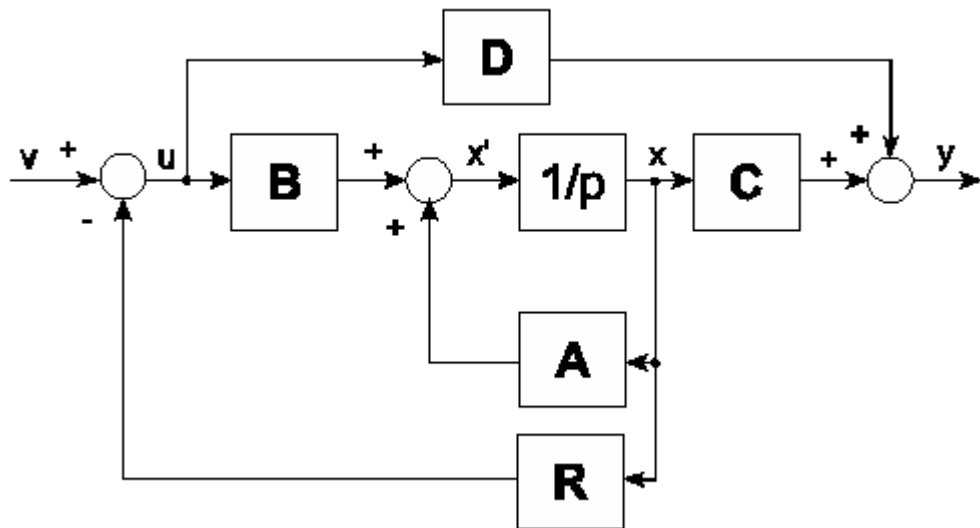


Obr. 32.: Stavový popis

kde $\mathbf{x}$ je vektor stavových proměnných, $\mathbf{y}$ je vektor výstupních proměnných (bývá totožný se vstupními), $\mathbf{u}$ je vektor vstupů, $\mathbf{A}$ je matice soustavy, $\mathbf{B}$ je vstupní matice, $\mathbf{C}$ je výstupní matice a $\mathbf{D}$ je matice přímého působení vstupu na výstup.

Dynamické vlastnosti soustavy jsou dány vlastními čísly matice $\mathbf{A}$, která tvoří póly soustavy. Blokové znázornění rovnic (5.1) a (5.2) je patrné z Obr. 32.

Na Obr. 33 je stavový popis soustavy doplněn o stavový zpětnovazební regulátor $\mathbf{R}$.



Obr. 33.: Stavová regulace

Pak lze sestavit nové rovnice systému s regulátorem:

$$\dot{\mathbf{x}} = (\mathbf{A} - \mathbf{BR})\mathbf{x} + \mathbf{Bu} \quad (5.3)$$

$$\mathbf{y} = \mathbf{Cx} + \mathbf{Du} \quad (5.4)$$

Podle rovnice (5.4) je matice $(\mathbf{A} - \mathbf{BR})$ novou maticí soustavy, určující její dynamiku. Její póly jsou kořeny charakteristického polynomu

$$|p\mathbf{I} - \mathbf{A} + \mathbf{BR}| = 0 \quad (5.5)$$

Je zřejmé, že vhodnou volbou prvků matice $\mathbf{R}$ je možné volit nové póly soustavy. Ruční výpočet je možný, ale pro soustavy vyšších řádů obtížný. Pro návrh matice regulátorů je možné použít příkaz `place()` v Matlabu [13].

Matice koeficientů regulátoru $\mathbf{R}$ představuje proporcionální zesílení jednotlivých stavových proměnných. Z důvodu přesnosti regulace se zavádí další stavová proměnná, jako integrál regulovaného výstupu soustavy, v případě trojfázového sinusového zdroje integrál výstupního napětí. Potom je stejně jako u kaskádní regulace plně kompenzována i porucha. Se zavedením integrátoru je nutné řešit saturaci jeho výstupu a anti-windup.

5.2 Sestavení stavových matic

Stavové matice jsou podle závěrů z kapitoly 3.2 vypočteny pro jednofázový LC filtr s uvažováním vlivu výstupního napětí na kondenzátoru. Celkový parazitní odpor nebyl pro návrh stavového regulátoru zanedbáván tak jako v případě kaskádní regulace a jeho velikost byla zvolena $5 \text{ m}\Omega$.

Stavové matice vzniknou přepsáním diferenciálních rovnic (3.5) a (3.6) do stavového tvaru:

$$\frac{di_L(t)}{dt} = \frac{1}{L_S} [u_1(t) - R_\Sigma \cdot i_L(t) - u_C(t)] \quad (5.6)$$

$$\frac{du_C(t)}{dt} = \frac{1}{C_P} [i_L(t) - i_z(t)] \quad (5.7)$$

Pokud je soustava rozšířena o integrál výstupní veličiny z důvodů přesnosti regulace, přibude další rovnice. Novou stavovou proměnnou nazvěme x :

$$\frac{dx(t)}{dt} = u_C(t) \quad (5.8)$$

Z rovnic (5.6), (5.7), (5.8) lze snadno sestavit stavové matice podle (5.1), (5.2) :

$$\frac{d}{dt} \begin{bmatrix} i_{Ls} \\ u_{Cp} \\ x \end{bmatrix} = \begin{bmatrix} \frac{R_\Sigma}{L_S} & -\frac{1}{L_S} & 0 \\ \frac{1}{C_P} & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} i_{Ls} \\ u_{Cp} \\ x \end{bmatrix} + \begin{bmatrix} \frac{1}{L_S} \\ 0 \\ 0 \end{bmatrix} [u_1] \quad (5.9)$$

$$\begin{bmatrix} i_{Ls} \\ u_{Cp} \\ x \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{Ls} \\ u_{Cp} \\ x \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} [u_1] \quad (5.10)$$

S využitím Matlabu byly vypočteny vlastní čísla matice A s integrátorem:

$$\lambda_1 = 0, \quad \lambda_{2,3} = -2.5 \pm 7453j \quad (5.11)$$

Dominantním pólem určujícím chování soustavy je tedy nula.

Experimentálním nastavováním pólů a pozorováním průběhů výstupních napětí při nelineární zátěži byly zvoleny nové póly soustavy

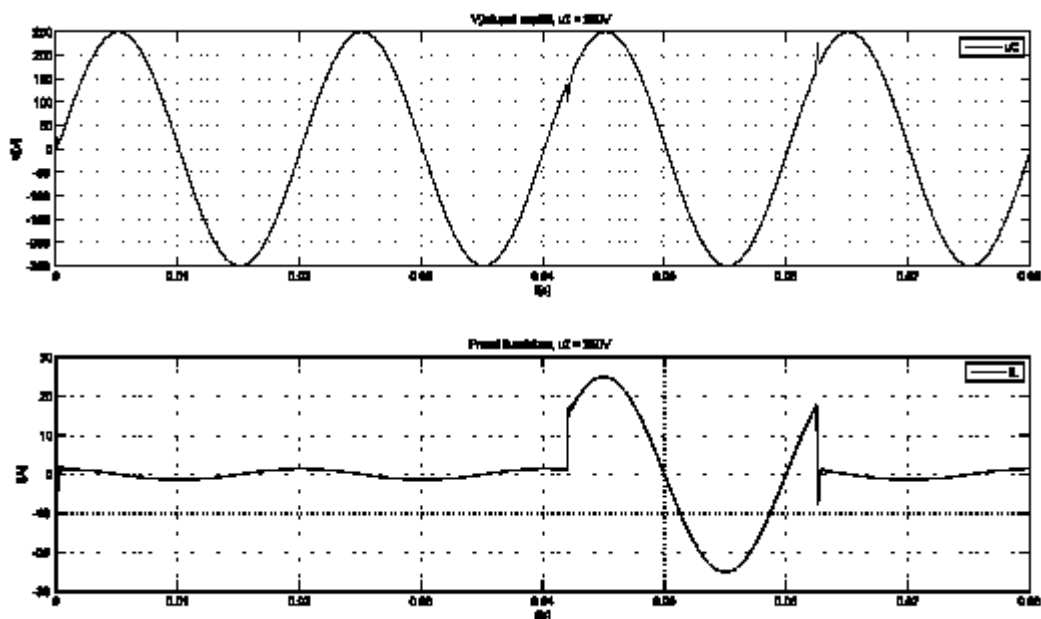
$$\lambda_1 = -25000, \quad \lambda_{2,3} = -10000 \pm 10000j \quad (5.12)$$

potom

$$I = \frac{1 - r_1 i_{Ls} - r_2 u_{Cp} - r_3}{r_3} \quad (5.15)$$

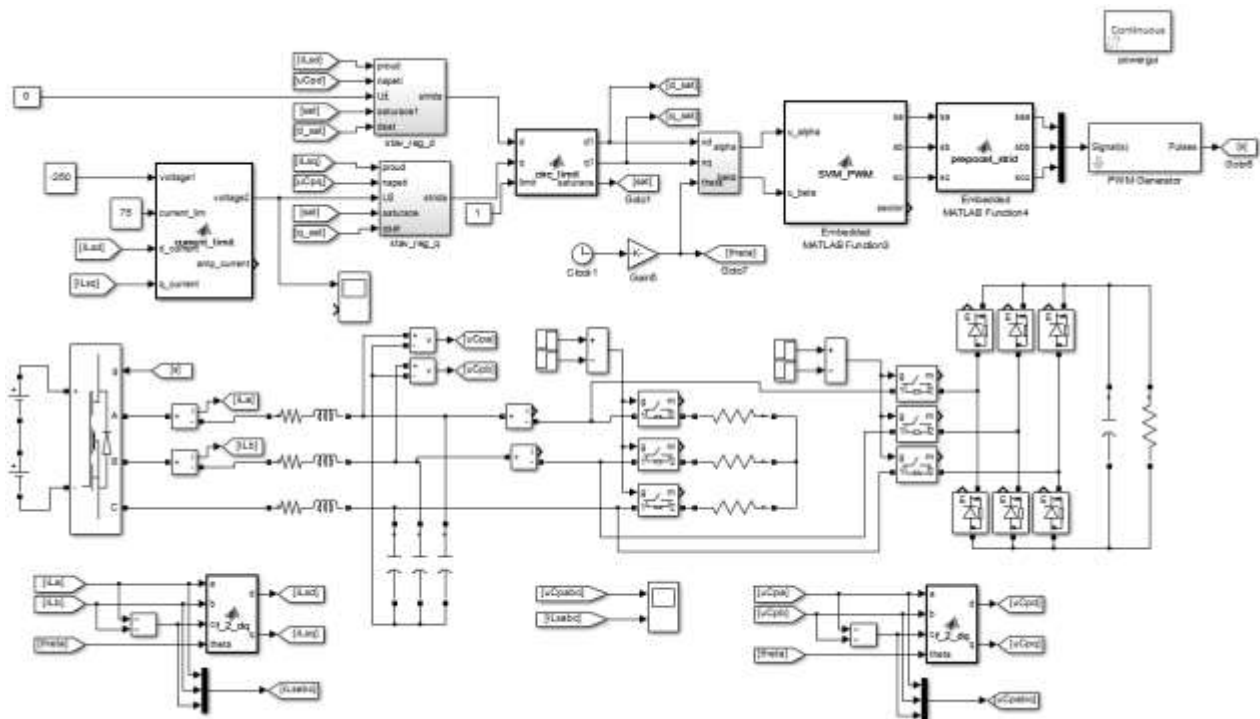
Právě na tuto velikost je nastavena hodnota integrátoru, pokud dojde k saturaci výstupní veličiny. Potom nemůže dojít k Windup efektu.

Nevýhodou výše uvedeného řešení je, že se nerozlišuje, zda k překročení limitů řídící veličiny střídače dochází díky integrátoru, nebo vlivem jiného ze zbylých dvou regulátorů.



Obr. 35.: Průběh výstupního napětí a proudu tlumivkou, stavová regulace - Simulink

Simulace v SPS



Obr. 36.: Stavová regulace – SPS

Na Obr. 36 je vidět model střídače v SimPowerSystems toolboxu. Regulace je prováděna opět v rotujícím souřadném systému dq. Příznak saturace pro reset integrátoru na počáteční podmínku (Anti-windup) je generován blokem kruhového limitu. Anti-windup se provádí pro regulátory v obou osách najednou, odečtením výstupů regulátorů od výstupů z kruhového limitu (hodnota 1 v rovnici 5.15 je nahrazena aktuální hodnotou omezeného výstupu bloku kruhového limitu pro příslušnou osu).

Realizace proudového omezení není tak snadná, jako v případě regulace kaskádní, kdy výstup napěťového regulátoru má rozměr proudu. V stavové regulaci je proudové omezení zajištěno tak, že se nejprve vypočítá amplituda (délka prostorového vektoru) okamžité hodnoty proudu. Pokud tato překračuje maximální hodnotu proudu, je v poměru překročení proudu snížena žádaná hodnota napětí v osách d a q. Realizace je patrná z následujícího kódu:

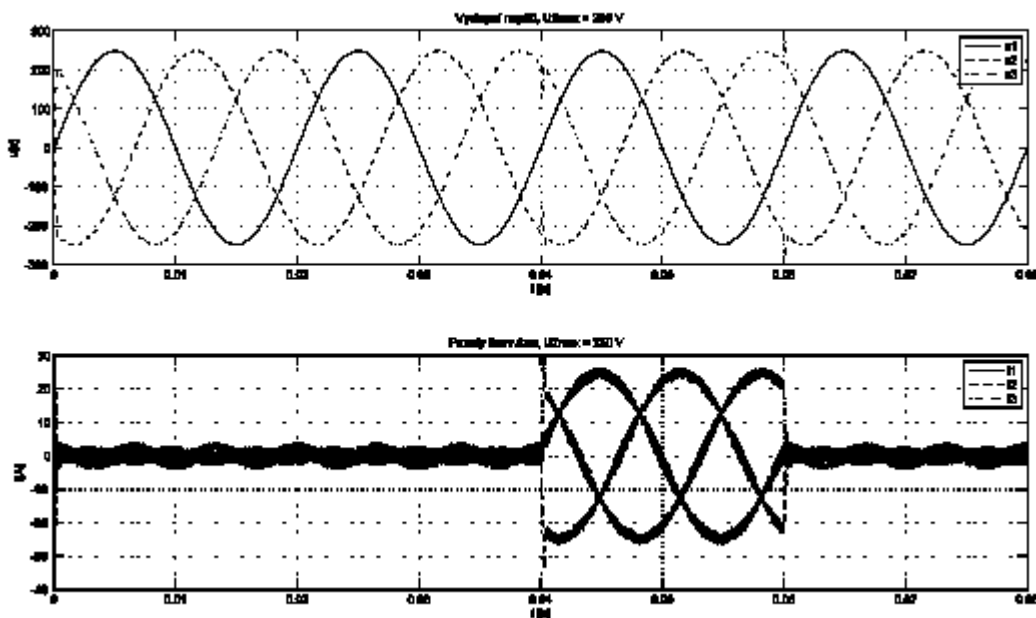
```
function [voltage2, amp_current] = current_limit(voltage1, current_lim,
d_current, q_current)

amp_current = sqrt(d_current^2+q_current^2);    % ampl. proudu

if amp_current>current_lim                      % je-li překročena
    voltage2 = voltage1*current_lim/amp_current; %sniz zadane napeti
    saturace = 1;
else
    voltage2 = voltage1;
end
```

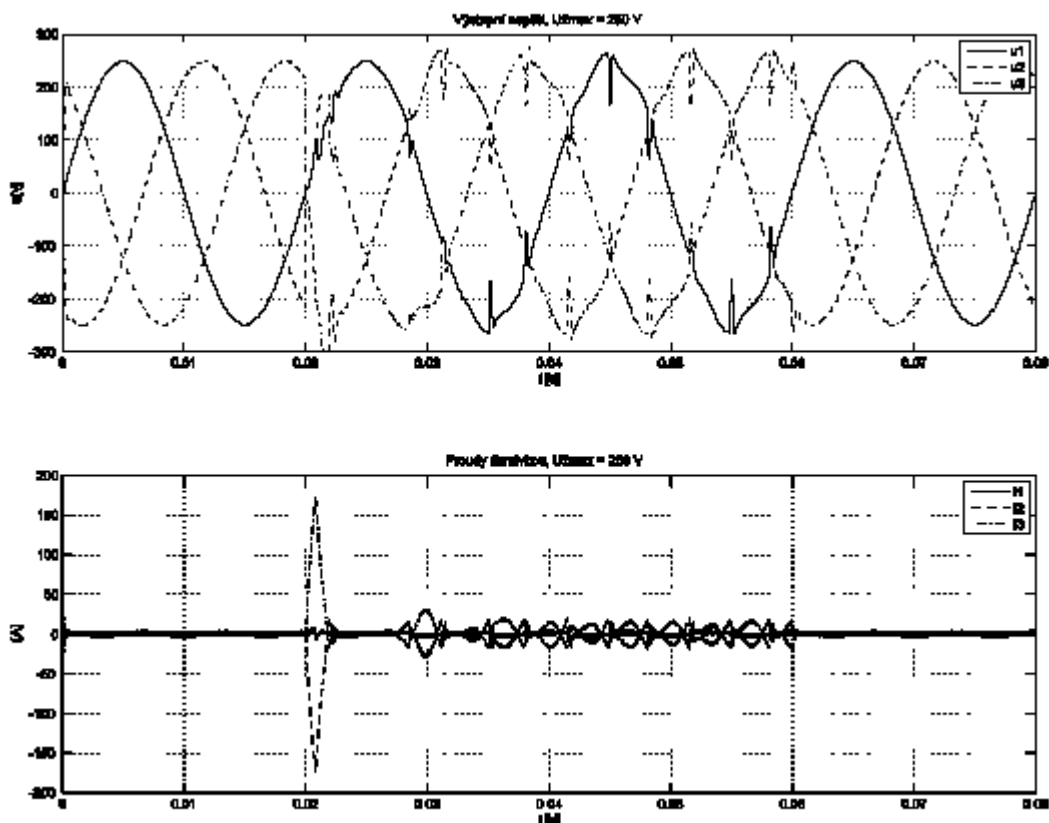
Nf modulační signály jsou opět generovány s využitím algoritmu SVM.

Na Obr. 37 je patrný průběh napětí a proudu při skoku zátěže o velikosti $10\ \Omega$. Z obrázku je patrný propad výstupního napětí asi o $50\ \text{V}$, který je vyregulován přibližně za $0.5\ \text{ms}$. Je zřejmé, že v porovnání s kaskádní regulační strukturou je stavová regulace se spojitým časem rychlejší. Při odpojení zátěže také nedochází ke kmitání výstupního napětí. V době připojení zátěže je celkové harmonické zkreslení $\text{THD} = 0.63\ \%$.



Obr. 37.: Průběhy napětí a proudu - skok odporové zátěže, $R_Z = 10\ \Omega$.

Z Obr. 38. jsou patrné průběhy napětí a proudu při připojení nelineární zátěže opět tvořené šestipulsním usměrňovačem s kondenzátorem a zátěžným odporem. V porovnání s kaskádní regulací je patrné významně nižší zkreslení výstupního napětí. Podle výsledků simulace je celkové harmonické zkreslení napětí $\text{THD} = 8\ \%$.



Obr. 38.: Průběhy napětí a proudu - připojení nelineární zátěže

5.4 Simulace stavové regulace s diskrétním časem

Doposud byly simulace stavové regulace prováděny se spojitým časem. Při realizaci v signálovém kontroléru je stejně jako v případě kaskádní regulace, nutné stavovou regulaci převést do diskrétního tvaru.

Stavová regulace s integrátorem spočívá v násobení stavových proměnných konstantami (zesíleními) a výpočtem integrálu regulované veličiny. Pro převod do diskrétního tvaru je tedy nutné zjistit velikost jednotlivých zesílení, která odpovídá v diskrétním čase pólům, které jsou ekvivalentní pólům v čase spojitém. Operace násobení zůstává v obou případech zachována. Dále je nutné vytvořit algoritmus výpočtu integrálu regulované výstupní veličiny, který se pro spojitý a diskrétní čas liší.

Z teorie řízení je známo, že póly soustavy musí ležet uvnitř jednotkové kružnice v rovině komplexní proměnné z , aby soustava byla stabilní. Polohu pólů z komplexní roviny proměnné p je tedy nutné přepočítat. Literatura [13] uvádí následující převodní vztahy:

Eulerova dopředná transformace:

$$z = T_s p + 1 \quad (5.16)$$

Eulerova zpětná transformace:

$$z = \frac{1}{1 - pT_s} \quad (5.17)$$

Tustinova bilineární transformace:

$$z = \frac{2 + pT}{2 - pT} \quad (5.18)$$

Transformace lze chápat jako převodní vztah mezi proměnnou p a z . Pokud vyjádříme například z rovnice (5.16) proměnnou p , získáme následující výraz:

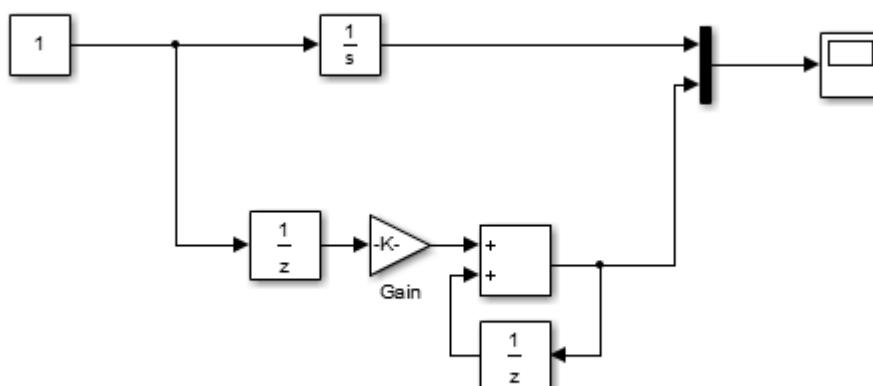
$$p = \frac{z - 1}{T_s} \quad (5.19)$$

Pokud substituci použijeme do výrazu pro výpočet integrálu po Laplaceově transformaci, získáme vztah

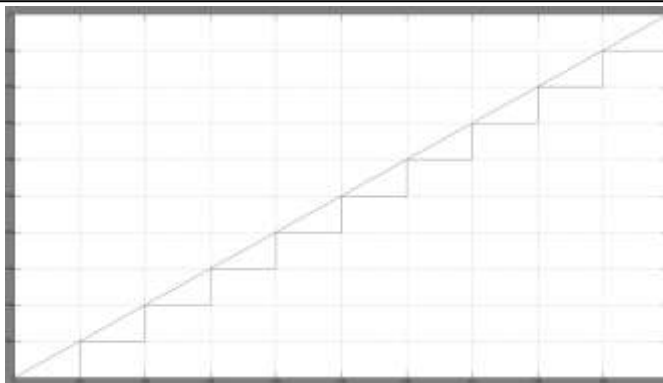
$$y(p) = \frac{u(p)}{p} \Rightarrow y(z) = \frac{u(z)T_s}{z - 1} \quad (5.20)$$

Pokud přejdeme od přenosové funkce k diferenční rovnici, získáme vztah, podle kterého lze sestavit diskretní integrátor v Simulinku:

$$y(k) = T_s u(k - 1) + y(k - 1) \quad (5.21)$$



Obr. 39.: Realizace spojitého a číslicového integrátoru



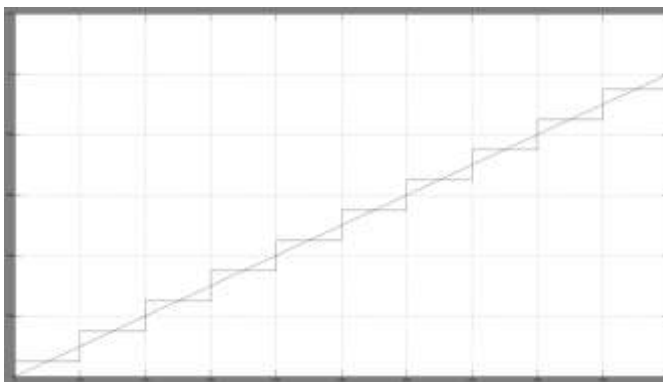
Obr. 40.: Porovnání spojitého a číslicového integrátoru, dopředná Eulerova transformace

Na Obr. 39 a Obr. 40 je vidět realizace a časový průběh výstupu spojitého a číslicového integrátoru realizovaného pomocí dopředné Eulerovy transformace. Z průběhu výstupního signálu je také objasněn název dopředná. Vztah pro přepočítání pólů je tedy zároveň návodem pro realizaci číslicového integrátoru.

Přesnějším způsobem výpočtu integrálu pro systémy s nižší vzorkovací frekvencí je Tustinova bilineární transformace s následující diferenční rovnicí:

$$y(k) = \frac{T_s}{2} (u(k) + u(k-1)) + y(k-1) \quad (5.22)$$

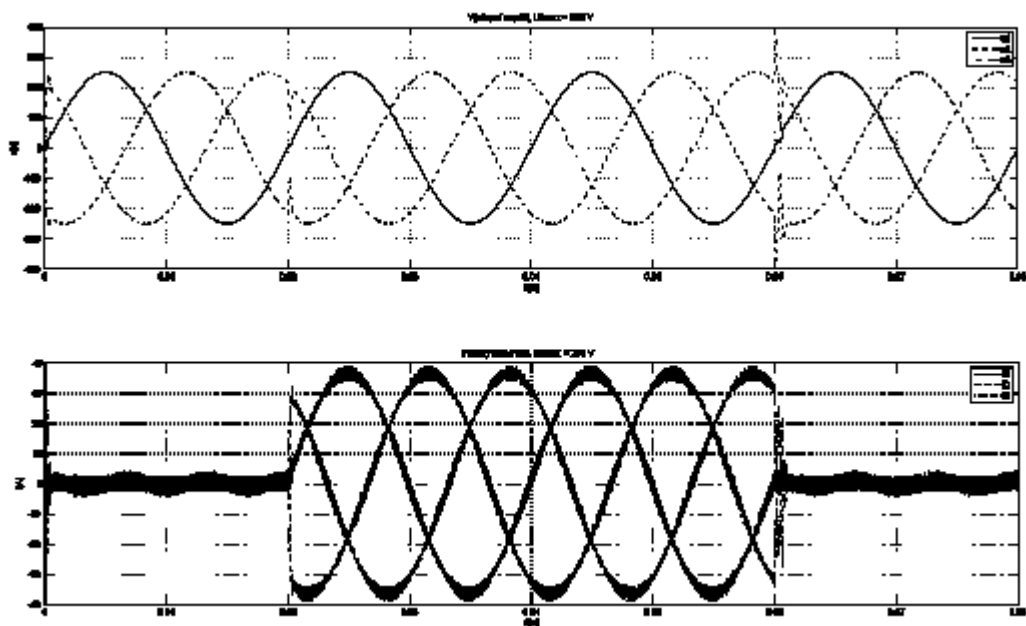
Které odpovídají následující časové průběhy:



Obr. 41.: Porovnání spojitého a číslicového integrátoru, Tustinova bilineární transformace

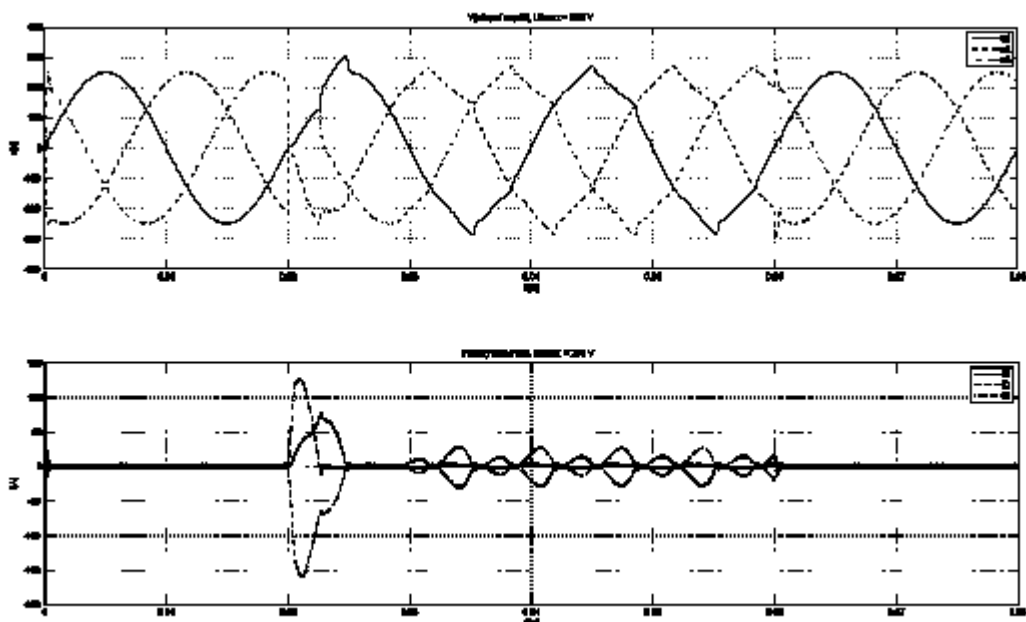
Pro realizaci integrátoru ve stavové regulaci se jako nejlepší možnost pro přepočítání pólů i realizaci integrátoru osvědčila právě Tustinova bilineární transformace.

Simulink obsahuje blok číslicového integrátoru, který lze nastavit jako integrátor, nebo akumulátor (neuvažuje vzorkovací periodu). Integrace je prováděna právě pomocí výše uvedených transformačních vztahů. Integrátor umožňuje několik způsobů resetu na počáteční podmínku. Podrobnější informace včetně diferenčních rovnic lze najít v nápovědě tohoto bloku.



Obr. 42.: Průběhy napětí a proudu - připojení lineární zátěže, diskrétní regulace

Na Obr. 42 je patrný průběh napětí a proudu s využitím diskrétní stavové regulace při připojení a odpojení odporové zátěže o velikosti 10Ω . Průběhy jsou prakticky identické se simulací se spojitým časem. Bylo docíleno celkového harmonického zkreslení s připojenou zátěží $THD_{lin} = 0.7\%$



Obr. 43.: Průběhy napětí a proudu - připojení nelineární zátěže, diskrétní regulace

Na Obr. 43 je patrný průběh napětí a proudu s využitím diskrétní stavové regulace při připojení a odpojení nelineární zátěže. Bylo docíleno celkového harmonického zkreslení s připojenou zátěží $THD_{nlin} = 6.04\%$.

6 PREDIKTIVNÍ ŘÍZENÍ S VYUŽITÍM MODELU REGULOVANÉ SOUSTAVY

Prediktivní regulace je regulací diskrétní. Simulovaný algoritmus lze tedy přímo naprogramovat do signálového kontroleru. Řídící algoritmus predikuje vývoj regulovaných veličin v $(k+1)$ kroku na základě hodnot v k -tém kroku pro konečný počet možných akčních zásahů. Predikce je prováděna na základě modelu regulované soustavy. Predikovaná odezva systému pro každý akční zásah je vyhodnocena podle hodnotící funkce (cost function) a v $(k+1)$ kroku je proveden ten akční zásah, pro který je hodnotící funkce minimální [14].

6.1 Prediktivní regulace

Prediktivní regulace je založena na diskrétním zápisu rovnic (3.19) a (3.22). Ztráty na parazitním odporu jsou zanedbány. Derivaci v diferenciálních rovnicích lze přepsat podle rovnice (6.1).

$$\frac{dx}{dt} \approx \frac{x(k+1) - x(k)}{T_s} \quad (6.1)$$

Potom je možné spojité rovnice upravit do následujících tvarů:

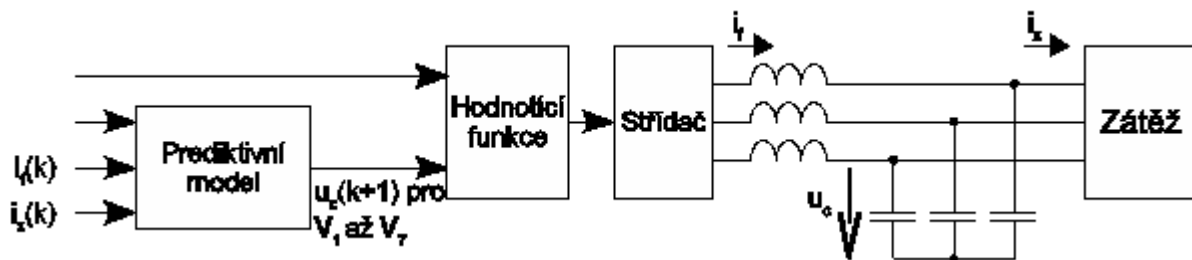
$$\mathbf{i}_{Ls}(k+1) = \mathbf{i}_L(k) + \frac{T_s}{L_s} (\mathbf{u}_f(k) - \mathbf{u}_{cp}(k)) \quad (6.2)$$

$$\mathbf{u}_{cp}(k+1) = \mathbf{u}_{cp}(k) + \frac{T_s}{C_p} (\mathbf{i}_{Ls}(k+1) - \mathbf{i}_z(k)) \quad (6.3)$$

Z rovnice (6.3) je patrné, že pro predikci vektoru výstupního napětí filtru $\mathbf{u}_{cp}(k)$ je nutné znát kromě vektoru proudu tlumivkou $\mathbf{i}_{Ls}(k)$ i vektor proudu tekoucího do zátěže $\mathbf{i}_z(k)$. Ten může být měřen, nebo vypočten s využitím vztahu pro diskrétní derivaci (6.1) a rovnice (3.19):

$$\mathbf{i}_z(k-1) = \mathbf{i}_{Ls}(k) - \frac{C_p}{T_s} (\mathbf{u}_{cp}(k) - \mathbf{u}_{cp}(k-1)) \quad (6.4)$$

Pokud je vzorkovací perioda dostatečně krátká, lze předpokládat, že se výstupní proud mezi dvěma vzorky významně nezmění a je možné uvažovat rovnost $\mathbf{i}_z(k-1) = \mathbf{i}_z(k)$ [14].



Obr. 44.: Prediktivní regulace

Podle blokového schématu prediktivního řízení na Obr. 44. vstupuje vektor žádané hodnoty výstupního napětí $u_c^*(k)$ a vektor predikovaného napětí $u_{cp}(k+1)$, které je vypočteno pro všechny spínací vektory střídače do hodnoticí funkce (cost function). Spínací vektor S podle (2.25), pro který je výsledek hodnoticí funkce (6.5) minimální, je aplikován na výstup střídače v následujícím kroku.[14]

Hodnoticí funkce uvedená má tvar podle (6.5):

$$g = (u_{c\alpha}^* - u_{c\alpha}(k+1))^2 + (u_{c\beta}^* - u_{c\beta}(k+1))^2 \quad (6.5)$$

kde g je hodnota funkce pro daný prostorový vektor S .

Do hodnoticí funkce lze podle [14] zahrnout proudové omezení:

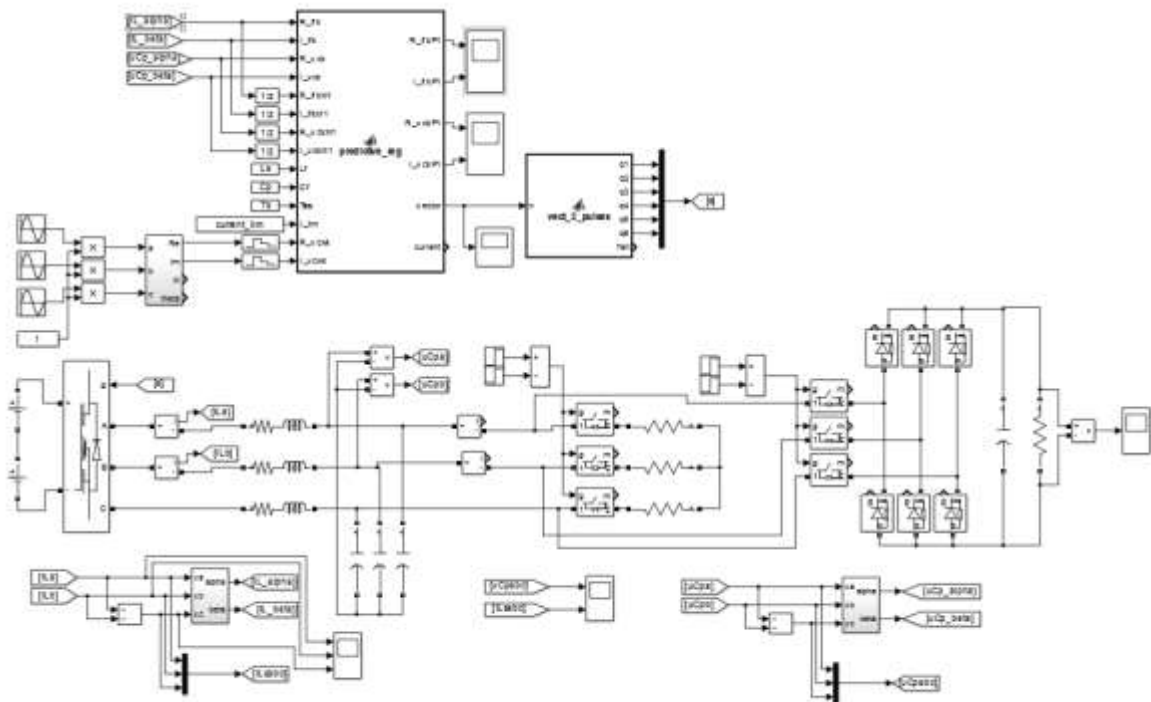
$$g = (u_{c\alpha}^* - u_{c\alpha}(k+1))^2 + (u_{c\beta}^* - u_{c\beta}(k+1))^2 + \text{current_limit} \quad (6.6)$$

Parametr current_limit je nastaven na hodnotu nekonečno v případě, že výsledek rovnice (6.2) pro daný spínací vektor střídače S je vyšší, než hodnota proudového omezení.

Literatura [14] uvádí prediktivní řízení s predikcí delší než jeden krok. V případě jednokrokové predikce je vyhodnocováno 7 spínacích vektorů. Ten spínací vektor $S(k+1)$ jehož hodnoticí funkce je minimální, je aplikován v kroku $(k+1)$. V případě 2 krokové predikce je po výpočtu 7 napětíových vektorů $u_c(k+1)$ vypočteno dalších sedm vektorů $u_c(k+2)$. Hodnoticí funkce je potom minimální pro 1 ze 49 vektorů $u_c(k+2)$, jemuž odpovídají 2 spínací vektory – $S(k+1)$ a $S(k+2)$. V kroku $(k+1)$ je aplikován právě $S(k+1)$. Vzhledem k exponenciálnímu nárůstu množství výpočtů je možné použít stejný spínací vektor v kroku $(k+1)$ i $(k+2)$. Náročnost na výpočty je potom pouze dvojnásobná.

6.2 Simulace prediktivní regulace

Prediktivní regulace byl simulován toolboxu SPS. Algoritmus regulace byl naprogramován jako vložená funkce Matlab. Z výše popsaného principu funkce je patrné, že regulace nepotřebuje hardwarový PWM modulátor. Hodnotící funkce je totiž vypočítávána pro všechny prostorové vektory, z nichž jeden je v $(k+1)$ kroku aplikován. Nevýhodou je, že předem není známa spínací frekvence spínání tranzistorů. Na následujícím obrázku je vidět model prediktivní regulace s modelem střídače:



Obr. 45.: Model prediktivní regulace

Kód bloku *predictive reg*:

```
function [R_ifkP1, I_ifkP1, R_vckP1, I_vckP1, vector, current]...
    = predictive_reg(R_ifk, I_ifk, R_vck, I_vck, R_ifkM1,...
        I_ifkM1, R_vckM1, I_vckM1, Lf, Cf, Tss, I_lim, R_vcw, I_vcw)

%konstanty a spinaci vektory
Ts = Tss;
L = Lf;
C = Cf;
R_vi = [0, 2/3, 1/3, -1/3, -2/3, -1/3, 1/3, 0];
I_vi = [0, 0, 1/sqrt(3), 1/sqrt(3), 0, -1/sqrt(3), -1/sqrt(3), 0];
gn = [0,0,0,0,0,0,0,0];

%% Vypocet k+1 proudu
for n=1:8
    limit = 0;
    R_ifkP1 = R_ifk + (Ts/L)*(R_vi(n)*540 - R_vck);
    I_ifkP1 = I_ifk + (Ts/L)*(I_vi(n)*540 - I_vck);

    %%proudove omezeni v nasledujicim kroce
```

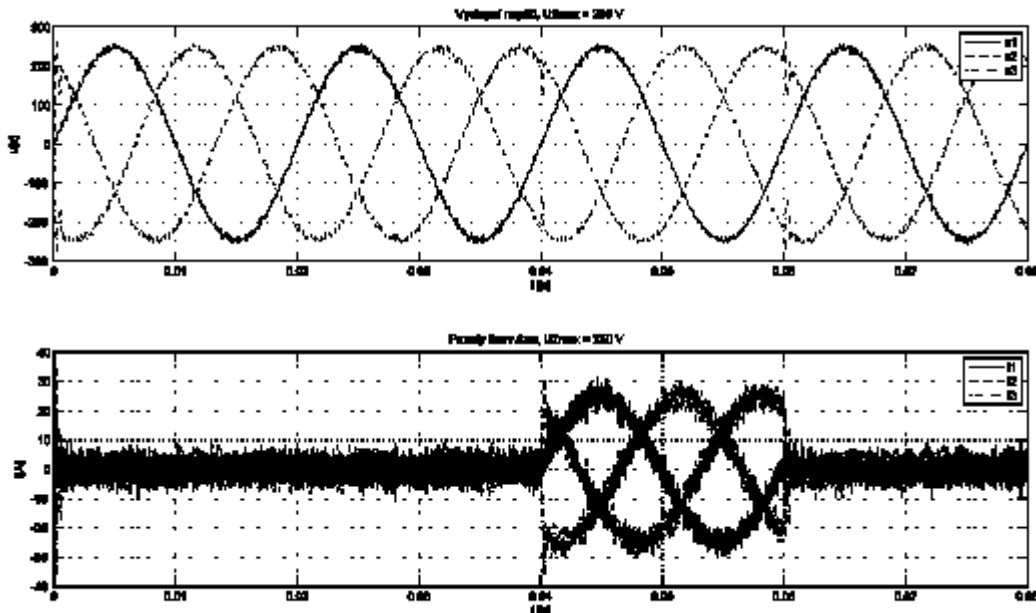
```
current = sqrt(R_ifkP1^2+I_ifkP1^2);
if current>=I_lim
    limit = inf;
end
%% Predikce proudu zateze

R_iokM1 = R_ifkM1 - (C/Ts)*(R_vck - R_vckM1);
I_iokM1 = I_ifkM1 - (C/Ts)*(I_vck - I_vckM1);

%% Vypocet k+1 napeti
R_vckP1 = R_vck + (Ts/C)*(R_ifkP1-R_iokM1);
I_vckP1 = I_vck + (Ts/C)*(I_ifkP1-I_iokM1);

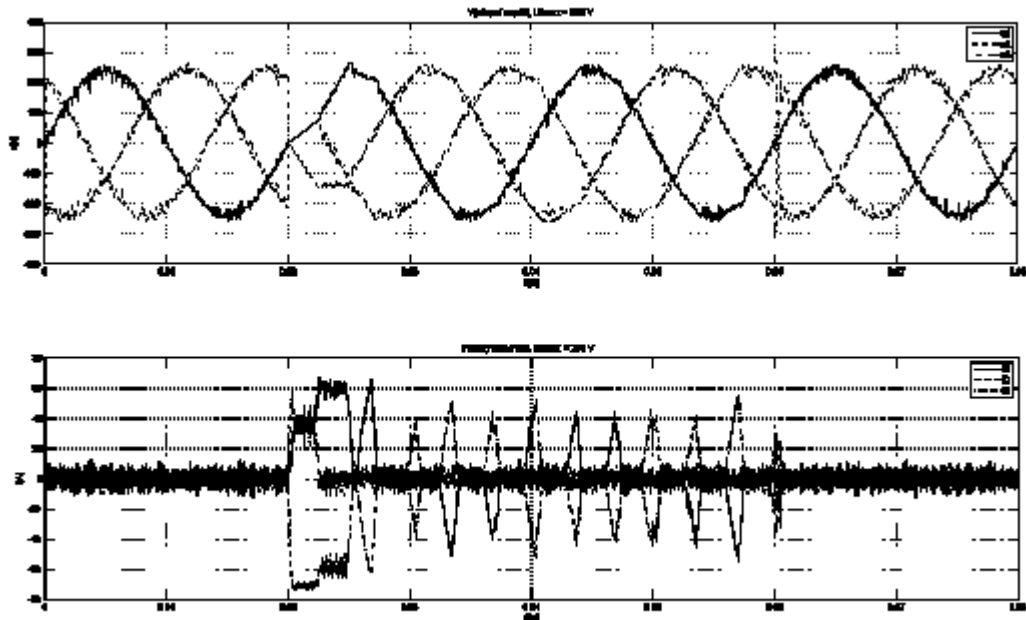
%% Cost function
gn(n) = limit + (R_vck-R_vckP1)^2+(I_vck - I_vckP1)^2;
end
%% Vyber min. hodnoty costfunction
[cislo,pozice] = min(gn);
vector = pozice;
```

Na následujícím obrázku jsou patrné průběhy napětí a proudu při skoku zátěže na velikost $10\ \Omega$ v čase $t = 0.04\text{ s}$ a odpojení této zátěže v čase $t = 0.06\text{ s}$. Po připojení zátěže dochází poklesu napětí asi o 90 V , který je vyregulován za dobu přibližně 0.5 ms . Při odpojení zátěže je na napětí patrný překmit přibližně 50 V . Z obrázku je patrné, že v porovnání s ostatními typy regulace není průběh napětí hladký. Harmonické zkreslení v zatíženém stavu je přibližně $\text{THD} = 1.96\%$.



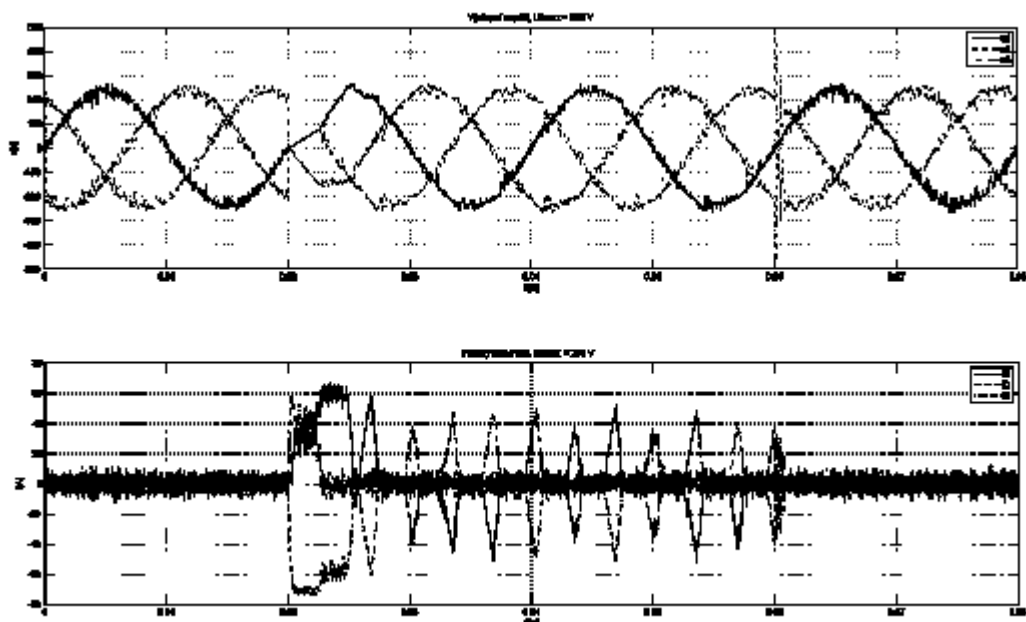
Obr. 46.: Průběhy napětí a proudu - prediktivní regulace, R zátěž

Z Obr. 47 jsou patrné průběhy napětí při připojení nelineární zátěže o stejných parametrech jak ov předchozích případech. Je vidět, že na tvaru napětí se proudové impulsy po počátečním nárazovém proudu způsobené nabíjením kondenzátoru projevují velmi málo. Celkové harmonické zkreslení má při připojené zátěži hodnotu asi $\text{THD} = 5,49\%$.



Obr. 47.: Prediktivní regulace - nelineární zátěž

Značnou nevýhodou prediktivní regulace je nutnost znalosti parametrů soustavy. Na následujícím obrázku je simulována opět situace připojení nelineární zátěže pro případ, že kapacita filtračních kondenzátorů je 70%. Tato změna však není zahrnuta do algoritmu výpočtu regulace:



Obr. 48.: Prediktivní regulace - nelineární zátěž, změna parametrů soustavy



Z Obr. 48. je vidět, že průběh napětí nemá tak hladký průběh jako v předchozím případě. Celkové harmonické zkreslení $THD = 6,42 \%$.

Další nevýhodou tohoto typu regulace je nepřesná znalost přepínacího kmitočtu tranzistorů. Ta je závislá na frekvenci vzorkování. Zároveň změna spínacího vektoru neznamena změnu sepnutí všech tranzistorů, přičemž sled po sobě jdoucích spínacích vektorů není předem znám – závisí na výsledku hodnotící funkce.

7 ŘÍDÍCÍ SYSTÉM S MIKROKONTROLEREM TMS320F28335

Podle požadavku firmy Elcom byl k realizaci řídicího systému sinusového zdroje použit mikrokontrolér TMS320F28335 firmy Texas Instruments. V této kapitole jsou uvedeny základní rysy kontroléru a periférií, které jsou využity k řízení sinusového zdroje, vývojové prostředky nabízené firmou TI a přehled informačních zdrojů vhodných pro start vývoje řídicí aplikace. Cílem této kapitoly není podrobné seznámení čitatele s perifériemi, pouze vyzdvižení hlavních rysů a odlišností od signálových kontrolérů firmy Freescale. Podrobné manuály ke kontroléru je možné najít na stránkách výrobce [15].

7.1 Hardwarové vývojové prostředky TMS320F28335

Mikrokontrolér TMS320F28335 je 32 bitový signálový kontrolér z rodiny kontrolérů C2000, vyráběný firmou TI, určený pro řídicí systémy zejména v oblasti pohonů, energetiky. Rodina C2000 se dělí na subrodiny C28x + ARM Cortex M3, C28x Fixed-point, C28x Piccolo, a C28x Delfino Floating Point. Subrodina Delfino Floating point obsahuje 2 kontroléry a to právě zmiňovaný F28335 jehož hlavním rysem je přítomnost 32 bitové hardwarové floating point jednotky. Druhý kontrolér je dvoujádrový F28337, jehož hlavním rysem je přítomnost hardwarové floating point jednotky, trigonometrické matematické jednotky a Viterbi/Complex matematické jednotky.

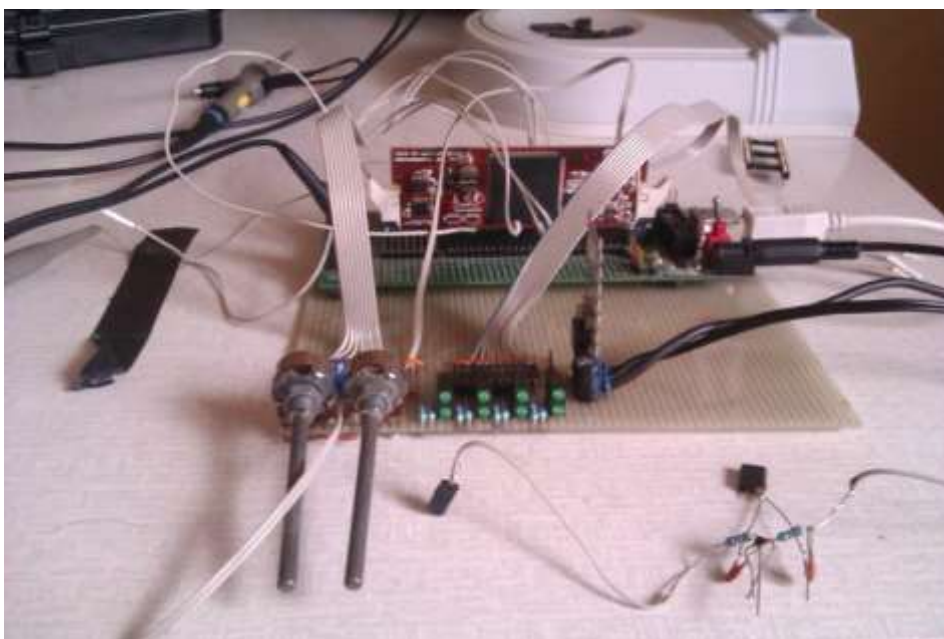
Pro seznámení a vývoj aplikací poskytuje firma TI několik vývojových kitů, lišící se v univerzálnosti a cílové aplikaci. Jedná se jak o zaměřené kity, obsahující například střídač s aktivním PFC obvodem pro oblast Motor control, kit pro oblast Solar energy a další, tak o kity zcela univerzální.

Pro seznámení s procesorem je vhodný Peripheral explorer kit, který je využíván univerzitami k výuce mikroprocesorové techniky. K tomuto kitu bylo vydáno výukové CD [16], které studenta provede řešenými příklady týkajícími se jednotlivých periférií. Příklady jsou koncipované pro budoucí použití ve výkonové elektronice. Za vyzdvižení stojí příklad, ve kterém je vysvětleno generování sinusové PWM s využitím Look-up tabulky která je výrobcem naprogramovaná v paměti procesoru, hardwarová filtrace generovaného signálu na desce kitu, vzorkování filtrovaného signálu AD převodníkem, které je synchronizováno na PWM modulátor a zobrazení průběhu signálu ve vývojovém prostředí Code Composer Studio (CCS). Tato úloha je totiž v modifikovaných formách použita prakticky v každé aplikaci týkající se regulace výkonové elektroniky.

Dalším, nejuniverzálnějším kitem je Experimenter's kit, který jsem měl k dispozici od firmy Elcom. Experimenter's kit obsahuje pouze USB JTAG emulátor, přístup ke všem GPIO pinům procesoru, konektor pro JTAG (umožňuje programování externím JTAG emulátorem) a konektor pro připojení RS232. Kit je napájen buď přímo z USB, nebo pomocí konektoru pro připojení +5V.

Pro zvýšení univerzálnosti jsou veškeré kity prodávány bez vlastního procesoru. Ten se do kitu vloží pomocí controlCARDS – malé destičky, s konektorem DIMM100, na které je připájen procesor s obvody nutnými pro jeho funkci – 2 zdroje +3,3 a +1,8V, anti-aliasing filtry pro AD převodník, obvod pro vstupně/výstupní pin Resetu (u tohoto procesoru je port resetu obousměrný) a další.

Při seznamování s programováním procesoru jsem tedy využíval Experimentner's kit s controlCARD obsahující procesor TMS320F28335. Jako zdroj informací jsem po zběžném seznámení s manuály k potřebným periferiím používal výše zmíněné výukové CD s řešenými příklady, určené pro Peripheral Explorer kit s tímto procesorem. Pro snadnost ověřování naprogramovaných příkladů jsem si vytvořil desku (Obr. 49.) s LED, spínači a potenciometry, které jsem připojil k Experimentner's kitu na stejné piny, které jsou použity v Peripheral Explorer kitu.



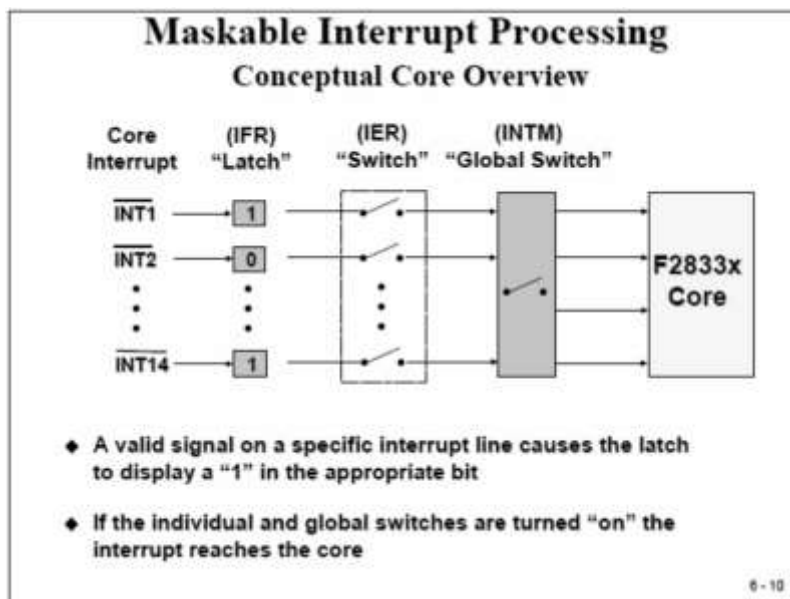
Obr. 49.: Deska pro experimentování s periferiemi

Veškeré manuály, výukové texty, dokumentace k procesoru, k vývojovým kitům, knihovny s matematickými funkcemi optimalizovanými FPU a tabulky goniometrických funkcí, a další podpora pro experimentování a vývoj je dostupná v aplikaci controlSUITE, která lze nalézt na webu TI [17]. Většina obsahu dostupného v controlSUITE je dohledatelná samostatně, pro začátek je ale tato aplikace velkým usnadněním.

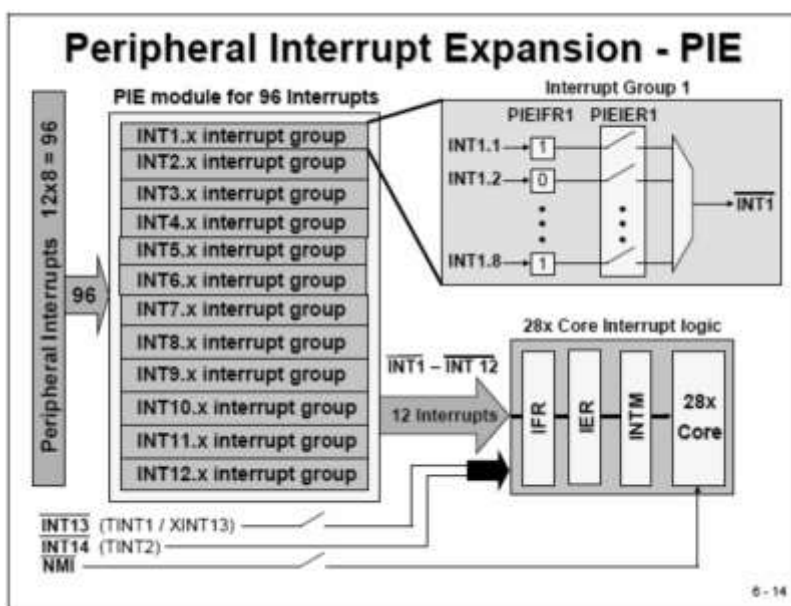
7.2 Systém přerušení a Peripheral Interrupt Expansion (PIE)

Mikrokontrolér F28335 umí rozpoznat 96 zdrojů přerušení. Do jádra procesoru však vede pouze 14 maskovatelných vstupů přerušení (Obr. 50) a 2 nemaskovatelné vstupy tedy celkem 16 vstupů. Každému vstupu do jádra odpovídá jeden 32 bitový vektor přerušení. Tabulka těchto vektorů je však umístěna v paměti ROM, která je předprogramována výrobcem. Tyto vektory ukazují do paměti RAM, která je již přístupná programátorovi k vložení adresy rutiny obsluhy přerušení. Pod jedním přerušením vstupujícím do jádra procesoru se tedy skrývá více možných zdrojů přerušení, které je nutné rozlišit. O to se stará periferie nazvaná Peripheral Interrupt Expansion (PIE). Při použití této periferie dojde k rozvinutí počtu vektorů přerušení na 96 (Obr. 51).

K použití této periferie je však nutné vektory přemapovat na adresu 0x000D00, která odpovídá volatilní paměti. Před použitím je tedy nutné ji inicializovat.



Obr. 50.: Maskovatelná přerušení vstupující do jádra procesoru, převzato z [16]



Obr. 51.: Peripheral Interrupt Expansion, převzato z [16]

Namapování vektorů přerušení z paměti RAM (každá skupina jeden vektor) do paměťové oblasti využívané periferií PIE je patrná z Obr. 52, kde světle šedé řádky označují původní jeden vektor pro skupinu přerušení v RAM a tmavě šedé řádky označují vektory přerušení s využitím PIE. Pro volání obsluhy přerušení je na adresu příslušného vektoru přerušení vložena adresa rutiny přerušení.

PIE Vector Mapping (ENPIE = 1)		
Vector name	PIE vector address	PIE vector Description
not used	0x00 0D00	Reset vector (never fetched here)
INT1	0x00 0D02	INT1 re-mapped to PIE group below
.....		 re-mapped to PIE group below
INT12	0x00 0D18	INT12 re-mapped to PIE group below
INT13	0x00 0D1A	XINT13 Interrupt or CPU Timer 1 (RTOS)
INT14	0x00 0D1C	CPU Timer 2 (RTOS)
DATALOG	0x00 0D1D	CPU Data logging Interrupt
.....		
USER12	0x00 0D3E	User-defined Trap
INT1.1	0x00 0D40	PIEINT1.1 Interrupt Vector
.....		
INT1.8	0x00 0D4E	PIEINT1.8 Interrupt Vector
.....		
INT12.1	0x00 0DF0	PIEINT12.1 Interrupt Vector
.....		
INT12.8	0x00 0DFE	PIEINT12.8 Interrupt Vector

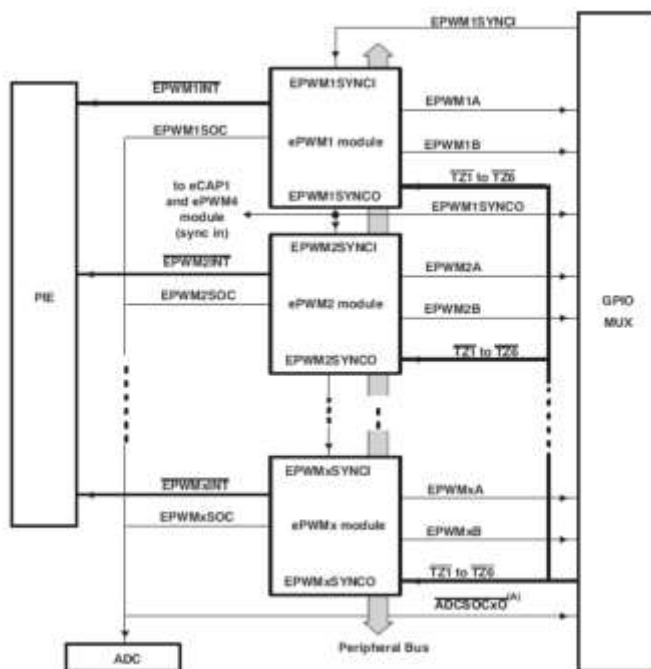
• PIE vector location – 0x00 0D00 – 256 words in data memory
 • RESET and INT1-INT12 vector locations are re-mapped
 • CPU vectors are re-mapped to 0x00 0D00 in data memory

Obr. 52.: Přemapování vektorů přerušení s využitím PIE, převzato z [16]

Konkrétní příklad komentované inicializace PIE pro detekci a obsluhu přerušení z hardwarového časovače je uveden ve Workspace na příloženém CD, název projektu Timer0.

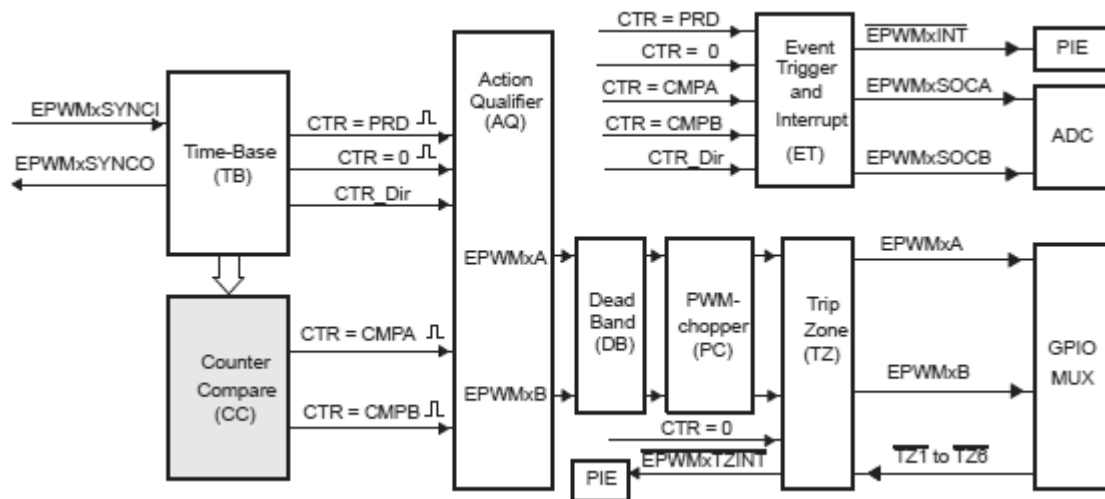
7.3 PWM modulátor

Kontrolér F28335 obsahuje perifrii ePWM sloužící ke generování pulsně šířkově modulovaného signálu. Periferie obsahuje 6 vzájemně synchronizovatelných submodulů, (Obr. 53) kde každý submodul může generovat 2 výstupní signály. Tyto signály mohou být buď nezávislé, nebo komplementární s vložení ochranné doby.



Obr. 53.: Synchronizovatelné submoduly PWM modulátoru, převzato z [18]

Každý submodul obsahuje několik funkčních bloků, jako je blok časové základny (Time-Base), komparátor (Counter Compare), akční blok (Action Qualifier), blok ochranné doby (Dead Band), PWM chopper, blok chybových stavů (Trip zone) a blok spuštění událostí (Event trigger). Propojení těchto bloků je patrné z následujícího obrázku:



Obr. 54.: Bloky submodulu PWM modulátoru, ořevzato z [18]

7.3.1 Time-Base

Tento modul obsahuje čítač, který lze nastavit jako vratný, čítač čítající směrem nahoru, nebo dolů, resetující se po dosažení nastavené hodnoty. Čítač slouží jako generátor trojúhelníkového nebo pilového signálu, který je komparován s okamžitou hodnotou střídny. Nastavením maximální hodnoty čítače je možné nastavit frekvenci výstupního PWM signálu. Synchronizační vstup každého submodulu slouží k nastavení definované hodnoty do vratného čítače při obdržení synchronizačního pulsu. Synchronizační puls pro první submodul může být generován hardwarově na vstupním pinu procesoru, nebo softwarově. Každý submodul může pro následující submodul generovat synchronizační impuls na základě nastavitelných podmínek – pokud vratný čítač dosáhne zadané hodnoty v bloku komparátoru, pokud vratný čítač dosáhne nuly nebo synchronizační impuls předchozího bloku může projít uvažovaným submodule bez povšimnutí. Synchronizační puls lze pro ostatní submoduly také generovat softwarově.

7.3.2 Counter compare

Counter compare modul obsahuje dvojici aktivních a dvojici zastíněných registrů, které obsahují okamžitou hodnotu žádané střídny uvažovanou absolutně k periodě nastavené v Time-Base modulu. To znamená, že pokud vratný čítač má nastavenou periodu 1000, v counter-compare registru musí být nastavená hodnota 500 pro střidu 0,5. Registry pro hodnoty střídny se nazývají CMPA a CMPB. Registr CMPB slouží mimo jiné jako porovnávací hodnota pro generování synchronizačního impulsu zmíněného výše. Registr CMPA tuto funkci nepodporuje. Lze nastavit, při jaké příležitosti bude kopírována hodnota střídny ze stínových registrů do registrů aktivních (vratný čítač roven 0, periodě, nebo obojí), případně zda budou stínové registry vůbec použity.

7.3.3 Action Qualifier

Každý submodul ePWM modulátoru obsahuje dvojici těchto bloků – každý přísluší jednomu výstupnímu pinu. Tento modul určuje, jaká změna bude provedena na výstupu při dosažení komparační úrovně uložené v registrech CMPA/CMPB. Možné změny jsou:

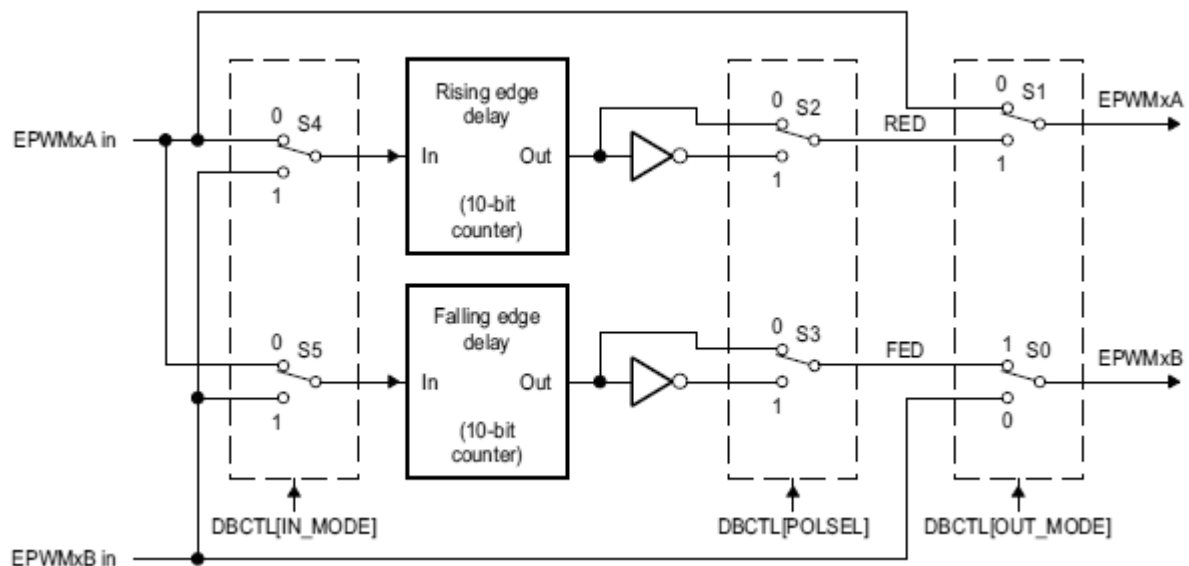
- Nastavení výstupu do log 1 (set)
- Reset výstupu do log 0 (reset)
- Přepnutí výstupu (toggle)
- Žádná akce (do nothing)

Modul zároveň rozlišuje, jakým směrem vratný čítač čítal při dosažení komparační hodnoty. Blok tedy poskytuje mnoho možných kombinací při vývoji. Mohlo by se zdát, že blok je primárně určen také k vložení ochranné doby a komplementarity či nezávislosti dvojice výstupů. K tomu však slouží následující blok.

Pro snazší seznámení s modulem Action Qualifier obsahuje manuál ePWM modulátoru přehledné příklady s popisem nastavení doposud uvedených bloků a grafickým zobrazení průběhů hodnot vratného čítače a událostí na výstupních pinech.

7.3.4 Dead-Band

Tento blok umožňuje dodatečnou změnu logiky výstupních signálů a vložení ochranné doby. Blokové schéma je znázorněno na (Obr. 55).

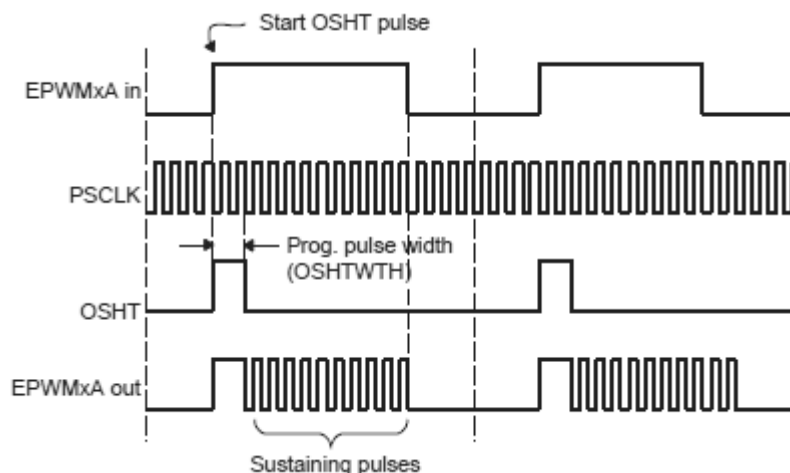


Obr. 55.: Blokové schéma Dead-Band bloku, převzato z [18]

Z blokového schématu je patrné, že pokud je třeba generovat komplementární dvojici PWM signálů, je možné předchozí Action-Qualifier modul nastavit tak, aby generoval jeden výstupní signál na porovnání pouze s jedním komparačním registrem. O generování dvou výstupních signálů na jednu komparační událost se postará modul Dead-Band, včetně vložení ochranné doby. Vložení ochranné doby je možné na náběžnou hranu, sestupnou hranu, nebo obě. Ne všechny varianty nastavení spínačů mají smysl. Nejpoužívanější kombinace jsou uvedeny v manuálu.

7.3.5 PWM-chopper

Tento modul může být využit v případě použití magnetické vazby v galvanickém oddělení řídicích signálů výstupních tranzistorů. PWM-chopper umí vložit další pulsní šířkovou modulaci do oblasti, kdy je výstupní signál v logické jedničce. První vložený impuls má nezávisle nastavitelnou šířku, další pulsy mají nastavitelnou frekvenci i střídu. Takto upravený výstupní signál je patrný z následujícího obrázku, kde průběh EPWMxA je původně generovaný pulsně šířkově modulovaný signál, PSCLK jsou hodiny PWM modulátoru, průběh OSHT zobrazuje šířku prvního impulsu a EPWMxA je výstupní signál PWM modulátoru s použitím bloku PWM-chopper:



Obr. 56.: Výstupní signál s využitím PWM-chopper, převzato z [18]

7.3.6 Trip-Zone

Tento blok slouží k vyhodnocení chybových signálů generovaných budičem výkonových tranzistorů. V případě přijetí Trip-Zone události je možné nastavit, co se bude dít s výstupy. Ty lze nastavit buď trvale do logické 1, logické 0, stavu vysoké impedance, nebo neprovádět žádnou akci. Dále lze nastavit, jak dlouho bude působení tohoto modulu na výstupní signál trvat. Jedná se o režim One-Shot Trip a režim Cycle-By-Cycle tripping. V prvním případě dojde po přijetí chybové události k trvalému působení bloku na výstupy, dokud nedojde k jeho softwarové deaktivaci. V druhém případě dochází k působení bloku na výstup jen po dobu právě běžícího periody vratného čítače. Ukončením periody dojde k deaktivaci bloku. V další periodě je stav výstupů opět odvíjen podle komparačních hodnot bloku counter compare. V tomto případě blok Trip-Zone slouží v podstatě jako proudové omezení. Blok také umožňuje generovat přerušení.

7.3.7 Event-Trigger

Tento blok slouží k synchronizaci A/D převodníku a ke generování přerušení při přijetí vstupní události. Vstupní událostí se rozumí okamžik, kdy vratný čítač dosáhne svého maxima, nuly, nebo jedné z komparačních hodnot. Výstupní událost může být generována každou, každou druhou nebo každou třetí vstupní událost. Spuštění A/D převodníku s využitím tohoto bloku lze provést také softwarově.

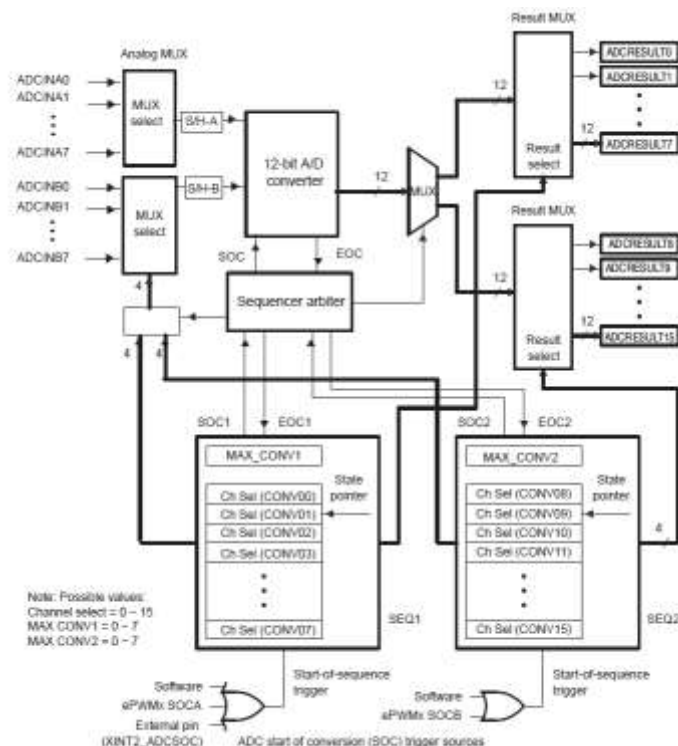
Pro snadnější konfiguraci periferie ePWM modulátoru uvádí manuál příklady celé konfigurace pro některé topologie používané ve výkonové elektronice.

7.4 A/D převodník

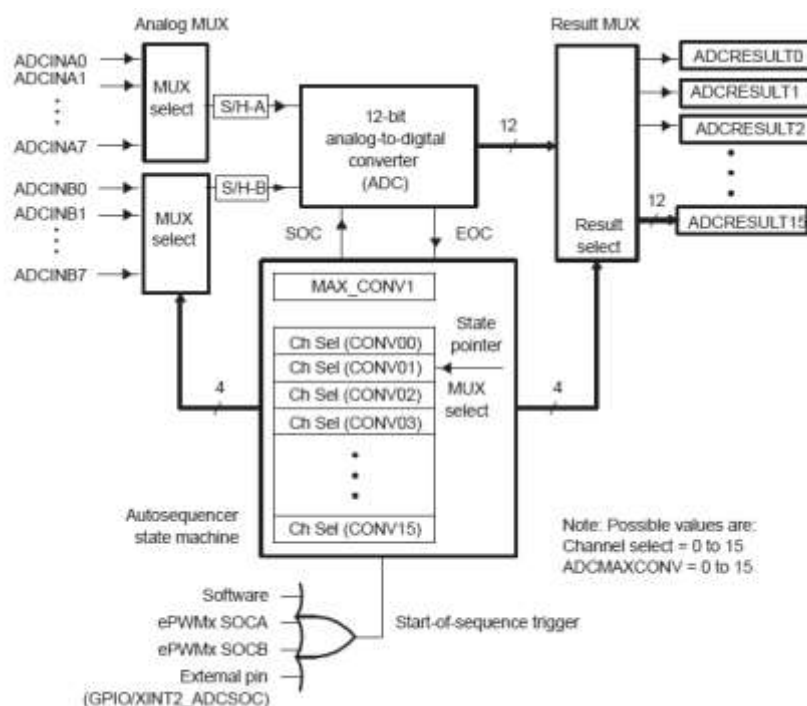
Kontrolér F28335 obsahuje jeden 16 kanálový 12 bitový AD převodník se dvěma nezávislými vzorkovači, kde ke každému vzorkovači je připojeno 8 kanálů přes multiplexer. V následujícím textu jsou popsány hlavní rysy tohoto převodníku. Podrobné informace včetně příkladů lze najít v [19].

Hlavní rysy AD převodníku:

- 12 bitové rozlišení se dvěma vzorkovači
- Sekvenční nebo simultánní vzorkovací (nikoliv převodní) mód
- Napěťový rozsah 0 – 3 V
- Hodiny převodníku 12,5 Mhz, jímž odpovídá vzorkování 6,25 MSPS
- 16 vstupních kanálů
- Každý vzorkovač má vlastní sekvencer, jenž určuje pořadí vzorkovaných vstupů
- Sekvencery lze nastavit jako dva 8 stavové, pracující nezávisle, nebo jeden 16 stavový
- Převod lze spustit softwarově, modulem ePWM, nebo vstupním pinem
- Převodník může generovat přerušení při konci převodu
- Lze nastavit šířku vzorkovacího okna
- Výsledky převodu jsou dostupné v result registrech, které mohou být zarovnané na 16 bitů doprava nebo doleva, kde neplatné bity jsou nastaveny na 0



Obr. 57.: Konfigurace se dvěma 8 stavovými sekvencery, převzato z [19]



Obr. 58.: Konfigurace s jedním 16 stavovým sekvencí, převzato z [19]

7.4.1 Princip sekvencí

Sekvence AD převodníku se skládá ze dvou nezávislých 8 stavových sekvencí (SEQ1 a SEQ2), které mohou být konfigurovány do kaskády tak, aby vytvořili jeden 16 stavový sekvencer. Slovo stav má význam počtu automatických převodů, které mohou být provedeny automaticky po přijetí požadavku na start převodu. Na Obr. 57 je znázorněno blokové schéma konfigurace převodníku pro dva nezávislé 8 stavové sekvence. Obr. 58 zobrazuje konfiguraci převodníku s jedním 16 stavovým sekvencí. Sekvence slouží k tomu, aby převodník vykonal sled po sobě jdoucích převodů z kanálů nastavených v sekvenci po přijetí požadavku na převod. Je nutné brát v úvahu to, že periferie A/D převodníku obsahuje pouze jeden blok ADC, takže lze obsluhovat v daném okamžiku pouze jeden sekvencer. Požadavky na spuštění převodu podle odpovídajícího sekvence jsou řazeny do fronty. V případě příchodu dvou požadavků zároveň má SEQ1 vyšší prioritu.

7.4.2 Funkce v sekvenci a simultánním módu

V sekvenci i simultánním módu určuje obsah bitového pole CONVxx registru ADCCHSELSEQn vstupní pin, který bude na dané pozici sekvence převáděn. Bitové pole CONVxx je 4 bitové, kde MSB určuje multiplexer (osmici vstupních pinů) kde MSB = 0 odpovídá ADCINAx, MSB = 1 odpovídá ADCINBy. Takže například hodnota 1011 odpovídá vstupu ADCINB3. To platí v případě nesimultánních převodů. Pokud je převodník konfigurován do simultánního módu, je MSB neplatný. Simultánní převod je totiž prováděn paralelně oběma vzorkovači najednou, kde každému vzorkovači odpovídá jedna osmice vstupů označovaná jako A nebo B. Lze tedy určit jenom offset vstupů, který je pro oba multiplexery totožný. Můžeme tedy převádět simultánně například vstupy ADCINA6 a ADCINB6. Je důležité na tuto skutečnost



pamatovat při návrhu hardwaru měření. Výsledky jsou ukládány postupně v result registrech, a to jak v sekvenčním, tak v simultánním módu. Nejprve je převáděno napětí vzorkované podle SEQ1, potom napětí vzorkované podle SEQ2.

S výše uvedeným omezením pro simultánní mód lze vstupy přiřazovat k pozicím sekvenceru zcela libovolně, například i vícekrát po sobě.

Sekvencery obsahují dále bitová pole MAX_CONVx v registru ADCMAXCONV. Toto bitové pole určuje, kolik kanálů definovaných v bitových polích CONVxx bude převedeno po přijetí jednoho požadavku na převod. K počítání provedených převodů slouží čítač SEQ_CNTR. Po provedení zadaného počtu vzorkování může při dalším požadavku na vzorkování sekvencer pokračovat z aktuální pozice, nebo být resetován a začít převody od nulté pozice.

7.4.3 Nepřerušitelný autosekvenční mód

V tomto módu může každý sekvencer iniciovat vzorkování až 8 vstupních kanálů při jednom požadavku spuštění převodu. Výsledky převodů jsou ukládány do výsledkových registrů ADCRESULT0 až ADCRESULT7 pro SEQ1 a ADCRESULT8 až ADCRESULT15 pro SEQ2. Počet převodů je řízen bitovým polem MAX_CONVn, jehož obsah je automaticky načten do čítače příslušného sekvenceru při přijetí požadavku na převod. Hodnota pole MAX_CONVn může být v rozsahu 0 až 7. Počet převodů provedených v jedné sekvenci proto odpovídá hodnotě (MAX_CONVn + 1).

Tento mód je použitelný jak pro oddělené sekvenční vzorkování, tak pro simultánní vzorkování, podle předchozího odstavce.

7.4.4 Sekvenční Start/Stop mód

Nepřerušitelný autosekvenční mód lze navíc upravit tak, aby sekvencer fungoval ve Start/Stop módu, který je synchronizován na vícenásobné požadavky začátku převodu, které přijdou odděleně po sobě. Tento režim lze využít v kombinaci se startu převodu na PWM modulátor následovně:

Požadujeme provedení 6 převodů, třech napětí a třech proudů, na dva požadavky počátku převodu SOC (Start of conversion), vstupy máme přiřazené pozicím sekvenceru podle předchozích odstavců. Tyto požadavky přijdou po sobě se zpožděním 25μs. Bitové pole MAX_CONV1 nastavíme na hodnotu 2, budou tedy provedeny 3 převody v jedné sekvenci.

Po resetu a inicializaci sekvencer čeká na požadavek SOC1. Po přijetí SOC1 jsou provedeny převody první trojice - napětí. Ukazatel sekvenceru State pointer potom zůstává na své pozici. Po přijetí druhého požadavku SOC2 po 25μs je automaticky nakopírována hodnota MAX_CONV1 do čítače převodníku a jsou provedeny převody další trojice - proudů. Ukazatel sekvenceru opět čeká na aktuální pozici. Nyní uživatel musí resetovat ukazatel sekvenceru například v přerušení EOS (End Of Scan) čímž inicializuje převodník pro další opětovné použití.

7.4.5 Přerušení End Of Scan (EOS)

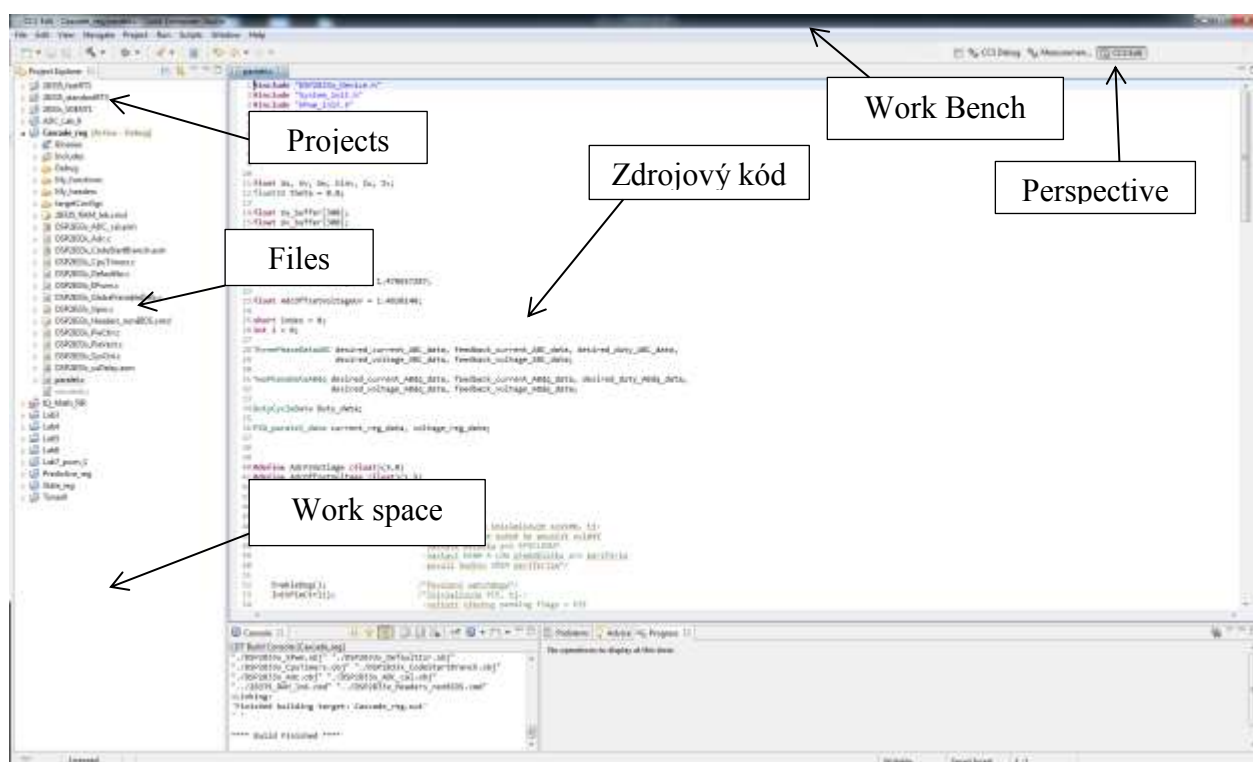
Převodník umožňuje generovat přerušení při dokončení převodu. Toto přerušení může být generováno každý konec převodu, nebo každý druhý konec převodu – druhá varianta je využitelná zejména pro předchozí příklad, pokud by v druhém požadavku SOC bylo nutné například změnit počet převáděných kanálů.

7.5 Vývojové prostředí Code Composer Studio 5

Pro vývoj software pro mikrokontroler F28335 slouží vývojové prostředí Code Composer Studio 5, které je možné stáhnout ze stránek TI. Vývojové prostředí je založené na Eclipse. S vývojovým prostředím Eclipse je spojeno několik termínů:

- Workbench – jedná se o hlavní okno obsahující různá podokna nazývaná views (například pohled do paměti procesoru, okno se zdrojovým kódem, okno s proměnnými apod.). CCS umožňuje mít otevřených více workbenchs najednou
- Workspace – jedná se o hlavní pracovní složku, ve které jsou uloženy projekty a konfigurace pro komunikaci s procesorem. Vždy může být otevřen pouze jeden workspace
- Perspective – jedná se o soubor podoken (views) ve workbench okně. Tyto soubory podoken lze uložit a přepínat se mezi nimi. Toho lze využít například k vytvoření oken pro psaní kódu a pro ladění
- Views – subokna tvořící workbench. Obsahují například pohled do paměti, kód v C, kód v C kombinovaný s assemblerem, grafické zobrazení proměnných v čase apod.
- Resources – hromadné označení pro projekty, složky a soubory ve workbench
- Projects – obsahují složky se soubory jako jsou linker command files, zdrojové kódy, knihovny a hlavičkové soubory
- Files – soubory, mohou být kopírovány nebo linkovány do projektu

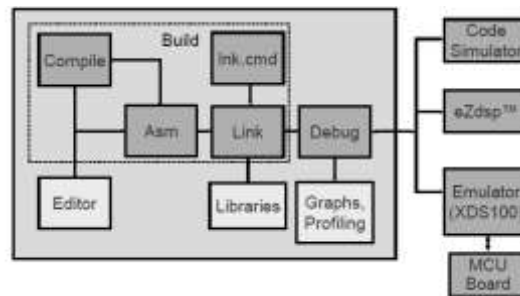
Detail obrázku je uveden v příloze A.



Obr. 59.: Vývojové prostředí CCS 5

7.5.1 Tvorba softwaru v CCS

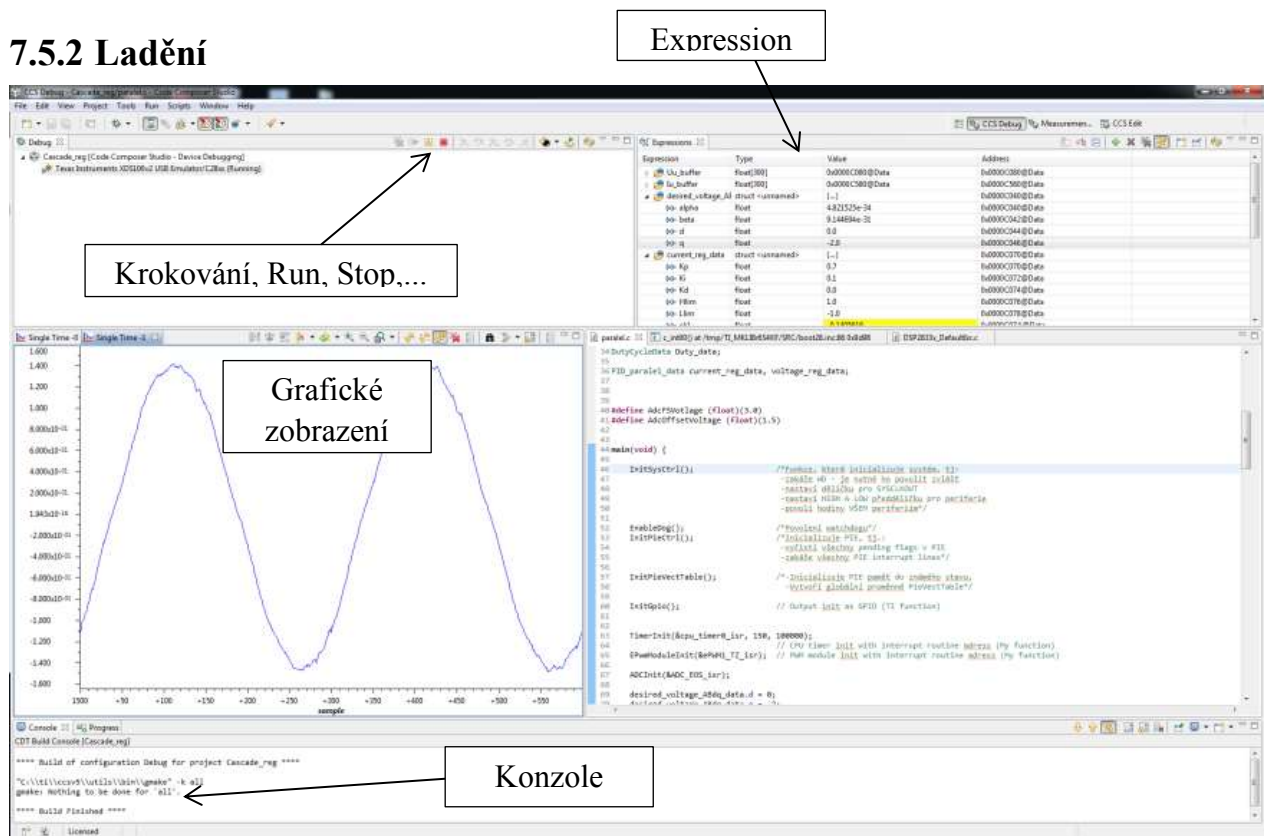
Vytvoření software pro mikrokontrolér F28335 se skládá z kroků zobrazených na Obr. 60.



Obr. 60.: Tvorba sw pro F28335, převzato z [16]

Nejprve je programátorem vytvořen kód v jazyce C, který je přeložen kompilátorem do assembleru. Zároveň vzniká soubor s příponou .obj. CCS umožňuje náhled do takto zkompilovaného kódu. Tato vlastnost je užitečná zejména pro experimentování s optimalizacemi. Dále dochází k linkování programu. Linker sestavuje různé bloky programu dohromady. Jedná se právě o soubory .obj, dále pak o knihovny a další. Linker pracuje s použitím tzv. command files. Tyto soubory obsahují informace o paměti procesoru a určují, které sekce budou kam umístěny. Jedná se například o sekce .text obsahující kód, .cinit obsahující inicializační hodnoty globálních a statických proměnných, .ebss obsahující globální a statické proměnné, .stack pro data zásobníku a další. Výstupem linkeru jsou soubory s příponami .map a .out. Soubor .out neobsahuje pouze strojový kód, ale také informace pro debugger.

7.5.2 Ladění



Obr. 61.: Debug perspective ve vývojovém prostředí CCS 5

K ladění software je nutné nejprve zdrojový kód zkompileovat, po té nahrát do kontroloru. Debugger umožňuje program krokovat a to jak v jazyce C, tak v assembleru. Dále je možné sledovat obsah proměnných v subokně Expression, nebo je zobrazovat jako graf, jak je patrné z Obr. 61. Detail obrázku je uveden v příloze A. Debugger umožňuje přepnutí do Realtime Emulation Control režimu, ve kterém je možné odlaďovat procesy v reálném čase tak, aby zásah debuggeru proces neovlivnil.

7.5.3 Přístup k registrům periférií s využitím hlavičkových souborů TI

Pro přístup k registrům procesoru v jazyce C lze přistupovat s využitím maker, kde název makra obsahuje adresu registru, ke kterému je přistupováno. Potom musí být vytvořeny definice maker pro všechny registry. Makra se tedy chovají jako ukazatele na registr.

Tento přístup má výhody v tom, že je jednoduchý a makra lze poměrně rychle vytvořit. Nevýhodou je nutnost přístupu k registrům pomocí maskování, nebo zápisu celého registru. V Code Composer Studiu se s tímto přístupem nedají zobrazit obsahy registrů a také nelze využít automatickou kompletaci příkazu po stisku Ctrl+space.

TI proto nabízí balík nazvaný C/C++ HeaderFiles, který přistupuje k registrům s využitím struktur. Pro každou periférii je vytvořena příslušná struktura s uniemi, které jsou ve struktuře umístěny tak, aby byla celá struktura mapovatelná přes registry periferie v příslušném paměťovém bloku. Toto namapování struktury přes odpovídající registry je provedeno pomocí direktivy

```
#pragma DATA_SECTION(symbol, "section name").
```

Toto mapování je provedeno pro každou periférii a každou strukturu. Název příslušné sekce je potom zadán v Linker Command file, který je poskytován TI v balíku hlavičkových souborů. Tímto způsobem lze přistupovat k registru periferie. Název periferie určuje strukturu, název unie určuje registr. Pro přístup k samostatným bitům jsou dále vytvořena bitová pole pro každý registr. Pokud tedy potřebujeme přepsat nějaký bit registru, můžeme si vybrat, zda budeme přistupovat k celému registru s použitím masek, nebo pouze k jednomu bitu.



Obr. 62.: Přístup k perifériím pomocí struktur

Balík hlavičkových souborů včetně příkladů inicializací periférií je detailně popsán v [20].

8 STŘÍDAČ FIRMY ELCOM SMĚŘENÍM S LC FILTREM

Pro realizaci a ověření regulačních metod byl použit prototypový střídač zapůjčený firmou Elcom. V této kapitole je uveden jeho popis s důrazem zejména na rozhraní podstatné pro realizaci řídicího systému. Prototypový střídač se skládá ze tří částí:

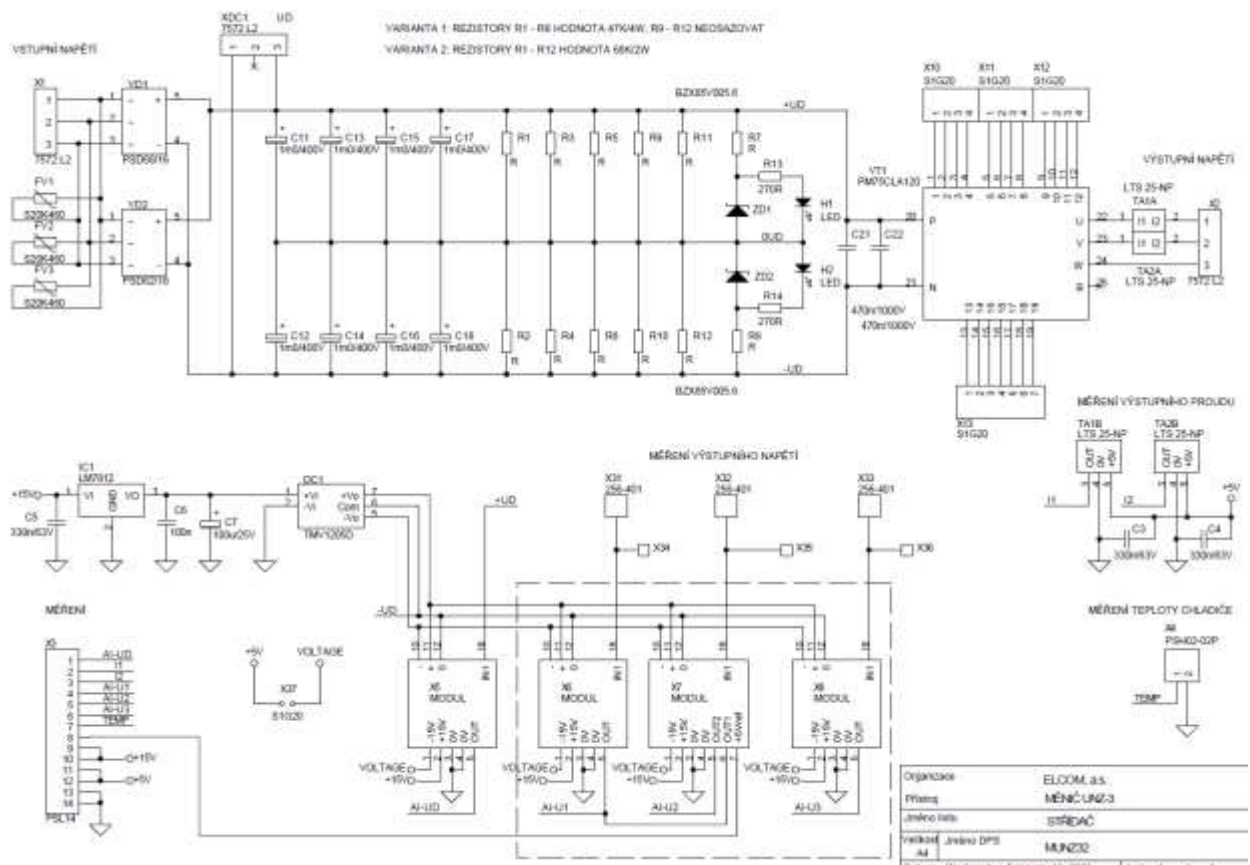
- Modul střídače s trojfázovým usměrňovačem, IPM (Intelligent Power Module), kondenzátory meziobvodu, proudovými LEM čidly a modulem měření napětí meziobvodu
- Modul budiče zajišťující galvanické oddělení řídicích signálů pro IPM a zpětné chybové hlášení od IPM
- Moduly měření výstupního napětí

Jako výstupní sinusový LC filtr mi byly zapůjčeny tlumivky různých hodnot pro experimentování a kondenzátory.

8.1 Modul střídače

Na Obr. 63 je vidět schéma zapojení modulu střídače. Obrázek ve vyšší kvalitě je uveden na příloženém CD, stejně jako katalogové listy usměrňovače, IPM, proudových snímačů a pomocného napájecího zdroje Traco.

Detail obrázku je uveden v příloze B.



Obr. 63.: Schéma modulu střídače Elcom



8.1.1 Usměrňovač

Pro usměrnění trojfázové sítě je na desce střídače osazen jeden z usměrňovačů uvedených na schématu zapojení. Jedná se o usměrňovače s následujícími parametry:

PSD 68/16

I_{DAV} – střední hodnota proudu v propustném směru	68 A
I_{FSM} – neopakovatelný špičkový proud v propustném směru	300 A
U_F při $I_F = 55A$	1,46 V
U_{RRM} – opakovatelné maximální závěrné napětí	1600 V
U_{RSM} – neopakovatelné špičkové závěrné napětí	1700 V

PSD 62/16

I_{DAV} – střední hodnota proudu v propustném směru	63 A
I_{FSM} – neopakovatelný špičkový proud v propustném směru	550 A
U_F při $I_F = 50A$	1,8 V
U_{RRM} – opakovatelné maximální závěrné napětí	1600 V
U_{RSM} – neopakovatelné špičkové závěrné napětí	1600 V

8.1.2 IPM

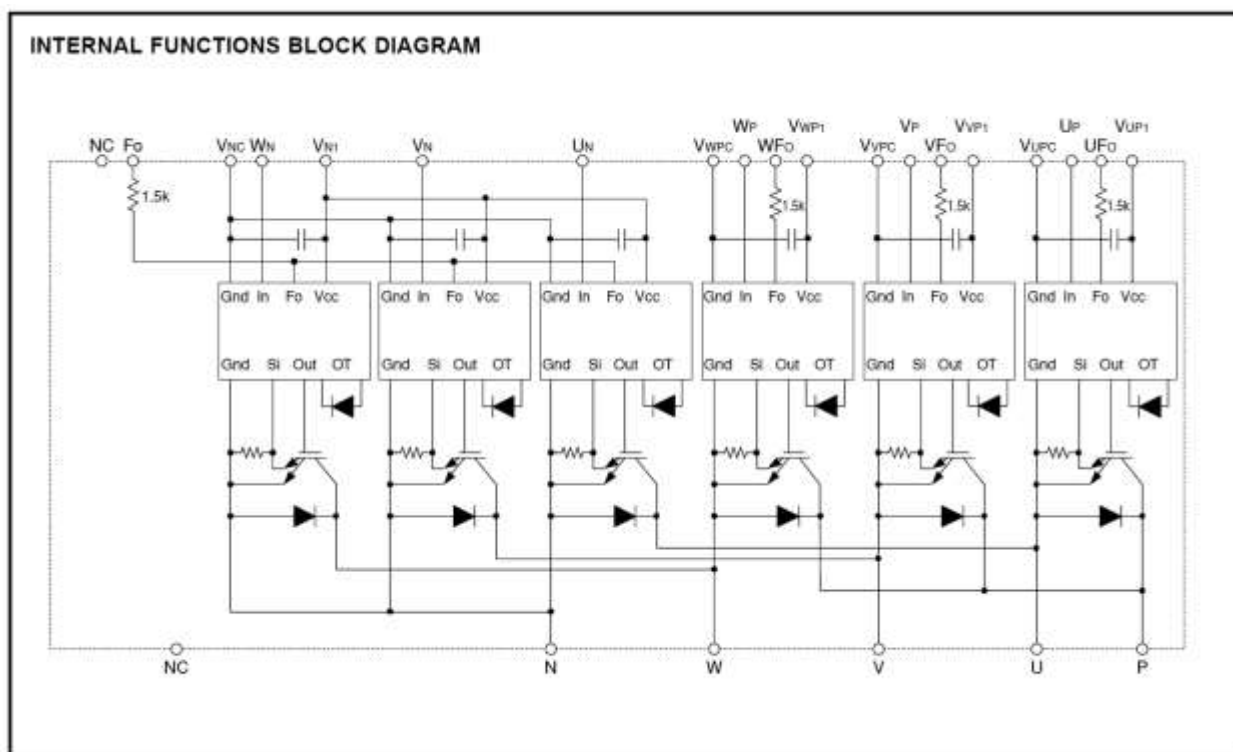
Jako aktivní spínací prvek střídač využívá inteligentního výkonového modulu značky MITSUBISHI PM75CLA120. Tento modul podle katalogového listu výrobce obsahuje IGBT tranzistory 5. generace s tloušťkou čipu $1\mu m$, jemuž odpovídá saturační napětí 1,9 V. Každý čip tranzistoru má vlastní ochranu proti přehřátí. Integrovaný monolitický budič obsahuje ochrannou logiku. Modul je dále vybaven ochranami proti zkratu na výstupu, podpětí řídicích obvodů a přehřátí. Vnitřní blokové zapojení je patrné z Obr. 64.

Část budiče, ovládající spodní tranzistory má jedno společné napájení, které se přivádí mezi piny označené V_{N1} - V_{NC} . Řídící signály pro spodní tranzistory se přivádí na piny U_N , V_N , W_N . Chybový výstup je společný pro všechny tři spodní tranzistory a je označen jako F_O . Části budiče ovládající horní tranzistory požadují vlastní napájení pro každý horní tranzistor příslušné větve. Napájení se přivádí mezi piny V_{XP1} - V_{XPC} , řídicí signál na bod X_P a chybový signál příslušného tranzistoru je dostupný na pinu X_{F0} , kde písmeno X nese označení příslušné fáze.

Parametry výkonové části modulu jsou uvedeny v katalogovém listu na příloženém CD. Pro návrh řídicího obvodu jsou důležité následující parametry:

Napájecí napětí řídicí části		20 V
Proud odebíraný řídicí částí	pro dolní tranzistory	15 mA
	pro horní tranzistory	5 mA
Překlápěcí napětí ON		1,5 V
Překlápěcí napětí OFF		2 V
Proud chybového výstupu	(H)	0,01 mA
	(L)	15 mA

Nulové řídicí napětí tedy znamená sepnutí tranzistoru. V případě oznámení poruchového stavu budičem nadřazenému systému je řídicí částí IPM odsáván proud 15 mA.



Obr. 64.: Blokové schéma IPM, převzato z [21]

8.1.3 Měření napětí meziobvodu

Modul měření napětí meziobvodu je umístěn podle Obr. 63. na pozici X5. Jak je patrné ze schématu, modul vyžaduje pro svoji funkci i záporné napětí -15 V, o které se stará modul X7, který slouží se zbylými 2 moduly k měření výstupního napětí. V případě navrhovaného sinusového zdroje ale tyto moduly nejsou osazeny, výstupní napětí je měřeno externími LEM čidly. Na konektoru X3, jsou v tom případě nevyužité piny 4, 5, 6. Tyto piny jsou proto využity k přivedení záporného napětí z nadřazené řídicí desky. Napájení -15 V je potom přivedeno na vstup modulu X5 překlenutím pinů VOLTAGE a pinu 5 na pozici modulu X7. Výstup modulu měření napětí meziobvodu je v rozsahu 0-5 V pro napětí meziobvodu 0 – 750 V. Ze schématu je patrné, že měřicí moduly, pokud jsou použity, vyžadují 2 napájení. Jedno vztažené k napájení řídicí elektroniky, jedno vztažené k záporné sběrnici meziobvodu.

8.1.4 Měření výstupního proudu

Měření výstupního proudu je prováděno s využitím dvou proudových čidel LEM LTS25-NP s jmenovitým primárním proudem 25 A. Výstup těchto čidel je napěťový v rozsahu 0 – 5 V, kde nulovému proudu odpovídá výstupní napětí 2,5 V.

8.1.5 Konektor X3

Konektor X3 slouží pro připojení měření výstupního proudu a napětí meziobvodu. Dále je na něj přivedeno potřebné napájecí napětí +15V, -15V, +5V vztažené k zemi řízení.

[illegible]

Komunikace s budičem probíhá s využitím konektoru XC1, na které je přivedeno napájecí napětí +15V, zem řídící elektroniky, řídící signály pro spínání tranzistorů a zpětné chybové signály. O napájení řídících obvodů IPM se starají napájecí zdroje TRACO které slouží zároveň jako galvanické oddělení. Řídící signály pro všechny tranzistory jsou odděleny optočleny HCNW4504, jejichž diody mají anodu a katodu vyvedenou na konektor XC1. Logika spínání tranzistoru je „na světlo“. Zpětné chybové hlášení od IPM je odděleno optočleny PC817, které jsou zapojeny s Pull-up rezistory tak, že v případě aktivní fault hlášky dojde k rozsvícení optočlenu a výstup je připojen k zemi. Fault signál je tedy aktivní při 0 V. Detail obrázku je uveden v příloze B.



8.3 Měření výstupního napětí

Pro měření výstupního napětí mi byla firmou Elcom zapůjčena napěťová čidla LV 25-600/SP2. Mezi nejdůležitější parametry čidel patří:

V_{PN} jmenovité primární napětí		600 V
V_P měřicí rozsah		0-900 V
I_{PN} jmenovitý primární proud		600 V
R_M sekundární měřicí bočník		
	Napájení $\pm 12V$	měření $\pm 600V$ 30 – 200 Ω
		měření $\pm 900V$ 30 – 100 Ω
	Napájení $\pm 15V$	měření $\pm 600V$ 100 – 320 Ω
		měření $\pm 900V$ 100 – 180 Ω
I_{SN} jmenovitý sekundární !!! RMS !!! proud		25 mA
Převodní poměr		600V / 25 mA

Výstup snímače je proudový. Proud je měřen nepřímo, jako úbytek napětí na bočníku, který má mít hodnotu ležící v doporučeném intervalu. Napěťový snímač funguje jako tak, že v sérii s primární cívkou je zapojen odpor velké hodnoty, který přemění měřené napětí na malý proud procházející měřicí cívkou. Původně bzla deska se snímačem osazena 4 rezistory 15 k Ω . Pro experimentální laboratorní měření byly tyto rezistory nahrazeny jinými, jak bude uvedeno později.

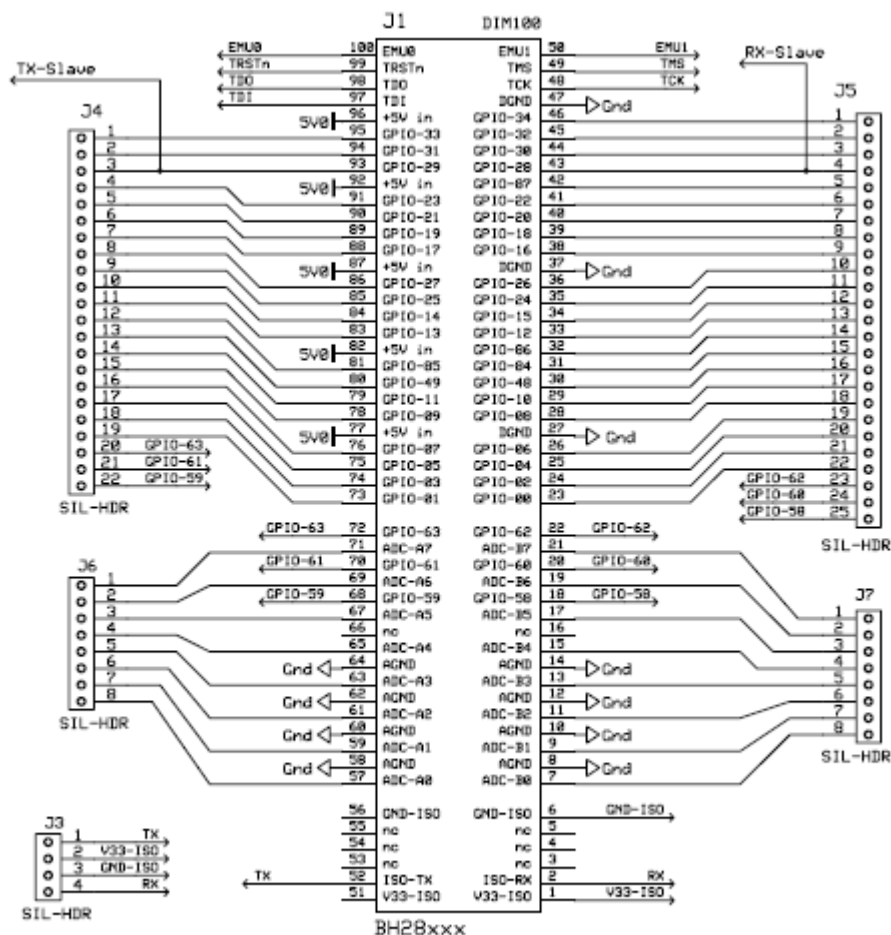
9 NÁVRH OBVODŮ MODULU PRO ŘÍZENÍ STŘÍDAČE A MĚŘENÍ

V kapitole 8 byl představen střídač zapůjčený firmou Elcom pro realizaci trojfázového sinusového zdroje. Zdroj bude řízen kontrolérem F28335, který je umístěn ve vývojové desce Experimenter's kit. Je tedy potřeba vytvořit modul řízení a měření, které přizpůsobí vstupně výstupní signály mezi deskou Experimenter's kit, střídačem a obvody měření.

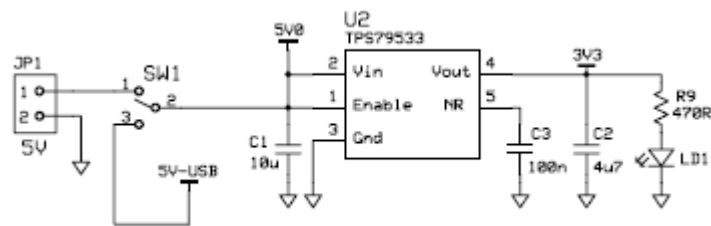
9.1 Zapojení Experimenter's kitu

Kompletní schéma zapojení je uvedeno na příloženém CD. V následujícím textu jsou uvedeny parametry a části schématu, které jsou podstatné pro návrh obvodů řídicího modulu.

9.1.1 Docking Station

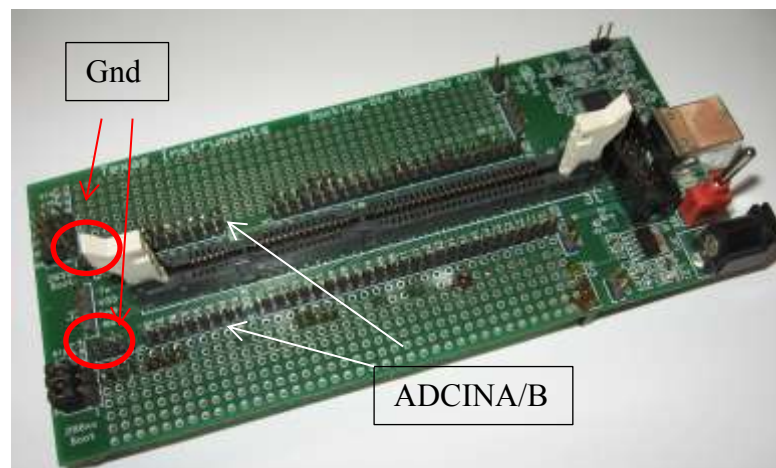


Obr. 66.: Konektor DIMM100, propojující Docking Stn a controlCARD, převzato z [22]



Obr. 67.: Napájení +5V, zdroj 3V3, převzato z [22]

Na Obr. 66 je zobrazeno zapojení konektoru, který slouží k propojení controlCARD s procesorem a DockingStn, která obsahuje JTAG emulátor, konektor RS232 a kolíkové lišty (označené jako SIL-HDR) na kterých jsou přístupné vstupně výstupní piny procesoru. Ze zapojení je patrné, že na docking STN není vyvedena analogová zem, nebo bod, kde by byla digitální a analogová zem propojena. Na controlCARD je přivedeno několika piny konektoru DIMM100 napájecí napětí +5V a jedna společná zem. Toto napájecí napětí je dostupné podle Obr. 67. buď z konektoru USB (5V-USB) neb z napájecího konektoru JP1. Obvod TPS79533 slouží pouze k napájení obvodů JTAG emulátoru FT2232.

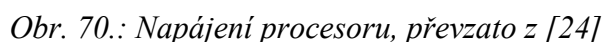


Obr. 68.: Docking Stn

9.1.2 controlCARD

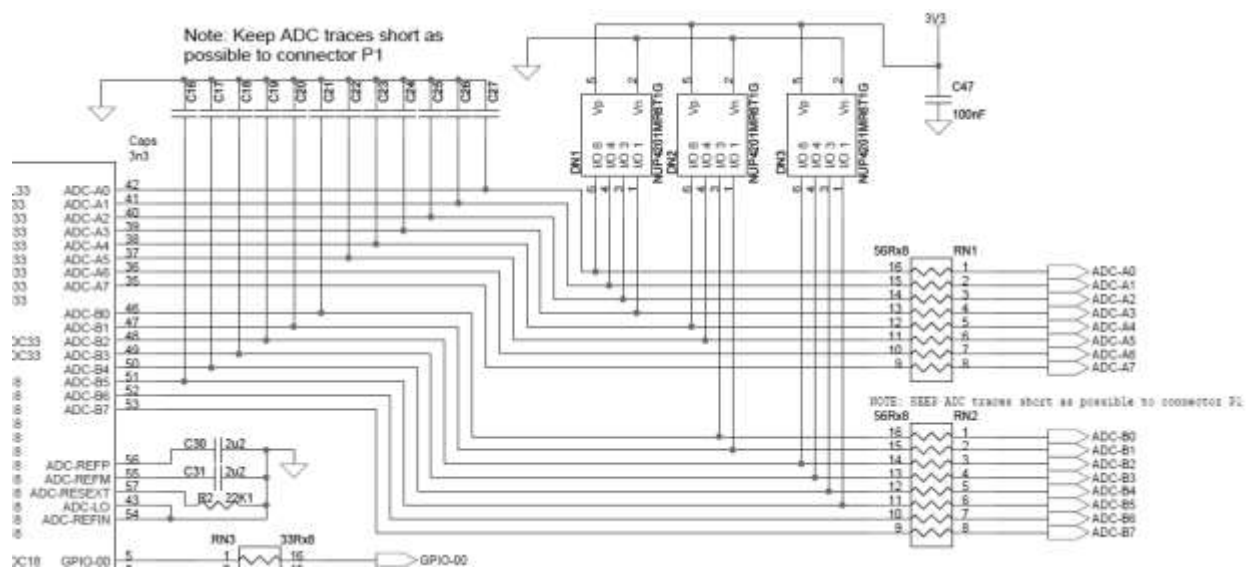


Obr. 69.: controlCARD s TMS320F28335

[illegible]

Obr. 71.: Připojení procesoru k napájecímu napětí a zemi, převzato z [24]

Z Obr. 71. je patrné připojení procesoru k napájecím napětím a zemi na controlCARD. Je vidět, že analogová a digitální zem je v jednom bodě propojena, tento bod však není vyveden na DockingStn. Připojení měřených napětí k procesoru potom není možné vztáhnout k analogové zemi, nebo připojit do bodu propojení analogové a digitální země. Pokud bude měření vztaženo k zemi na DockingStn, bude tato zem propojena s analogovou zemí více paralelními vodiči (viz Obr. 71). To může být zdrojem pozdějších problémů s rušením přítomným v měření. Situaci lze řešit připojením země měření do DockingStn v bodě geometricky co nejbližší vstupům AD převodníku. Těmto místům odpovídají 2 kolíkové lišty označené v Obr. 68. červenými kroužky. Je však nutné zvolit pouze jednu z těchto lišt, kvůli vzniku zemní smyčky. Další problém s propojením zemí vzniká v případě napájení DockingStn k tomu určeným konektorem. Konektor je totiž dvoupólový, obsahující zem. Pokud bude zem propojena s řídicím modulem označenou kolíkovou lištou, i napájecím konektorem, vznikne zemní smyčka konektor-DockingStn-kolíková lišta-řídicí modul. Pokud bude zem propojena pouze konektorem a ne kolíkovou lištou, potečou vf impulsní proudy stejnou cestou jako proudy měření, navíc bude cesta měřicího proudu velmi dlouhá. Další variantou je přivést na konektor pouze +5V a země propojit pouze jednou z označených kolíkových lišt. Impulsní proudy potečou stejnou cestou jako proudy měření. Pokud však bude dobře navržen groundplane měřicího modulu a je dobře navržen groundplane DockingStn, může se jednat o nejschůdnější variantu, impedance země bude totiž nejmenší.



Obr. 72.: Připojení vstupů AD převodníku, převzato z [24]

Z Obr. 72. je patrné připojení analogových vstupů AD převodníku ke kolíkovým lištám v DockingStn. Před vstup procesoru je zařazena dolní propust RC, sloužící jako anti-aliasing filtr. Časová konstanta tohoto filtru je $\tau = RC = 56 \cdot 3,3 \cdot 10^{-9} = 185 \text{ nS}$, čemuž odpovídá mezní frekvence $f_h = 860 \text{ kHz}$. AD převodník umí zpracovávat pouze unipolární napětí v rozsahu 0 – 3 V. Tuto skutečnost je třeba zohlednit zejména v případě měření výstupního napětí, protože signál z napěťových čidel je bipolární.

9.2 Návrh měřicího modulu

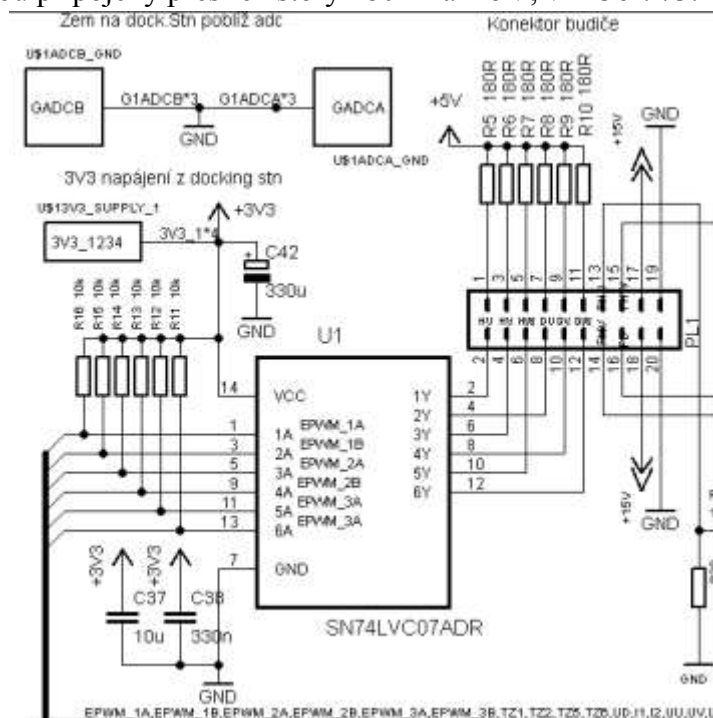
Pro návrh řídicího modulu bylo nejprve zváženo nejvhodnější propojení s DockingStn. Propojení pomocí plochých kabelů mezi kolíkovými lištami DockingStn a řídicím modulem bylo z konstrukčních důvodů zavrženo. Při častém transportu v době odladování by mohlo být toto pohyblivé propojení zdrojem poruch. Dále je vhodné, aby kvůli možnému rušení byly zejména obvody měření co nejblíže procesoru. Proto jsem se rozhodl propojení řešit pomocí kolíkových a dutinkových lišt. V návrhovém programu Eagle jsem proto vytvořil součástku s roztečemi pinů odpovídající oblastem univerzální DPS dostupné na DockingStn. Do těchto oblastí byly napájené dutinkové lišty a používané piny propojeny s kolíkovými lištami tak, aby signály vedly do řídicího modulu dutinkami na spodní straně desky, zároveň však byly přítomné původní kolíky shora pro případné pohodlné měření osciloskopem při odladování.

V následujícím textu jsou uvedeny dílčí části celkového schématu, které je dostupné na příloženém CD a v příloze C.

9.2.1 Generování řídicích signálů pro budiče

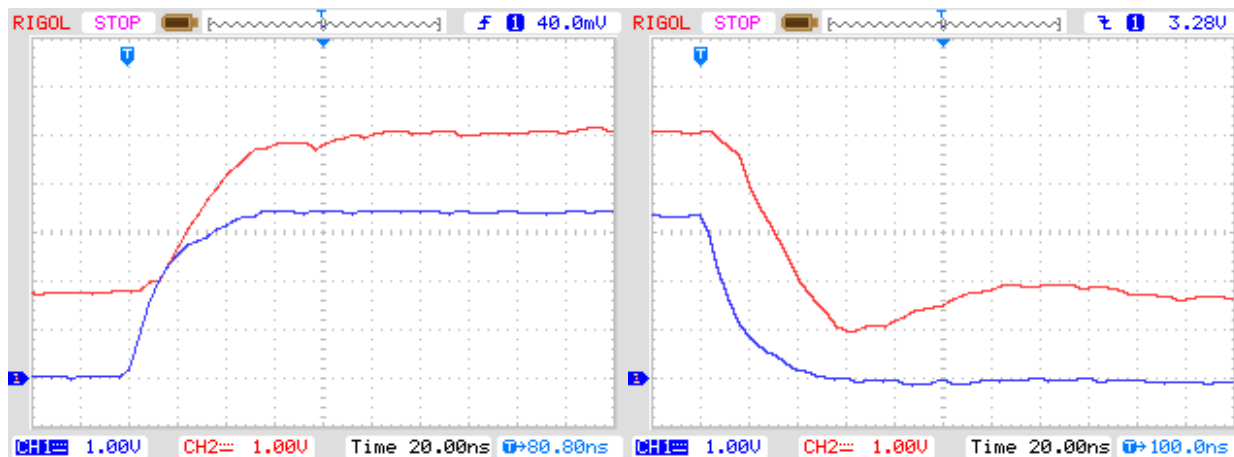
Jak je patrné ze schématu zapojení budiče, na konektor XC1 je přivedena anoda i katoda optočtenů HCNW4504. Z katalogového listu uvedeného který je dostupný na příloženém CD byl odečten doporučený budicí proud diody a úbytek napětí na ní při tomto proudu $U_F = 1,59 \text{ V}$, při $I_F = 16 \text{ mA}$.

Výstupní signál z procesoru nabývá hodnot $0 - 3 \text{ V}$. Maximální dovolený proud odebíraný z výstupního pinu procesoru je $\pm 4 \text{ mA}$. Signál je tedy nutné zesílit jak napěťově, tak proudově. Pro napěťové přizpůsobení byl po testování použit obvod SN74LVC07 což je 6 násobný buffer s otevřeným kolektorem. Obvod je napájen z $+3 \text{ V}_3$, jeho vstupy jsou připojeny přes $10 \text{ k}\Omega$ pull-up rezistory na napájecí napětí (po resetu jsou všechny piny procesoru nastaveny jako vstupy, mohlo by proto jinak dojít k náhodnému sepnutí tranzistorů). Výstupy jsou připojeny na katody optočtenů. Anody jsou připojeny přes rezistory 180 R na $+5 \text{ V}$, viz Obr. 73.



Obr. 73.: Buzení optočtenů

Z následujících snímků z osciloskopu je patrné, že hrany signálů na diodách optočlenů jsou dostatečně strmé i přes to, že ve vypnutém stavu jsou katody optočlenů nepřipojeny k žádnému napětí. Kanál 1 je v obou případech připojen na výstup z procesoru, kanál 2 je připojen na anody optočlenů. Při log. 1 na výstupu procesoru je výstupní tranzistor rozepnut, kanál 2 nabývá hodnoty +5 V. Při výstupu procesoru v log 0 kanál 2 nabývá hodnoty napětí $U_{CEsat} + U_{Dopt}$.

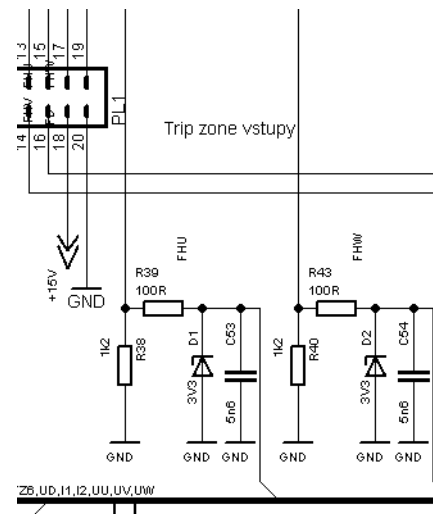


Obr. 74.: Detail hran na výstupu procesoru a diodách optočlenů

9.2.2 Zpracování chybových signálů od budiče

Ze zapojení budiče je patrné, že pokud je chybový signál neaktivní, příslušný pin konektoru XC1 je připojen přes pull-up rezistor 4k7 na napětí +15 V. Pokud je chybový signál aktivní, je příslušný pin připojen na 0V. Minimální napětí rozpoznané procesorem jako log. 1 je $U_{MIN,HI} = 2$ V, maximální napětí rozpoznané jako log. 0 je $U_{MAX,LO} = 1,8$ V. Maximální přípustné napětí na vstupu procesoru je rovno intervalu $U_{IN} = -0,3 - 4,6$ V.

Pro napěťové přizpůsobení mi bylo doporučeno firmou Elcom následující obvod, podle Obr. 75., který je ověřený praxí. Napětí 15 V je sníženo děličem tvořeným Pull-up rezistorem přítomným v budiči a rezistorem R38 o odporu 1200 Ω na hodnotu 3 V. Zenerova dioda slouží jako ochranná, která stabilizuje na hodnotu 3,3 V pouze v případě, že by vlivem nějaké chyby došlo k tomu, že by napájecí napětí na budiči vzrostlo nad jmenovitou hodnotu. Kondenzátor C53 o kapacitě 5n6 tvoří s rezistorem R39 o odporu 100 Ω dolní propust která slouží k filtraci případného rušení. Pokud je aktivován chybový vstup, je kondenzátor C53 vybíjen přes rezistor R39 a tranzistor optočlenu s časovou konstantou 0,56 μ S. Zapojení je použito celkem 4x – pro každý horní tranzistor a pro trojici spodních tranzistorů.

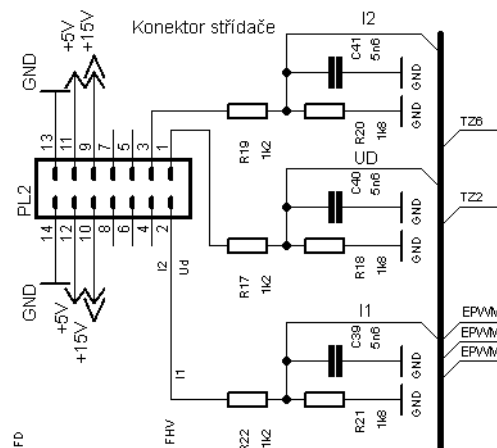


Obr. 75.: Zpracování chybových vstupů

9.2.3 Měření proudu

Jak bylo uvedeno výše, výstup snímače proudu LEM LTS25-NP je napěťový, kde nulovému proudu odpovídá 2,5 V. Maximální napětí výstupu snímače je potom +4,5 V, minimální +0,5 V. Napětí je potom možné snížit odporovým děličem do rozsahu 0 – 3 V. Vzhledem k tomu, že signál je napěťový a geometricky se na střídači nachází blízko IPM, je pravděpodobné, že bude zarušený. Proto je na výstupu děliče zařazen kondenzátor, který s rezistory děliče tvoří dolní propust. Situace je patrná z Obr. 76. Dolní propustí je snížena šířka pásma snímače na 40 kHz. Obvod je možné řešit pomocí Theveninovy věty o náhradním zdroji. Dolní propust je potom tvořena rezistorem o odporu paralelní dvojice R19 a R20. Potom platí

$$C = \frac{1}{2\pi(R_{19}||R_{20})f_h} = \frac{1}{2\pi \cdot 720 \cdot 40 \cdot 10^3} = 5.52 \text{ nF} \Rightarrow 5\text{n}6 \quad (9.1)$$



Obr. 76.: Děliče měření proudu

9.2.4 Měření napětí meziobvodu

Pro měření napětí meziobvodu je použito identické zapojení jako pro měření proudu, viz Obr. 76.

9.2.5 Měření výstupního napětí

Výstup modulů LV25-600/SP2 je proudového charakteru. Jmenovitý výstupní proud pro vstupní napětí $U_{1ef} = 600$ V je $I_{2ef} = 25$ mA. Amplituda výstupního proudu je potom

$$I_{2max} = I_{2ef}\sqrt{2} = 25 \cdot \sqrt{2} = 35,36 \text{ mA} \quad (9.2)$$

Tento proud musí být převed na bipolární napětí pomocí bočníku, kde rozsah povolených hodnot bočníku je dán výrobcem. Pokud by totiž jeho velikost byla příliš vysoká, napájecí napětí ± 15 V by nemuselo stačit protlačit jmenovitý proud bočníkem. Naopak, pokud by byla hodnota bočníku příliš malá, napětíový rozkmit koncového stupně OZ přítomného ve snímači by byl velmi malý. Po převedení proudu na napětí pomocí bočníku je nutné k napětí přičíst stejnosměrný offset rovný amplitudě napětí. To umožňuje operační zesilovač zapojený jako sumátor. Napětíový offset, který bude přičítán, musí být dostatečně stabilní. Tato napětíová reference bude rozvedena pro více operačních zesilovačů, je tedy pravděpodobné, že cesty od reference k OZ mohou být dosti dlouhé. Proto je vhodné volit referenci i bočník tak, aby sčítaná napětí byla větší a měla tak větší odstup signál/šum. Operační zesilovač potom může pracovat se zesílením nižším než jedna.

Maximální hodnota napětí na bočníku byla zvolena $U_{max} = 6$ V. Tomu odpovídá velikost bočníku:

$$R_B = \frac{U_{max}}{I_{2max}} = \frac{6}{35,36 \cdot 10^{-3}} = 169 \, \Omega \quad (9.3)$$

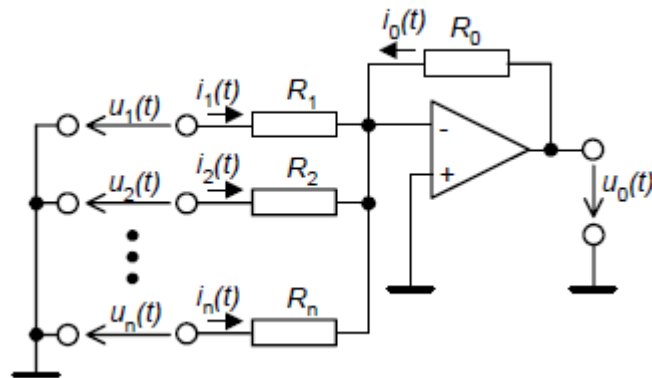
Ztrátový výkon na odporu bude

$$P_{RB} = R_B I_{2ef}^2 = 169 \cdot (25 \cdot 10^{-3})^2 = 0.105 \text{ W} \quad (9.4)$$

Napětí podle rovnice (9.3) je však stále bipolární. Operační zesilovač zapojený jako sumátor (Obr. 77) s n vstupy lze popsat následující rovnicí:

$$u_0(t) = -\left(\frac{R_0}{R_1}u_1(t) + \frac{R_0}{R_2}u_2(t) + \dots + \frac{R_0}{R_n}u_n(t)\right) \quad (9.5)$$

Odtud je patrné, že sumátor provádí nejprve operaci násobení zesílením, po té až sumaci, tak jak odpovídá matematickým zvyklostem.



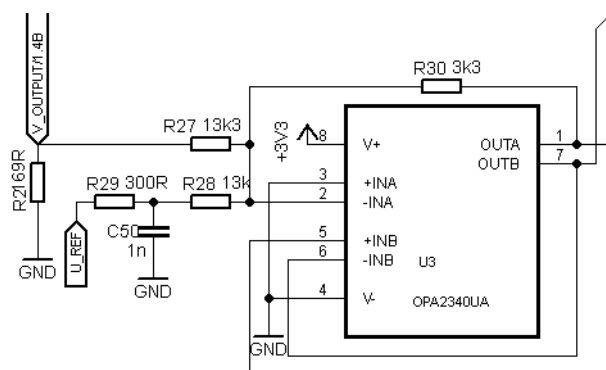
Obr. 77.: OZ zapojený jako sumátor, převzato z [25]

Je proto vhodné, aby napětí reference, která bude odečítána jako offset mělo stejnou hodnotu jako je amplituda napětí na bočníku. Oba signály potom mohou být zeslabeny s přesně stejným zesílením.

Výsledné zapojení je patrné z Obr. 78. Oba signály jsou zeslabeny stejným zesílením $\frac{1}{4}$. Napětí reference je filtrováno dolní propustí tvořenou kondenzátorem C50 a R29. Rezistory R29 a R28 tvoří z hlediska zesílení zapojení jeden rezistor. Pro realizaci dolní propusti však musí být rozděleny. Důvody jsou podrobně rozebrány v [26], jedním z hlavních je to, že vstupy invertujícího zapojení s operačním zesilovačem pracují na potenciálu země, tudíž by bez rozdělení rezistorů byla kapacita zkratována.

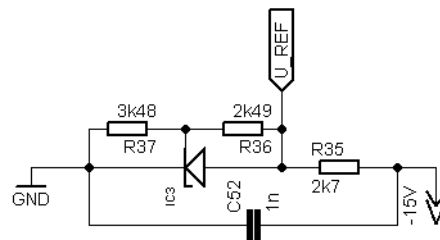
Z rovnice (9.5) je patrné, že výstupní signál je invertován. To však nevadí, signál lze opět invertovat snadno v mikrokontroléru.

Ze zapojení na Obr. 78. je patrné, že jsou použity 2 OZ v jednom pouzdře, jedná se o zesilovače OPA2340. Kaskáda 2 OZ v invertujícím (sumátor) a následném neinvertujícím zapojení s jednotkovým zesílením je doporučena výrobcem TI pro buzení kapacitní zátěže, tedy i AD převodníku, viz aplikační poznámka [25]. Operační zesilovač je unipolární typu, rail-to-rail. Napájení je použito 3,3V z DockingStn. Aby zapojení fungovalo správně, je potřeba odečítat záporné napětí. Reference je potom napájena proti zemi z -15V. Napájecí napětí OZ je blokováno kondenzátory 1 nF a 330 nF.



Obr. 78.: Zapojení napěťového přizpůsobení z bočníku

Jako zdroj referenčního napětí byl použit stabilizátor TL431 v následujícím zapojení:



Obr. 79.: Zdroj referenčního napětí pro sumátor

Velikost referenčního napětí je rovna podle vztahu udávaného v katalogovém listu:

$$U_Z = U_{ref} \left(1 + \frac{R_{37}}{R_{36}} \right) = 2,5 \left(1 + \frac{3480}{2490} \right) = 5,99V \quad (9.6)$$

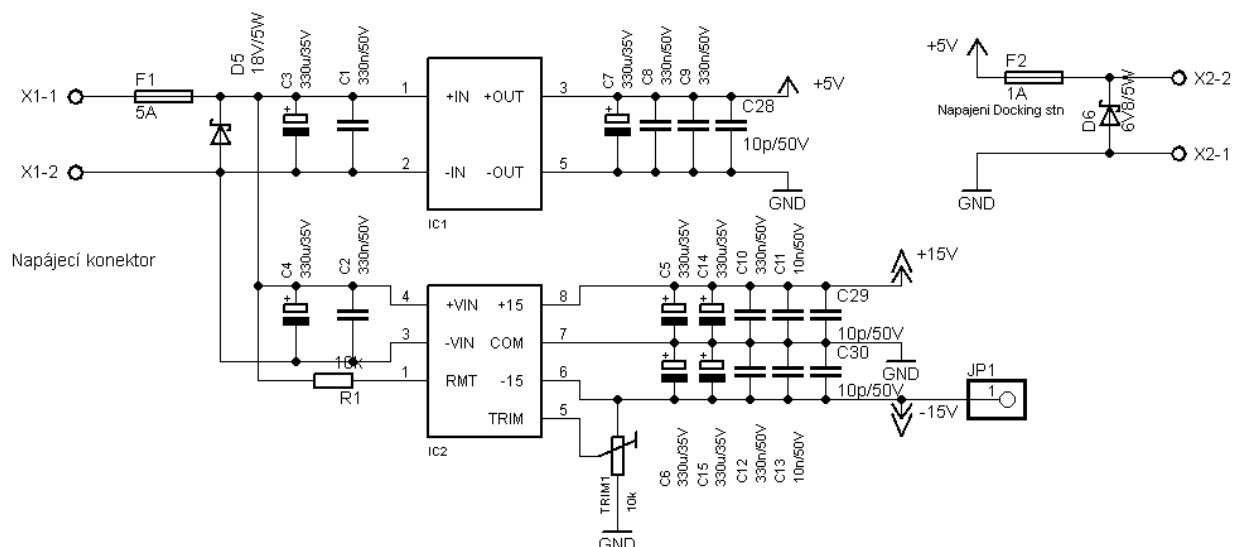
Proud referencí je zvolen 3 mA, potom vychází předřadný rezistor

$$R_{35} = \frac{U_{cc} - U_z}{I_z} = \frac{15 - 6}{5 \cdot 10^{-3}} = 3 \text{ k}\Omega \quad (9.7)$$

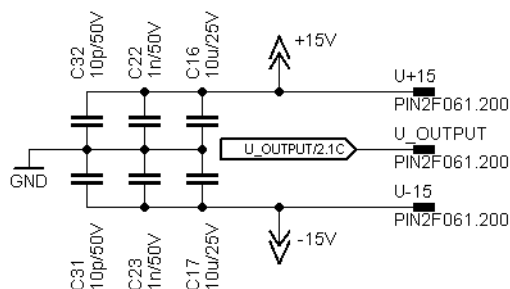
Z řady byl použit rezistor 2k7. Napájení stabilizátoru je blokováno kondenzátorem 1nF.

9.2.6 Napájení měřícího modulu, střídače, budiče a DockingStn

Měřící modul může být napájen napětím v rozsahu 9 – 15 V. Požadované hladiny napětí ± 15 V pro střídač, napěťová LEM čidla a referenci a +5 V pro napájení obvodů měřícího modulu a DockingStn jsou vytvořena s využitím dvou integrovaných napájecích zdrojů CINCON. Na vstupech integrovaných zdrojů a na výstupu pro připojení konektoru DockingStn jsou zařazeny výkonové Zenerovy diody s pojistkami jako jednoduché ochrany proti přepětí. Schéma zapojení a napájení pro napěťová LEM čidla je patrné z následujících obrázků:



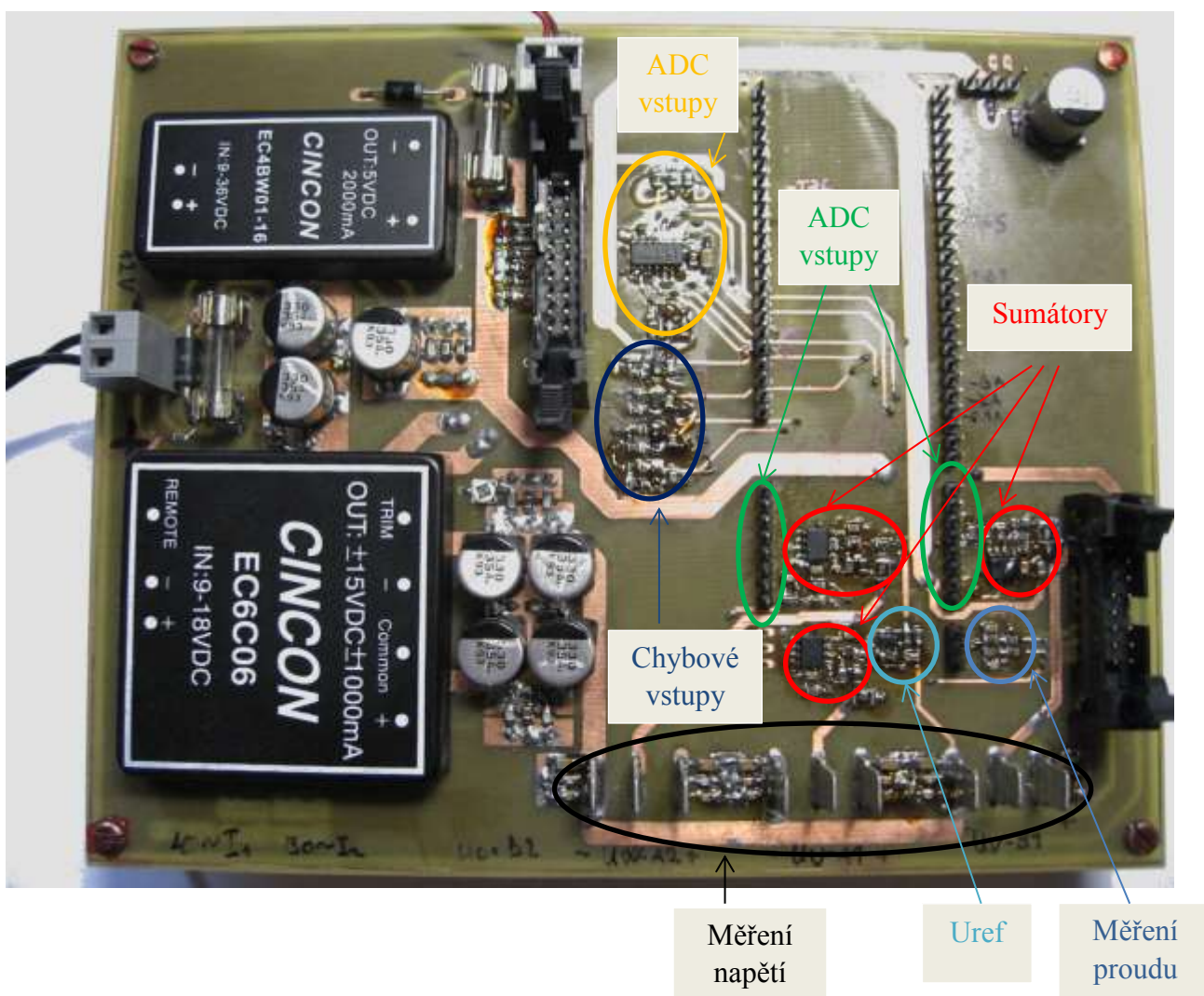
Obr. 80.: Napájecí zdroje, napájení DockingStn



Obr. 81.: Napájení napěťových LEM čidel

9.3 Návrh desky plošných spojů

Deska plošných spojů byla navržena na oboustranný kuprextit. Při návrhu jsem se snažil dodržovat zásady uvedené v [22]. Deska byla vyrobena v domácích podmínkách fotocestou a leptána v chloridu železitém. Většina součástek s ohledem na výkonové požadavky je v pouzdrech SMD o velikosti 0805. Osazená deska je vidět na následujících obrázcích s popisky:



Obr. 82.: Měřicí modul



Obr. 83.: Měřicí modul s DockingStn

Po naprogramování ověřovací aplikace, která umí generovat PWM signály o pevné střídě, reagovat na chybové signály a snímat napětí z AD převodníku bylo přistoupeno k ověření funkčnosti měřicího modulu. Měření proudu bylo ověřováno potenciometrem připojeným na + 5 V, jehož běžec byl připojen postupně na vstupy měření napětí meziobvodu a měření proudu. Pro ověření měření napětí byl sestaven jednoduchý obvod s potenciometrem a dvěma tranzistory zapojenými jako dvojčinný emitorový sledovač. Pro testování PWM výstupů byly použity svítivé diody, jako simulace optočlenů. Pro generování chybových stavů byl použit testovací optočlen. Dále byla provedena kalibrace měření tak, aby floating point hodnota v procesoru přímo odpovídala měřené veličině.



Obr. 84.: Testovací obvody



10 REALIZACE REGULAČNÍCH ALGORITMŮ PRO ŘÍDÍCÍ KONTROLÉR TMS320F28335

V následujících podkapitolách je popsána realizace řídicích algoritmů. Programy jsou tvořeny podle simulací uvedených v kapitolách 4, 5 a 6. Jedná se o pojekty „Cascade_reg“, „State_reg“ a „Predictive_reg“ ve workspace „lab“ na přiloženém CD. Nejprve je rámcově popsána inicializace periférií. Pro kaskádní a stavovou regulaci je inicializace totožná, regulace prediktivní se odlišuje v inicializaci ePWM modulátoru, kdy nejsou zadávány hodnoty střídý, ale softwarově vyvoláváno spínání tranzistorů. Regulační algoritmus prováděný v rutině přerušení AD převodníku je detailněji popsán v příslušných projektech na přiloženém CD. V následujícím textu je vždy uvedeno blokové schéma regulace prováděné v přerušení s popisem definovaných datových typů a použitých proměnných.

10.1 Funkce main() a inicializace periférií

Při spuštění programu jsou z hlavní funkce main() volány funkce starající se o inicializaci periférií. Dále jsou v hlavní funkci volány funkce inicializující regulační parametry, jako je struktura se žádanými hodnotami výstupního napětí, inicializace časových konstant filtrů proudu, inicializace počátečního stavu regulátorů a podobně.

Veškeré inicializační funkce využívají hlavičkových souborů popsaných výše. TI poskytuje šablony některých inicializačních funkcí, do kterých je možné dopsat kód s vlastním nastavením. Této možnosti bylo využito zejména pro inicializaci vstupů/výstupů, systému, PIE, částečně potom pro inicializace časovače. Vlastní funkce jsou popsány v následujícím textu:

10.1.1 InitSysCtrl()

Tato funkce je poskytnutá výrobcem kontroléru a je dostupná v souboru DSP2833x_SysCtrl.c. Funkce slouží k inicializaci hlavních prvků systému, jako jsou fázový závěs, předděličky hodin, paměť flash a povolování hodin perifériím. Funkce nebyla modifikována. Funkce při inicializaci zakazuje WatchDog.

10.1.2 EnableDog()

Jedná se o vlastní funkci v souboru \My_functions\System_init.c. Funkce zapíše příslušné hodnoty do registru WDCR tak, aby watchdog byl aktivní.

10.1.3 InitPieCtrl()

Funkce slouží k inicializaci periférie rozšiřující počet vektorů přerušení tak, jak bylo uvedeno výše. Funkci lze nalézt v souboru DSP2833x_PieCtrl.c. Funkce nejprve globálně zakáže přerušení na úrovni jádra. Po té zakáže přerušení na úrovni PIE. Dále dochází k nulování všech příznaků přerušení.



10.1.4 InitPieVectTable()

Funkci je možné nalézt v souboru DPS2833x_PieVect.c. Tato funkce slouží k přemapování vektorů přerušení tak, aby mohla být využita periferie PIE.

10.1.5 InitGpio()

Funkci lze nalézt v souboru DSP2833x_InitGpio.c. Funkce je poskytována TI. Slouží k nastavení všech GPIO do známého stavu a to jako vstupních portů IO (nejsou nastaveny tak, aby zastávaly funkci přiřazenou k perifériím). Dále jsou zakázány filtry GPIO (logika umí vyhodnotit vstupní signál jako L nebo H, až pokud se po daný počet period hodin nezmění).

10.1.6 TimerInit()

Jedná se o vlastní funkci, kterou je možné nalézt v \My_functions\System_init.c. Parametry funkce jsou:

- adresa rutiny přerušení
- frekvence jádra v MHz
- perioda generování přerušení v μ S.

Ve funkci dojde k přiřazení adresy přerušení k PIE, inicializace časovače (funkce TI), nastavení parametrů časovače (funkce TI), a povolení časovače jako zdroje přerušení. Přerušení časovače bylo využíváno při odlaďování programu, ve finální verzi slouží k blikání diodou na controlCARD v případě, že dojde k přijetí chybové události.

10.1.7 EPwmModuleInit()

Jedná se o vlastní funkci, kterou je možné nalézt v \My_functions\EPwm_init.c. Funkce volá další funkce, které slouží k inicializaci modulů periferie.

- EPwmGpiosInit() – slouží k nastavení pinů procesoru jako výstupních s funkcí spřaženou s periférií ePWM. Dále nastavuje piny jako vstupní pro TripZone chybové vstupy.
- STOP_TIMEBASE_CLOCK – makro, které zakáže hodiny periférii ePWM. Po zakázání hodin dojde k inicializaci vratného čítače časové základny a opětovnému povolení hodin. Pak je jisté, že všechny submoduly časové základny budou mít stejně umístěné hrany hodin (viz [18])
- EPwmTimeBaseInit() – konfiguruje blok časové základny (čítače) 3 ePWM submodulů. Dochází k nastavení předděliček, chování při emulaci, směru čítání po synchronizaci a nastavení maximální hodnoty čítače (tedy periody PWM signálu)
- STOP_TIMEBASE_CLOCK – spuštění hodin pro periférii ePWM
- EPwmCompareInit() – nastavení kdy má dojít k překopírování hodnoty ze stínového registru do aktivního registru. Nastavení aktuálních stříd dochází v přerušení AD převodníku.
- EPwmAqInit() – nastavení chování výstupů bloku (nikoliv modulu, vliv má ještě dead band blok) při dosažení hodnoty v komparačních registrech.
- EPwmDbInit() – inicializace vkládání ochranné doby na 3,5 μ S, upravení polarit signálů podle logiky střídače a budiče.
- EPwmTzInit() – Nastavení odstavení výstupů při zaznamenání chybové události



- Dále dochází k inicializaci PIE pro přerušení generované chybovou událostí a povolení tohoto přerušení na úrovni PIE
- EPwmTzInit() – Nastavení spouštění převodu při nule vratného čítače, zakázání přerušení generované vratným čítačem.

Odlišnost pro prediktivní regulaci zmíněnou výše nastává ve funkci EPwmAqInit(), kde je zakázáno měnit hodnoty vstupů při dosažení komparační hodnoty a naopak je povoleno měnit hodnoty vstupů softwarově, zápisem do registru CSFA.

10.1.8 ADCInit()

Jedná se o vlastní funkci, kterou je možné nalézt v \My_functions\ADC_init.c. Nejprve je přiřazena adresa funkce obsluhy přerušení periférii PIE, a přerušení na úrovni PIE povoleno. Dále je volána funkce InitAdc() (funkce TI), která převodník zkalibruje. Dále jsou nastaveny registry převodníku tak, aby sekvencery fungovaly v kaskádním módu, převod byl spouštěn synchronizačním pulsem generovaným AD převodníkem, na konci převodu bylo generováno přerušení, ve kterém je prováděna regulace, je nastavena HW část převodníku (hodiny, reference,...) a jsou přiřazeny vstupy k pozicím sekvenceru.

10.1.9 RegStructInit()

Funkce obsahuje inicializaci struktur a proměnných závislých na typu regulace. Jedná se například o inicializaci zesílení regulátorů, časových konstant filtrů atd..

Ve funkci main() ještě dochází k povolení přerušení od požadovaných zdrojů PIE, povolení přerušení na úrovni procesoru a povolení přerušení pro Debug režim. Dále funkce obsahuje nekonečnou smyčku běžící na pozadí, ve které je nulován watchdog.

Následující kód zobrazuje funkci main s inicializacemi společnou pro všechny typy regulací:

```
main(void) {  
  
    InitSysCtrl();  
  
    EnableDog();  
    InitPieCtrl();  
    InitPieVectTable();  
    InitGpio();  
  
    TimerInit(&cpu_timer0_isr, 150, 100000);  
    EPwmModuleInit(&ePWM1_TZ_isr);  
    ADCInit(&ADC_EOS_isr);  
    RegStructsInit();  
  
    IER |= 3;  
    EINT;  
    ERTM;  
  
    while(1)  
    {  
        FullServiceDog();  
    }  
}
```

Přerušení `cpu_timer_0_isr()`

Přerušení je voláno periodicky CPU časovačem Timer0. V obsluze přerušení dochází k inkrementaci proměnné InterruptCount ve struktuře CpuTimer0 (struktura vytvořená TI). Dále je v obsluze přerušení resetován watchdog a změněn stav výstupního pinu GPIO34, ke kterému je připojena LED na controlCARD. Na konci přerušení je nulován příznak přerušení v PIE.

10.2 Přerušení `ePWM1_TZ_isr()`

Přerušení je voláno, pokud dojde k přijetí chybového stavu submodule 1 periferie ePWM. Zakomenované řádky chybovou událost nulují a uvádí periferii opět do chodu – eliminují funkci chybové ochrany. V přerušení je nulován příznak přerušení v ePWM i v PIE. Dále je spuštěn časovač pro blikání LED.

10.3 Přerušení `ADC_EOS_isr`

Jedná se o hlavní přerušení, na kterém je prováděn výpočet regulačního algoritmu. Část tohoto přerušení je pro všechny regulační algoritmy stejná. Jedná se o výpočet úhlu θ pro transformace a čtení výsledků převodu.

Vzhledem k tomu, že procesor podporuje formát float, je možné snadno využívat funkce z knihovny `math.h`. Při použití podpůrné knihovny `C28x_FPU_FastRTS.lib` lze volat funkci vypočítávající zároveň funkci *sin* a *cos* zadaného argumentu s využitím tabulek goniometrických funkcí naprogramovaných od výroby v paměti ROM. Je také možné snadno pracovat s číslem π . Přerušení je voláno s frekvencí PWM signálu, která je nastavena na 15 kHz (maximální dovolená frekvence IPM v katalogovém listu je 20 kHz). Perioda výstupního napětí je 50 Hz. V rámci jedné periody je tedy rutina přerušení volána 300x. Nejjemnější možný krok úhlu θ je potom

$$\vartheta_{step} = \frac{50}{15000} \cdot 2\pi = \frac{\pi}{150} = 0,020943 \text{ rad} = 1,19^\circ \quad (10.1)$$

Na začátku přerušení je proto inkrementován úhel θ právě o tento krok. Pokud je úhel větší roven 2π , je úhel nulován.

Dále dochází k čtení výsledků z AD převodníku, kdy je od čteného výsledku převodu nejprve odečten offset. Dále je výsledek přetypován na float a násoben příslušnou konstantou tak, aby regulace pracovala přímo s hodnotou měřené veličiny.

Měřené proudy (a v případě prediktivní regulace experimentálně i napětí) jsou filtrovány pomocí číslicového filtru uvedeného v [4]. Časové konstanty byly určeny experimentálně v rámci odlaďování.

Na průběhu přerušení jsou ukládány měřené a filtrované hodnoty proudů a napětí do příslušných bufferů, které slouží ke grafickému zobrazení proměnných v Debug perspective. Nástroj graf totiž nelze samostatně synchronizovat. Umí zobrazit jen proměnnou v čase, případně pole v čase. Pokud bychom zobrazovali jen jeden vzorek proměnné, byl by vidět pouze jeden bod, pokud vzorků více, křivka by se v čase posunovala podobně jako na nesynchronizovaném osciloskopu. Na konci přerušení dochází k nulování příznaku přerušení v převodníku, resetu sekvenceru a nulování příznaku v PIE.



Další kapitoly popisují části tohoto přerušení, zodpovědné za výpočet regulačního algoritmu a tedy závislé na regulačních metodách.

Následující kód odpovídá části přerušení společné pro všechny regulační metody:

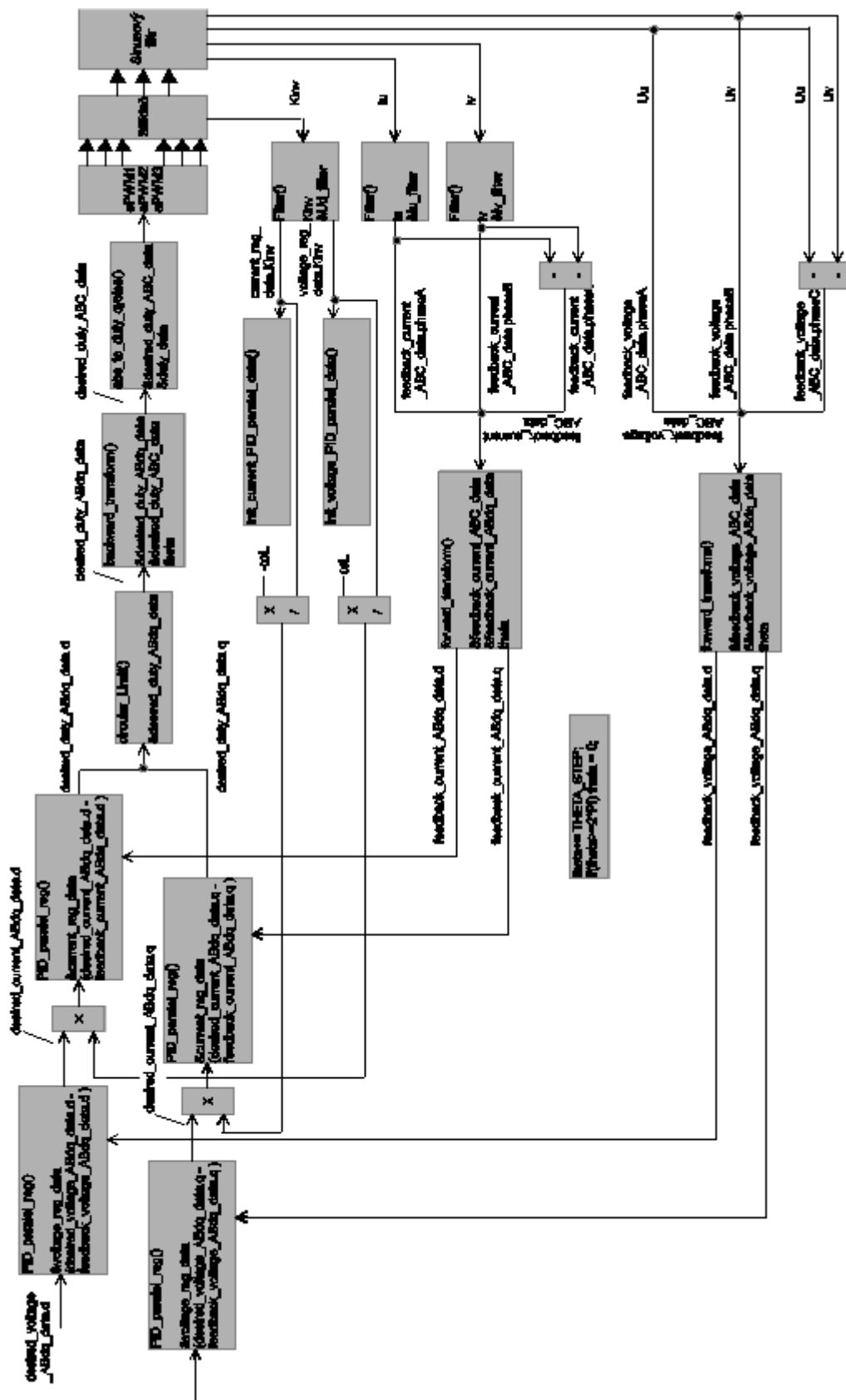
```
interrupt void ADC_EOS_isr(void)
{
    FullServiceDog();
    GpioDataRegs.GPATOGGLE.bit.GPIO31 = 1;

    theta += THETA_STEP;
    if(theta >= 2*PI) theta = 0;

    Iu = 65*((AdcFSVotlage/4096.0)*((short)(AdcMirror.ADCRESULT0)-AdcOffsetVoltageIu));
    Iv = 65*((AdcFSVotlage/4096.0)*((short)(AdcMirror.ADCRESULT1)-AdcOffsetVoltageIv));
    Uu = 16.75*((AdcFSVotlage/4096.0)*((short)(AdcMirror.ADCRESULT2)-AdcOffsetVoltageUu));
    Uv = 16.75*((AdcFSVotlage/4096.0)*((short)(AdcMirror.ADCRESULT3)-AdcOffsetVoltageUv));
    Kinv = (252.797)*(AdcFSVotlage/4096.0)*(float)(AdcMirror.ADCRESULT5);

    Iu_filtered = Filter(Iu, &Iu_filter);
    Iv_filtered = Filter(Iv, &Iv_filter);
    Kinv_filtered = Filter(Kinv, &Kinv_filter);
    Uu_filtered = Filter(Uu, &Uu_filter);
    Uv_filtered = Filter(Uv, &Uv_filter);
}
```

10.4 Kaskádní regulační struktura



Obr. 85.: Blokové schéma implementace kaskádní regulační struktury



Tab. 1.: Datové typy a identifikátory proměnných kaskádní regulace

Datový typ struktury	Identifikátory	Datový typ položky	Označení	Popis
Paralelní PID regulátor				
PID_paralel_data	current_reg_data voltage_reg_data	float	P	Proporcionální zesílení zadávané uživatelem
		float	I	Integrační zesílení zadávané uživatelem
		float	D	Derivační zesílení zadávané uživatelem
		float	Kp	Proporcionální zesílení vypočtené podle zesílení měniče
		float	Ki	Integrační zesílení vypočtené podle zesílení měniče
		float	Kd	Derivační zesílení vypočtené podle zesílení měniče
		float	Hlim	Horní limit integrálu a výstupu
		float	Llim	Dolní limit integrálu a výstupu
		float	ek1	Regulační odchylka v předchozím kroku
		float	Int_yk1	Hodnota integrálu v předchozím kroku
		float	Kinv	Zesílení měniče jako feedforward k výpočtu zesílení
Struktury trojfázových dat				
ThreePhaseDataABC	desired_current_ABC_data desired_voltage_ABC_data feedback_current_ABC_data feedback_voltage_ABC_data desired_duty_ABC_data	float	phaseA	Hodnota veličiny fáze A
		float	phaseB	Hodnota veličiny fáze B
		float	phaseC	Hodnota veličiny fáze C
Struktury dvoufázových dat				
TwoPhaseDataABdq	desired_current_ABdq_data desired_voltage_ABdq_data feedback_current_ABdq_data feedback_voltage_ABdq_data desired_duty_ABdq_data	float	alpha	Hodnota veličiny v ose alfa
		float	beta	Hodnota veličiny v ose beta
		float	d	Hodnota veličiny v ose d
		float	q	Hodnota veličiny v ose q

Struktura stříd				
DutyCycleData	Duty_data	short	dutyA	Střída větve A
		short	dutyB	Střída větve B
		short	dutyC	Střída větve C
		float	third_harmonic	Třetí harmonická - sinusové vrchlíky
Struktura číslicové dolní propusti				
FilterData	lu_filter, lv_filter, Ud_filter	float	c0	Konstanta filtru
		float	c1	Konstanta filtru
		float	yk	Výstup filtru v předchozím kroku

Regulační algoritmus v obsluze přerušení AD převodníku probíhá podle Obr. 85. v následujících krocích:

- přečtení výsledků převodu
- volání funkce Filter(), která slouží k filtrování proudových signálů a signálu napětí meziobvodu, které vstupuje do regulačního algoritmu jako feedforward
- naplnění struktur trojfázových dat napětí a proudů, kdy třetí proud/napětí je dopočteno.
- naplnění struktury dat PID regulátoru hodnotou filtrovaného zesílení střídače
- volání funkce forward_transform() vypočítávající dopřednou Clarkovu a Parkovu transformaci, výsledkem jsou hodnoty napětí a proudů v souřadném systému dq
- volání funkce Init_current_PID_parallel_data() a Init_voltage_PID_parallel_data, které přepočítávají zesílení složek regulátorů podle feedforwardu (zesílení střídače z napětí meziobvodu)
- výpočet žádané hodnoty proudů napěťovými regulátory (výsledek regulátoru je násoben korekční hodnotou kvůli odváznění) a žádané hodnoty stříd proudovými regulátory – funkcemi PID_parallel_reg() s argumenty odpovídajícími regulačním odchylkám v příslušných osách a adresám struktur s daty příslušného regulátoru napětí/proud
- reset watchdogu
- kruhová limitace provedená na struktuře obsahující žádané hodnoty stříd v souřadném systému dq – circular_limit()
- zpětné transformace backward_transform() na limitovaných střídách
- volání funkce abc_to_duty_cycles(), realizující algoritmus sinusových vrchlíků
- zápis stříd do PWM modulátoru

10.4.1 Realizace paralelního PID regulátoru

PID regulátor je realizovaný podle Obr. 28:

```
float PID_parallel_reg (PID_parallel_data * Reg_data, float ek)
{
    float integral = 0;
    float derivation = 0;
    float proportional = 0;
    float output = 0;

    /***** PROPORTIONAL COMPONENT *****/

    proportional = (Reg_data->Kp)*ek;
```



```
/*##### INTEGRAL COMPONENT #####*/

integral = ((Reg_data->Ki)*ek)+Reg_data->Int_yk1;

if(integral >= (Reg_data->Hlim))
    integral = (Reg_data->Hlim);

if (integral <= (Reg_data->Llim))
    integral = (Reg_data->Llim);

(Reg_data->Int_yk1) = integral;

/*##### DERIVATION COMPONENT #####*/

derivation = (Reg_data->Kd)*(ek-(Reg_data->ek1));
(Reg_data->ek1) = ek;

output = proportional + integral + derivation;

if(output >= (Reg_data->Hlim))
    output = (Reg_data->Hlim);

if (output <= (Reg_data->Llim))
    output = (Reg_data->Llim);

return(output);
}
```

10.4.2 Realizace algoritmu injektování sinusových vrchlíků

Algoritmus injektování sinusových vrchlíků je realizován podle principů uvedených v kapitole 2.1.1.:

```
void abc_to_duty_cycles(ThreePhaseDataABC * ABC, DutyCycleData * duty_cycle)
{
    float zero;
    short index = 0;

    if(ABC->phaseA > SQRT_3_OVER_2)
    {
        zero = SQRT_3_OVER_2 - ABC->phaseA;
        index = 1;
    }

    if(ABC->phaseA < -SQRT_3_OVER_2)
    {
        zero = -SQRT_3_OVER_2 - ABC->phaseA;
        index = 1;
    }

    if(ABC->phaseB > SQRT_3_OVER_2)
    {
        zero = SQRT_3_OVER_2 - ABC->phaseB;
        index = 1;
    }

    if(ABC->phaseB < -SQRT_3_OVER_2)
    {
        zero = -SQRT_3_OVER_2 - ABC->phaseB;
        index = 1;
    }

    if(ABC->phaseC > SQRT_3_OVER_2)
    {
        zero = SQRT_3_OVER_2 - ABC->phaseC;
        index = 1;
    }

    if(ABC->phaseC < -SQRT_3_OVER_2)
    {
        zero = -SQRT_3_OVER_2 - ABC->phaseC;
        index = 1;
    }

    if(index == 0)
    {
        zero = (float) 0.0;
    }

    duty_cycle->dutyA = (short)((0.5+(ONE_OVER_SQRT_3*(zero + ABC->phaseA)))*5000);
    duty_cycle->dutyB = (short)((0.5+(ONE_OVER_SQRT_3*(zero + ABC->phaseB)))*5000);
    duty_cycle->dutyC = (short)((0.5+(ONE_OVER_SQRT_3*(zero + ABC->phaseC)))*5000);
    duty_cycle->third_harmonic = zero;
}
```




10.4.3 Algoritmus kruhového limitu

Algoritmus kruhového limitu je realizován podle kapitoly 2.1.2:

```
void circular_limit(TwoPhaseDataABdq * AB_dq_data)
{
    float ampl;

    ampl = sqrt((AB_dq_data->d)*(AB_dq_data->d)+(AB_dq_data->q)*(AB_dq_data->q));

    if(ampl>1)
    {
        (AB_dq_data->d) = (AB_dq_data->d)/ampl;
        (AB_dq_data->q) = (AB_dq_data->q)/ampl;
    }
}
```

10.4.4 Algoritmus číslicové dolní propusti

Algoritmus číslicové dolní propusti je realizován podle [4].

```
void InitFilterData(float f_s, float f_f, FilterData * filter_params)
{
    filter_params->c0 = (1/f_s)/((1/f_s)+(1/f_f));
    filter_params->c1 = 1-(filter_params->c0);
    filter_params->yk = 0;
}

float Filter(float input, FilterData * filter_params)
{
    filter_params->yk = (filter_params->c0)*input + (filter_params->c1)*(filter_params->yk);

    return(filter_params->yk);
}
```

Obr. 86.: Blokové schéma implementace stavové regulace



Tab. 2.: Datové typy a identifikátory proměnných stavové regulace

Datový typ struktury	Identifikátory	Datový typ položky	Označení	Popis
Integrátor stavového regulátoru				
integrator_data	integrator_d, integrator_q	float	integrator_uk	Vstup integrátoru
		float	integrator_uk1	Vstup integrátoru v předchozím kroku
		float	integrator_yk	Výstup integrátoru
		float	integrator_yk1	Výstup integrátoru v předchozím kroku
		float	xkP1	Pomocná stavová proměnná ()
Parametry stavového regulátoru				
state_reg_params	regulator_params	float	current_gain	Proudové zesílení
		float	voltage_gain	Napěťové zesílení
		float	integrator_gain	Integrační zesílení
		float	reset_gain	Zesílení při resetu integrátoru
		integrator_data	integrator_d	Data integrátoru v ose d
		integrator_data	integrator_q	Data integrátoru v ose q
Data stavového regulátoru				
state_reg_data	regulator_data	TwoPhaseDataAB dq	feedback_current_dq	Struktura zpětnovazebních proudů
		TwoPhaseDataAB dq	feedback_voltage_dq	Struktura zpětnovazebních napětí
		TwoPhaseDataAB dq	in_desired_voltage	Struktura žádaných hodnot napětí
		TwoPhaseDataAB dq	out_duty	Struktura žádaných stříd
Struktury trojfázových dat				
ThreePhaseDataABC	feedback_current_ABC_data	float	phaseA	Hodnota veličiny fáze A
	feedback_voltage_ABC_data	float	phaseB	Hodnota veličiny fáze B
	desired_duty_ABC_data	float	phaseC	Hodnota veličiny fáze C



Struktury dvoufázových dat				
TwoPhaseDataABdq	desired_voltage_ABdq_data feedback_current_ABdq_data feedback_voltage_ABdq_data	float	alpha	Hodnota veličiny v ose alfa
		float	beta	Hodnota veličiny v ose beta
		float	d	Hodnota veličiny v ose d
		float	q	Hodnota veličiny v ose q
Struktura stříd				
DutyCycleData	Duty_data	short	dutyA	Střída větve A
		short	dutyB	Střída větve B
		short	dutyC	Střída větve C
		float	third_harmonic	Třetí harmonická - sinusové vrchlíky
Struktura číslicové dolní propusti				
FilterData	lu_filter lv_filter Ud_filter	float	c0	Konstanta filtru
		float	c1	Konstanta filtru
		float	yk	Výstup filtru v předchozím kroku

Regulační algoritmus stavového regulátoru probíhá v obsluze přerušení AD převodníku, podle Obr. 86 v následujících krocích:

- přečtení výsledků převodu
- volání funkce Filter(), která slouží k filtrování proudových signálů a signálu napětí meziobvodu, které vstupuje do regulačního algoritmu jako feedforward
- naplnění struktury parametrů stavového regulátoru zesílenými jednotlivých regulátorů, přepočtených podle zesílení měniče
- naplnění struktur trojfázových napětí a proudů, kdy třetí proud/napětí je dopočteno
- volání funkce forward_transfortm() vypočítávající dopřednou Clarkovu a Parkovu transformaci, výsledkem jsou hodnoty napětí a proudů v souřadném systému dq
- volání funkce state_reg(), kde parametry funkce jsou adresy struktur s daty a parametry regulátoru
- volání funkce kruhového limitu circular_limit() a přiřazení návratové hodnoty funkce do datové struktury stavového regulátoru – funkce vrací 1, pokud byla provedena limitace
- volání funkce zpětné transformace backward_transform(), kde parametry funkce jsou adresa struktury obsahující hodnoty žádané střídny v dq souřadnicích a adresa struktury obsahující trojfázové hodnoty střídny
- volání funkce abc_to_duty_cycles(), realizující algoritmus sinusových vrchlíků
- zápis střídny do PWM modulátoru

10.5.1 Algoritmus stavového regulátoru

Stavový regulátor je realizován podle Obr. 36 a Obr. 87:

```
void state_reg(state_reg_data * state_data, state_reg_params * state_params)
{
    float subs_d;
    float subs_q;

    subs_d = -((state_data->feedback_current_dq.d)*(state_params->current_gain))-((state_data-
>feedback_voltage_dq.d)*(state_params->voltage_gain));
    subs_q = -((state_data->feedback_current_dq.q)*(state_params->current_gain))-((state_data-
>feedback_voltage_dq.q)*(state_params->voltage_gain));

    if(!state_data->sat)
    {

        state_params->integrator_d.integrator_uk = (state_data->feedback_voltage_dq.d)-(state_data-
>in_desired_voltage.d);
        state_params->integrator_q.integrator_uk = (state_data->feedback_voltage_dq.q)-(state_data-
>in_desired_voltage.q);

        state_params->integrator_d.integrator_yk = state_params->integrator_d.integrator_yk1 +
TINT*((state_params->integrator_d.integrator_uk)+(state_params->integrator_d.integrator_uk1));
        state_params->integrator_q.integrator_yk = state_params->integrator_q.integrator_yk1 +
TINT*((state_params->integrator_q.integrator_uk)+(state_params->integrator_q.integrator_uk1));

        state_params->integrator_d.integrator_yk1 = state_params->integrator_d.integrator_yk;
        state_params->integrator_q.integrator_yk1 = state_params->integrator_q.integrator_yk;

        state_params->integrator_d.integrator_uk1 = state_params->integrator_d.integrator_uk;
        state_params->integrator_q.integrator_uk1 = state_params->integrator_q.integrator_uk;

        state_data->out_duty.d = subs_d - (state_params->integrator_d.integrator_yk)*(state_params-
>integrator_gain);
        state_data->out_duty.q = subs_q - (state_params->integrator_q.integrator_yk)*(state_params-
>integrator_gain);

    }

    else

    {

        state_params->integrator_d.integrator_uk = (state_data->feedback_voltage_dq.d)-
(state_data->in_desired_voltage.d);
        state_params->integrator_q.integrator_uk = (state_data->feedback_voltage_dq.q)-
(state_data->in_desired_voltage.q);

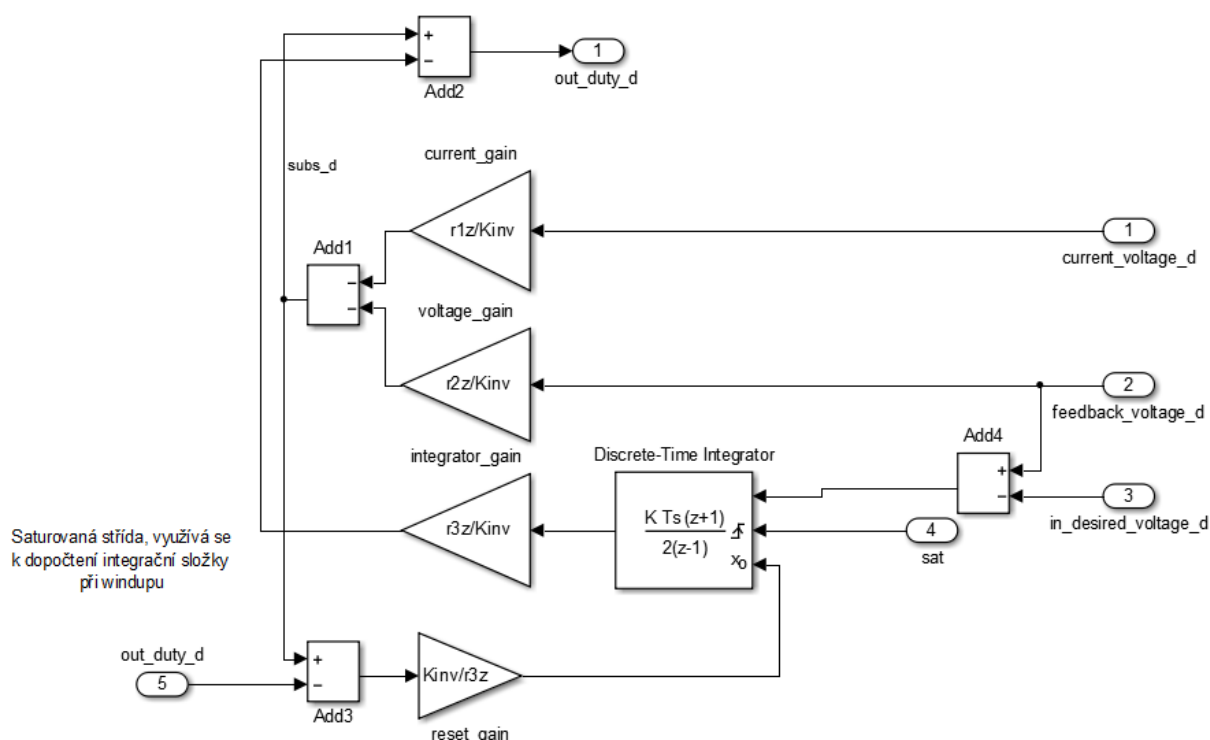
        state_params->integrator_d.integrator_uk1 = state_params->integrator_d.integrator_uk;
        state_params->integrator_q.integrator_uk1 = state_params->integrator_q.integrator_uk;

        state_params->integrator_d.integrator_yk = (state_data->out_duty.d)*(state_params-
>reset_gain);
        state_params->integrator_q.integrator_yk = (state_data->out_duty.q)*(state_params-
>reset_gain);

        state_params->integrator_d.integrator_yk1 = state_params->integrator_d.integrator_yk;
        state_params->integrator_q.integrator_yk1 = state_params->integrator_q.integrator_yk;

        state_data->out_duty.d = subs_d - (state_params-
>integrator_d.integrator_yk)*(state_params->integrator_gain);
        state_data->out_duty.q = subs_q - (state_params-
>integrator_q.integrator_yk)*(state_params->integrator_gain);

        state_data->sat = 0;
    }
}
```



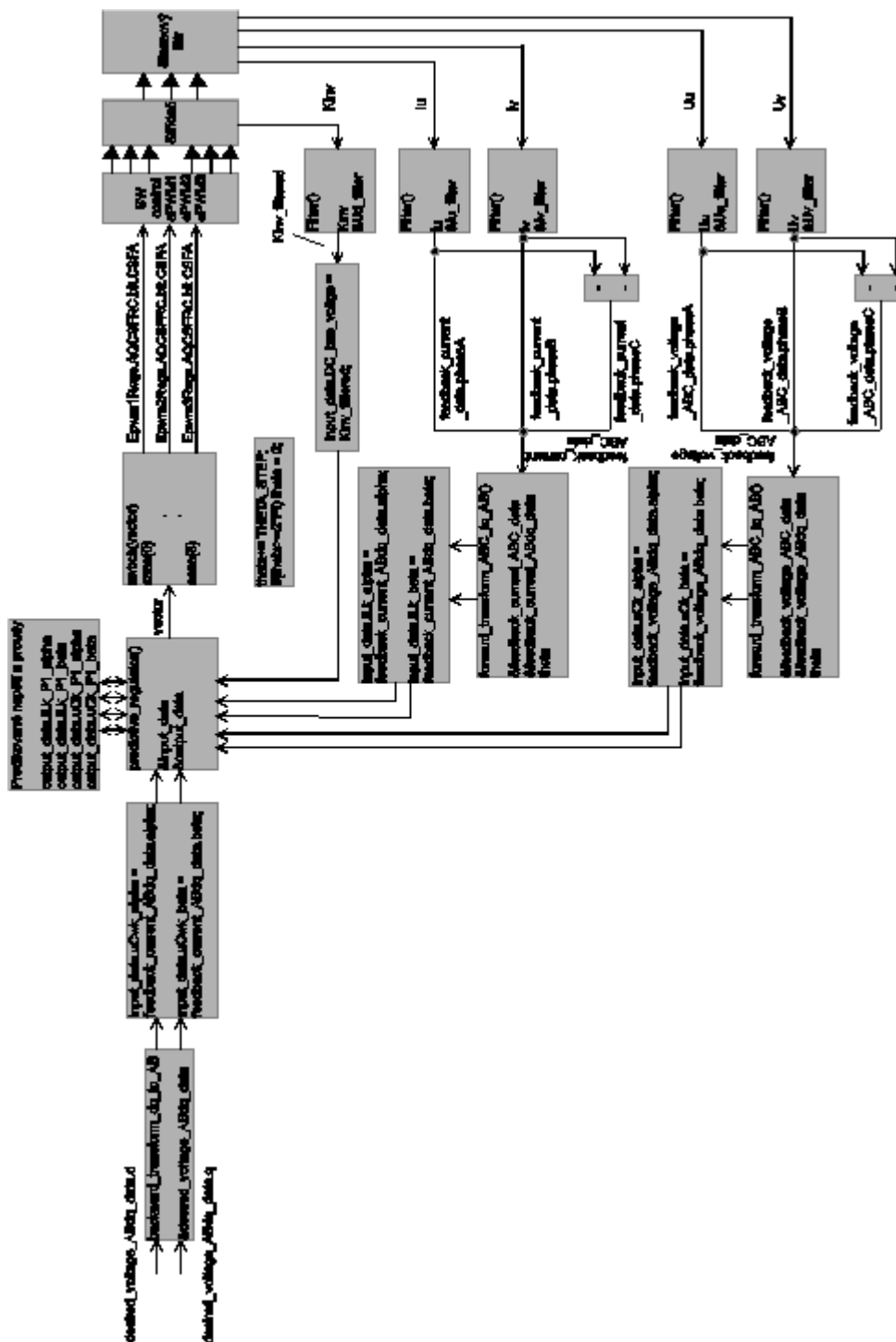
Obr. 87.: Blokové schéma algoritmu stavového regulátoru

10.5.2 Ostatní algoritmy

Algoritmus výpočtu kruhového limitu je v podstatě identický s kaskádní regulací s tím rozdílem, že pokud dojde k limitaci, funkce vrací nenulovou hodnotu, protože v následujícím přerušení kroku bude prováděn anti-windup.

Algoritmy číslicového filtru a generování sinusové PWM zůstávají nezměněny.

10.6 Prediktivní regulace



Obr. 88.: Blokové schéma implementace prediktivní regulační struktury



Tab. 3.: Datové typy a identifikátory proměnných prediktivní regulace

Datový typ struktury	Identifikátory	Datový typ položky	Označení	Popis
Prediktivní regulátor				
pred_reg_input	input_data	float	L	Indlukčnost tlumivky LC filtru
		float	C	Kapacita kondenzátoru LC filtru
		float	iLk_alpha	Proud tlumivkou v k-tém kroku
		float	iLk_beta	Proud tlumivkou v k-tém kroku
		float	uCk_alpha	Výstupní napětí v k-tém kroku
		float	uCk_beta	Výstupní napětí v k-tém kroku
		float	iLk_M1_alpha	Proud tlumivkou v k-1 kroku
		float	iLk_M1_beta	Proud tlumivkou v k-1 kroku
		float	current_limit	Proudové omezení
		float	uCwk_alpha	Žádaná hodnota výstupního napětí
		float	uCwk_beta	Žádaná hodnota výstupního napětí
		float	DC_bus_voltage	Napětí meziobvodu
pred_reg_output	output_data	float	iLk_P1_alpha	Predikovaný proud tlumivkou v k+1 kroku
		float	iLk_P1_beta	Predikovaný proud tlumivkou v k+1 kroku
		float	uCk_P1_alpha	Predikované výstupní napětí v k+1 kroku
		float	uCk_P1_beta	Predikované výstupní napětí v k+1 kroku
Struktury trojfázových dat				
ThreePhaseDataABC	feedback_current_ABC_data feedback_voltage_ABC_data desired_voltage_ABC_data	float	phaseA	Hodnota veličiny fáze A
		float	phaseB	Hodnota veličiny fáze B
		float	phaseC	Hodnota veličiny fáze C



Struktury dvoufázových dat				
TwoPhaseDataABdq	desired_voltage_ABdq_data feedback_current_ABdq_data feedback_voltage_ABdq_data	float	alpha	Hodnota veličiny v ose alfa
		float	beta	Hodnota veličiny v ose beta
		float	d	Hodnota veličiny v ose d
		float	q	Hodnota veličiny v ose q
Struktura stříd				
DutyCycleData	Duty_data	short	dutyA	Střída větve A
		short	dutyB	Střída větve B
		short	dutyC	Střída větve C
		float	third_harmonic	Třetí harmonická - sinusové vrchlíky
Struktura číslicové dolní propusti				
FilterData	Iu_filter Iv_filter Ud_filter Uu_filter Uv_filter	float	c0	Konstanta filtru
		float	c1	Konstanta filtru
		float	yk	Výstup filtru v předchozím kroku

Regulační algoritmus prediktivní regulace probíhá v obsluze přerušení AD převodníku, podle Obr. 88 v následujících krocích:

- přečtení výsledků převodu
- volání funkce Filter(), která slouží k filtrování proudových signálu a signálu napětí meziobvodu, které vstupuje do regulačního algoritmu jako feedforward
- naplnění struktur trojfázových napětí a proudů, kdy třetí proud/napětí je dopočteno
- volání funkce forward_transfortm_ABC_to_ab() vypočítávající dopřednou Clarkovu a Parkovu transformaci, výsledkem jsou hodnoty napětí a proudů v souřadném systému alfa beta a dq
- volání funkce backward_transform() která přepočítá žádané hodnoty ze souřadného systému dq do souřadného systému alfa beta. Algoritmus prediktivního regulátoru totiž probíhá v souřadném systému alfa beta.
- naplnění struktury vstupních dat prediktivního regulátoru input_data hodnotami měřených napětí a proudů
- volání funkce predictive_regulator() kde argumenty jsou adresy struktury se vstupními a výstupními (predikovanými) hodnotami napětí a proudů. Funkce vrací spínací vektor, který bude v daném kroku aplikován na výstup střídače
- větvení programu příkazem switch(), který podle návratové hodnoty funkce predictive_regulator() sepne odpovídající tranzistory zápisem do registrů EPwmxRegs.AQCSFRC.bit.CSFA



10.6.1 Algoritmus prediktivního regulátoru

Algoritmus prediktivního regulátoru je totožný s algoritmem uvedeným v kapitole 6.2.. Program z Matlabu je pouze přepsán do jazyka C.:

```
float input_voltage_alpha[] = {0, 0.666666667, 0.3333333333333333, -0.3333333333333333, -0.666666667, -0.3333333333333333, 0.3333333333333333, 0};
float input_voltage_beta[] = {0, 0, ONE_OVER_SQRT_3, ONE_OVER_SQRT_3, 0, -ONE_OVER_SQRT_3, -ONE_OVER_SQRT_3, 0};
float gn[] = {0,0,0,0,0,0,0,0};

short predictive_regulator(pred_reg_input * input_data, pred_reg_output * output_data)
{
    short i;
    float current = 0;
    float lim = 0;
    float io_M1_alpha = 0;
    float io_M1_beta = 0;

    short sector = 0;

    for(i=0; i<=7; i++)
    {
        output_data->ilk_P1_alpha = (input_data->ilk_alpha) + (TPWM/(input_data->L))*((input_voltage_alpha[i]*(input_data->DC_bus_voltage) - (input_data->uCk_alpha)));
        output_data->ilk_P1_beta = (input_data->ilk_beta) + (TPWM/(input_data->L))*((input_voltage_beta[i]*(input_data->DC_bus_voltage) - (input_data->uCk_beta)));

        current = sqrt((output_data->ilk_P1_alpha)*(output_data->ilk_P1_alpha)+(output_data->ilk_P1_beta)*(output_data->ilk_P1_beta));

        if((current)>=(input_data->current_limit))
            lim = 99999999;
        else
            lim = 0;

        io_M1_alpha = (input_data->ilk_M1_alpha) - ((input_data->C)/TPWM)*((input_data->uCk_alpha)-(input_data->uCk_M1_alpha));
        io_M1_beta = (input_data->ilk_M1_beta) - ((input_data->C)/TPWM)*((input_data->uCk_beta)-(input_data->uCk_M1_beta));

        output_data->uCk_P1_alpha = (input_data->uCk_alpha) + (TPWM/(input_data->C))*((output_data->ilk_P1_alpha)-(io_M1_alpha));
        output_data->uCk_P1_beta = (input_data->uCk_beta) + (TPWM/(input_data->C))*((output_data->ilk_P1_beta)-(io_M1_beta));

        gn[i] = lim + ((input_data->uCwk_alpha)-(output_data->uCk_P1_alpha))*((input_data->uCwk_alpha)-(output_data->uCk_P1_alpha))+
                ((input_data->uCwk_beta)-(output_data->uCk_P1_beta))*((input_data->uCwk_beta)-(output_data->uCk_P1_beta));
    }

    input_data->ilk_M1_alpha = input_data->ilk_alpha;
    input_data->ilk_M1_beta = input_data->ilk_beta;
    input_data->uCk_M1_alpha = input_data->uCk_alpha;
    input_data->uCk_M1_beta = input_data->uCk_beta;

    sector = 0;

    for(i=0;i<=7;i++)
    {
        if(gn[sector]>=gn[i])
            sector = i;
    }

    return(sector);
}
```



10.7 Shrnutí

V kapitole byly popsány realizované regulační algoritmy. Pro přehlednost byly vytvořeny blokové schémata znázorňující pochody v obsluze přerušení AD převodníku. Dále kapitola uvádí soupisy nově definovaných datových typů a identifikátorů nejvýznamnějších proměnných používaných v algoritmech regulací. Celé komentované zdrojové kódy v textu práce z důvodu jejich rozsahu neuvádím, je možné je nalézt ve workspace lab na přiloženém disku.

11 SESTAVENÍ ZDROJE, ODLADĚNÍ A DOSAŽENÉ VÝSLEDKY

V této kapitole je popsáno sestavení střídače a úprava předřadných rezistorů snímačů napětí pro fázi ladění regulačních algoritmů. Dále jsou v kapitole prezentovány výsledky měření.

11.1 Sestavení střídače a LC filtru

Sinusový zdroj se skládá z měřicího modulu s mikrokontrolérem, modulu střídače s budičem, tlumivek a kondenzátorů LC filtru a modulů měření výstupního napětí. Pro odladování se sníženým napájecím napětím (střídač napájen do meziobvodu z laboratorního zdroje s proudovým omezením, $U_d = 30 \text{ V}$) bylo nutné změnit hodnoty předřadných rezistorů v napěťových snímačích. Pokud je napětí meziobvodu 30 V a je použit algoritmus sinusové PWM, pak amplituda první harmonické výstupního fázového napětí měřeného na kondenzátoru při plném otevření měniče je:

$$U_{\text{ampl,měř}} = \frac{U_d}{\sqrt{3}} = \frac{30}{\sqrt{3}} = 17,32 \text{ V} \quad (11.1)$$

Tomu odpovídá efektivní hodnota

$$U_{\text{ef,měř}} = \frac{U_{\text{ampl,měř}}}{\sqrt{2}} = \frac{17,32}{\sqrt{2}} = 12,24 \text{ V} \quad (11.2)$$

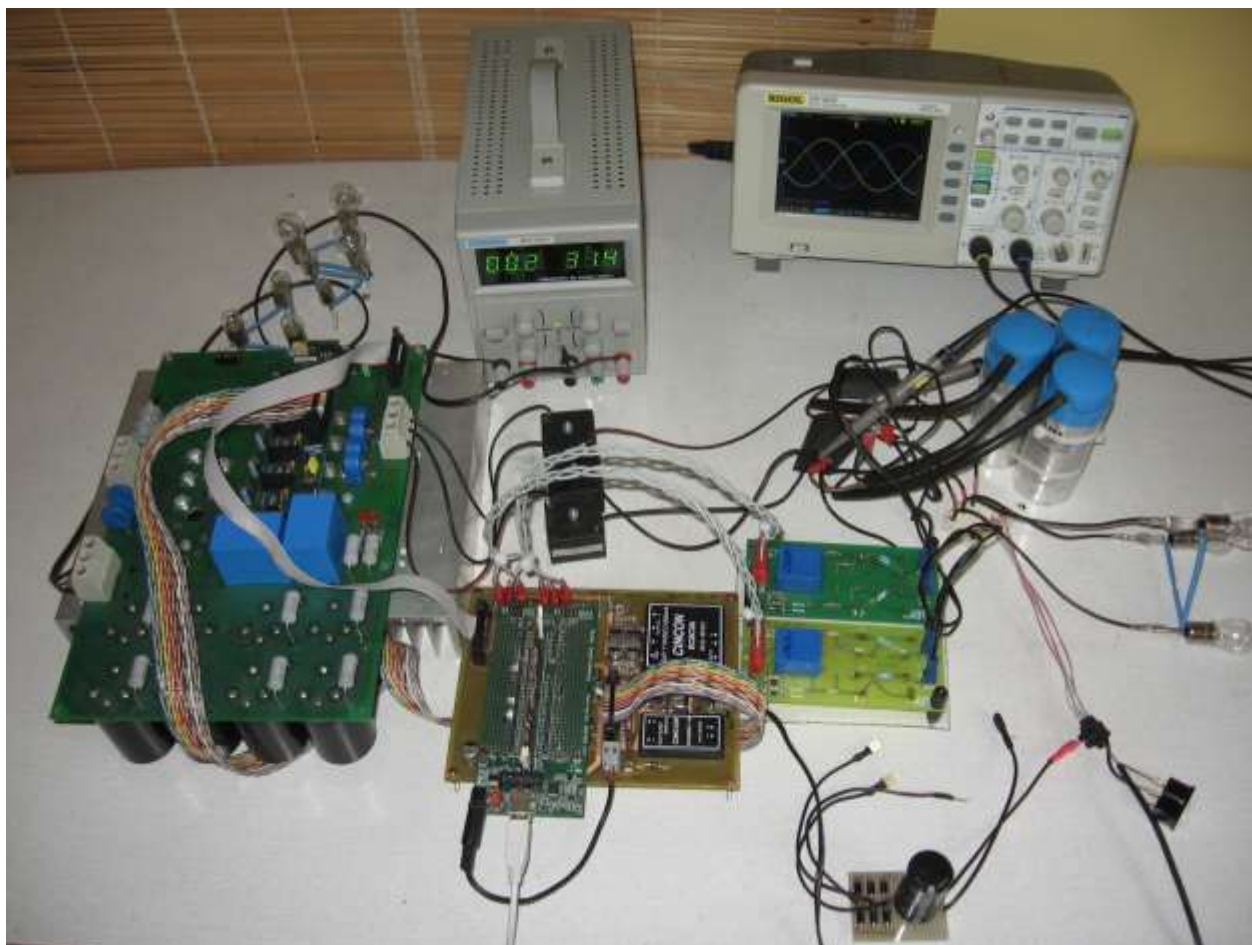
Toto napětí má protlačit primární cívku napěťového snímače efektivní hodnotu proudu 10 mA , potom se snímač chová na výstupu tak, jako by měřil maximální měřitelné napětí a celý rozsah převodníku potom bude využit. Předřadné odpory navrhujeme s malou rezervou na měřené napětí 15 V ef.

Celkový předřadný odpor potom musí mít hodnotu:

$$R_p = \frac{U_{\text{ef,měř}}}{I_{\text{prim,ef}}} = \frac{15}{10 \cdot 10^{-3}} = 1k5 \quad (11.3)$$

Dále je nutné vytvořit zátěž, aby v případě že regulace při odladování selže, byl LC filtr zatlumen. Jelikož bylo odladování prováděno v domácích podmínkách, byly jako zátěž použity trojice automobilových žárovek různých napětí a výkonů, které byly zapojeny do trojúhelníku. Zátěž je připojována s využitím trojice relé tak, aby bylo možné měřit chování při připojení zátěže.

Jako LC filtr jsem měl pro prvotní odladování zapůjčenou trojici tlumivek s indukčností $6,5 \text{ mH}$ a trojici kondenzátorů s kapacitou $3,3 \mu\text{F}$. Pro kvalitní odladění regulace byla indukčnost tlumivky příliš velká, tudíž regulovaná soustava příliš pomalá. Experimentováním a simulacemi bylo zjištěno, že ideální hodnota indukčnosti je přibližně 1 mH , kapacita kondenzátoru přibližně $18 \mu\text{F}$. Na následující fotografii je vidět sestavený střídač s LC filtrem a zátěžemi při odladování:



Obr. 89.: Sestavený sinusový zdroj při odladování regulačních algoritmů

Vzhledem k omezenému množství tlumivek a kondenzátorů filtru odladění proběhlo s použitím dvou sad tlumivek o jmenovité indukčnosti 1 mH, přičemž naměřené hodnoty indukčností byly:

Sada tlumivek 1	$L_1 = 1,816 \text{ mH}$
Sada tlumivek 2	$L_2 = 0,79 \text{ mH}$

Filtrační kondenzátory byly vždy použity s kapacitou $16 \mu\text{F}/250\text{V}$. Na Obr. 89 je vidět LC filtr se sadou 1 a zmíněnými kondenzátory.

11.2 Kaskádní regulační struktura

Při odlaďování byla nejprve zprovozněna regulace na žádanou hodnotu vnitřní proudové smyčky, po té byla zařazena vnější napěťová smyčka. Zesílení byla doladěná experimentálně. Následující kapitoly zobrazují průběhy proudů a napětí při odlaďování pro obě sady tlumivek.

11.2.1 Vnitřní proudová smyčka

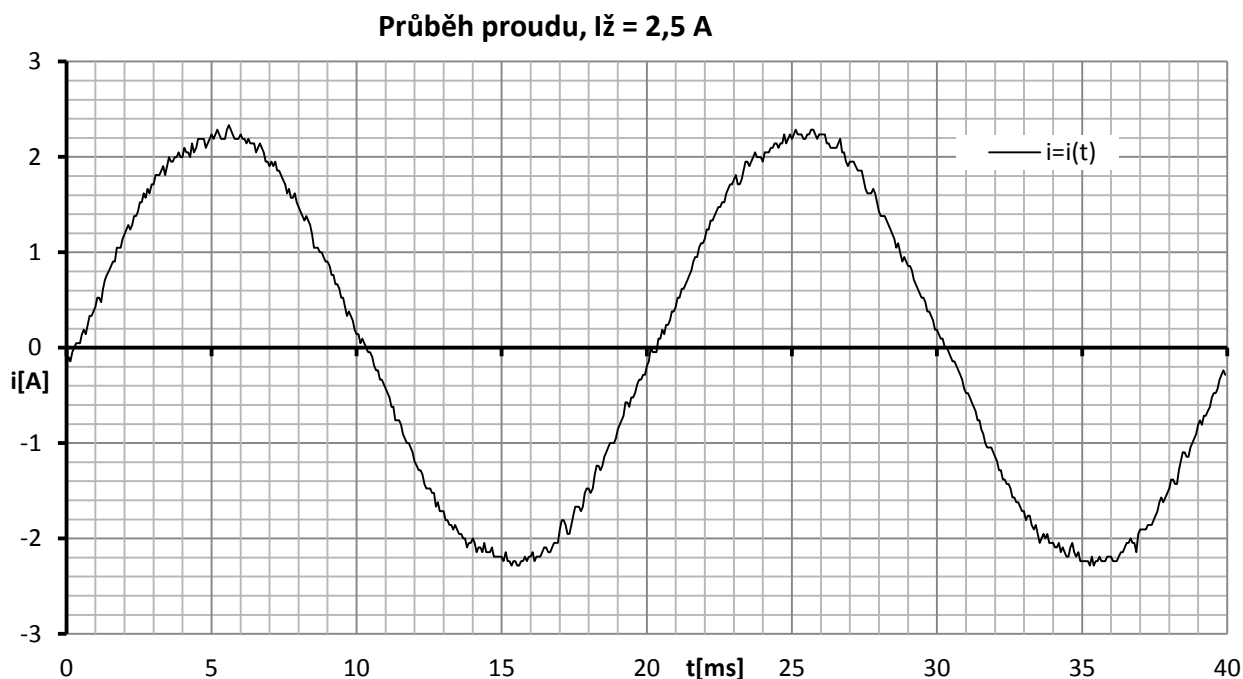
Při odlaďování byly udržovány tyto podmínky:

Napětí meziobvodu U_d 30 V
 Zátěž Trojice žárovek 12 V, 21 W, odpor za tepla $R = 6,85 \Omega$ zapojených do trojúhelníka

Amplituda žádané hodnoty proudů 2,5 A

Průběh proudu byl pozorován ve vývojovém prostředí CCS 5. Zesílení proudové smyčky byly upravovány tak, aby bylo dosaženo harmonického proudu s požadovanou amplitudou.

Výsledky pro sadu tlumivek 1:



Výsledku bylo dosaženo při následujícím zesílení:

$K_{P,I}$ 18
 $K_{I,I}$ 1
 $K_{P,U}$ -
 $K_{I,U}$ -



Výsledky pro sadu tlumivek 2:

Grafický průběh proudu pro druhou sadu tlumivek neuvádím. Nejlepších výsledků bylo dosaženo se zesíleními:

$K_{P,I}$	10
$K_{I,I}$	0,5
$K_{P,U}$	-
$K_{I,U}$	-

11.2.2 Vnější napěťová smyčka

Po odladění vnitřní proudové smyčky byla zapojena vnější napěťová smyčka. Zesílení byla laděna opět experimentálně. Při odladování byly udržovány tyto podmínky:

Napětí meziobvodu U_d	30 V
Zátěž	Trojice žárovek 12 V, 21 W, odpor za tepla $R = 6,85 \Omega$ zapojených do trojúhelníka

Amplituda napětí	žádané hodnoty 8 V
---------------------	-----------------------

Původní nastavení zesílení bylo doladěno tak, aby zdroj bez zatížení nerozkmital. Zesílení s nejlepšími dosaženými výsledky jsou:

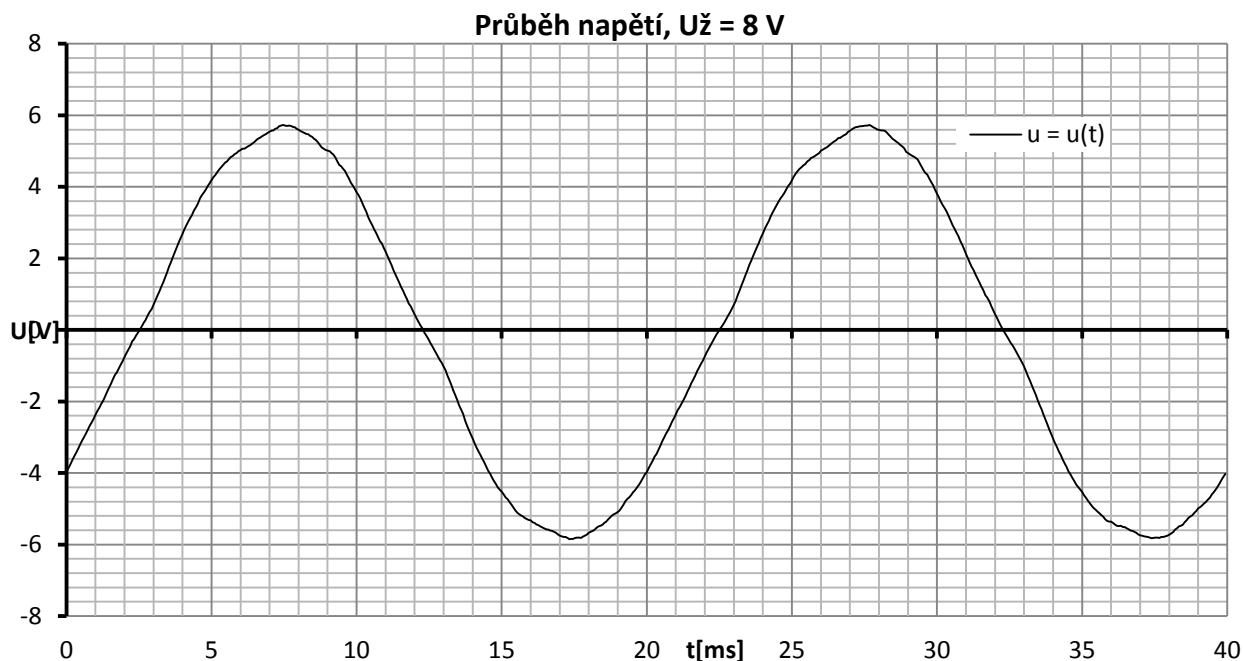
První sada tlumivek:

$K_{P,I}$	13
$K_{I,I}$	0,1
$K_{P,U}$	0,1
$K_{I,U}$	0,01

Druhá sada tlumivek:

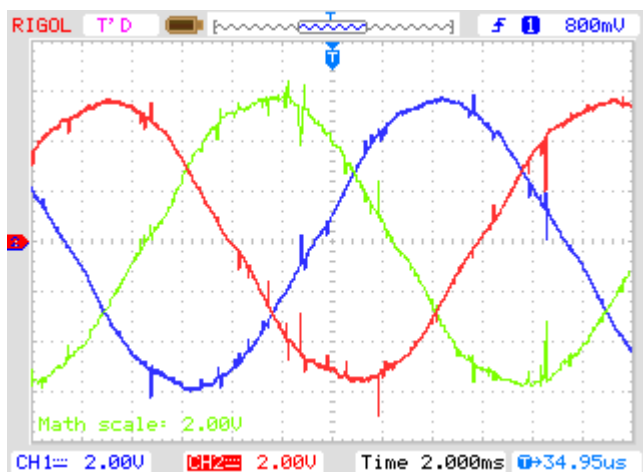
$K_{P,I}$	10
$K_{I,I}$	0,5
$K_{P,U}$	0,14
$K_{I,U}$	0,02

Na následujícím grafu vytvořením z dat z vývojového prostředí CCS 5 je vidět průběh napětí při žádané hodnotě 8V pod zátěží pro sadu tlumivek 1:

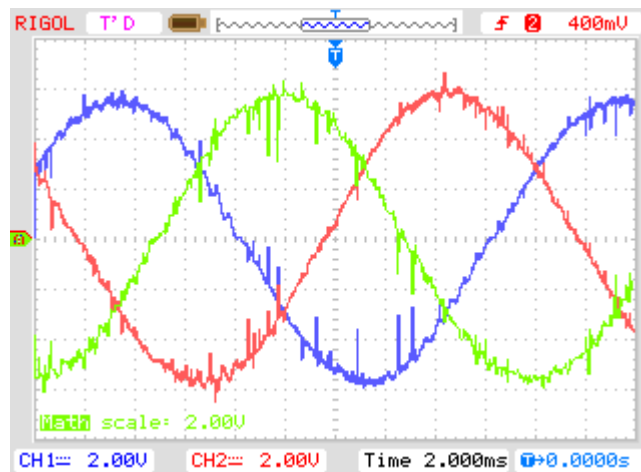


Z průběhu je patrné, že regulátory nedovedou odstranit ustálenou chybu i přes přítomnost integrační složky zesílení. Pokud byla tato zvýšena, k úplnému vyregulování ustálené chyby nedošlo, navíc výstupní napětí kmitalo v režimu naprázdno a zdroj by nebylo možné v tomto režimu provozovat.

Na následujícím obrázku je vidět průběh výstupního napětí měřený dvoukanálovým osciloskopem, třetí kanál je dopočten:



Obr. 90.: Kaskádní regulace - napěťová smyčka, pod zátěží, sada tlumivek 1

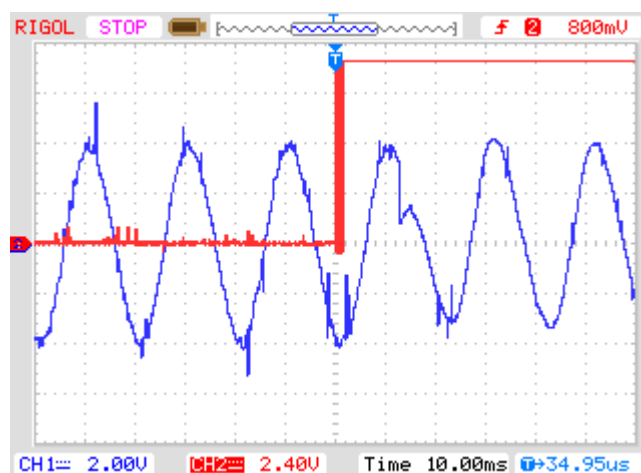


Obr. 91.: Kaskádní regulace - napěťová smyčka, sada tlumivek 2

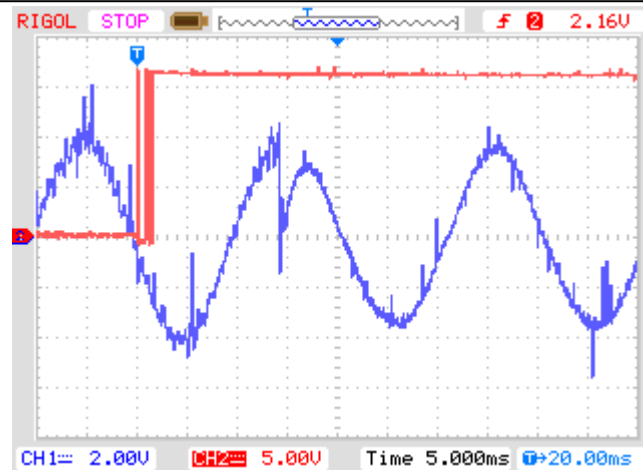
Na následujícím obrázku je vidět reakce zdroje na připojení zátěže. Měření bylo prováděno s následujícími parametry:

Napětí meziobvodu U_d	30 V
Zátěž	Trojice žárovek 24 V, 21 W, odpor za tepla $R = 27 \Omega$ zapojených do trojúhelníka
Amplituda žádané hodnoty napětí	5 V

Pro připojení zátěže byly použity žárovky s vyšším odporem za tepla. Žádaná hodnota napětí byla zvolena nižší. Důvodem je nízké napětí v meziobvodu, pokud by byly použity původní žárovky, došlo by k plnému otevření měniče a měření by nevypovídalo o kvalitě regulace. Druhý kanál je použit jako synchronizační a je připojen na ovládací cívku relé. Prodleva mezi skokem 2. kanálu a propadem napětí je způsobena prodlevou relé.



Obr. 92.: Kaskádní regulace, připojení lineární zátěže, sada tlumivek 1



Obr. 93.: Kaskádní regulace, připojení lineární zátěže, sada tlumivek 2

Na následujícím obrázku je vidět průběh výstupního napětí při připojení nelineární zátěži. Měření bylo prováděno s následujícími parametry:

Napětí meziobvodu U_d

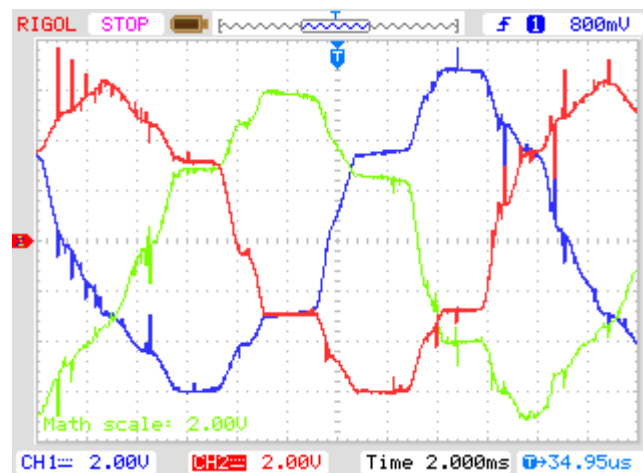
30 V

Zátěž

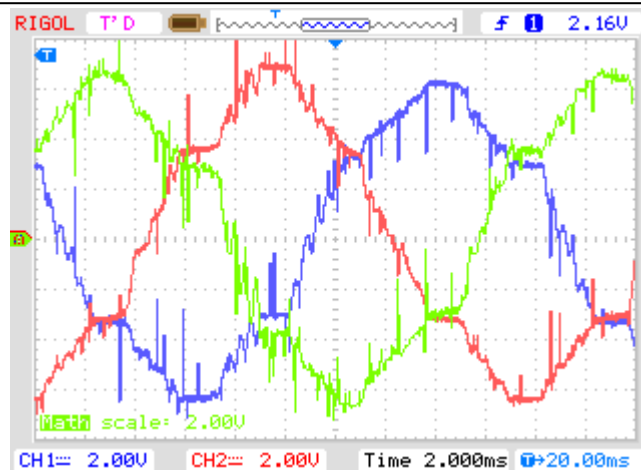
Trojfázový usměrňovač s kondenzátorem 6,8 mF a zátěží tvořenou žárovkou s odporem za tepla $R = 27 \Omega$

Amplituda
napětí

žádané hodnoty 8 V



Obr. 94.: Kaskádní regulace, nelineární zátěž, sada tlumivek 1



Obr. 95.: Kaskádní regulace, nelineární zátěž, sada tlumivek 2

Z průběhů je vidět, že kaskádní regulace neumí dostatečně dobře vyregulovat nelineární zátěž. Experimentálně bylo zjištěno, že kvalita regulace s nelineární zátěží je silně závislá na indukčnosti tlumivek. Indukčnost totiž musí být dostatečně nízká, aby proudová smyčka stihla vnutit dostatečně rychle proud.

11.3 Stavová regulace

Vzhledem k principu stavové regulace není možné provádět odlaďování postupně, jako v regulaci kaskádní. Odladění bylo provedeno tak, že při běhu zdroje byly zadávány zesílení regulátorů vygenerované Matlabem pro nové póly regulované soustavy. Jako nejlepší volba pólu se jeví póly ve spojitě oblasti:

$$p_1 = -4000 - 4000j$$

$$p_2 = -4000 + 4000j$$

$$p_3 = -6000$$

Těmto pólům odpovídají zesílení v diskrétní oblasti:

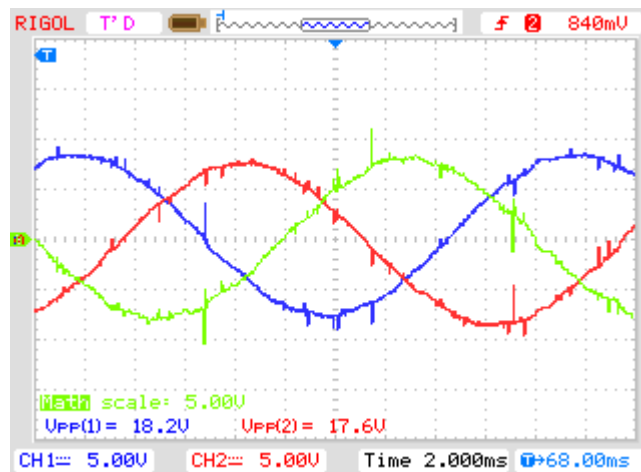
$$r1z = \text{proudové zesílení} = 9.408$$

$$r2z = \text{napěťové zesílení} = 0.0163$$

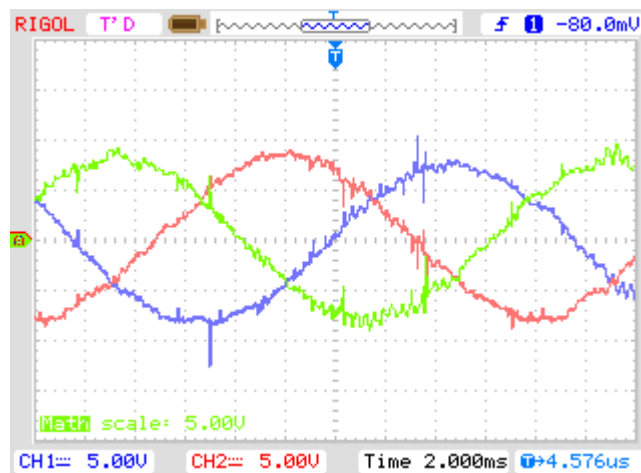
$$r3z = \text{integrační zesílení} = 2258$$

Následující obrázek ukazuje průběh výstupního napětí naprázdno. Při měření byly udržovány následující podmínky:

Napětí meziobvodu U_d	30 V
Zátěž	Odpojena
Amplituda žádané hodnoty napětí	8 V



Obr. 96.: Stavová regulace, měření naprázdno, sada tlumivek 1

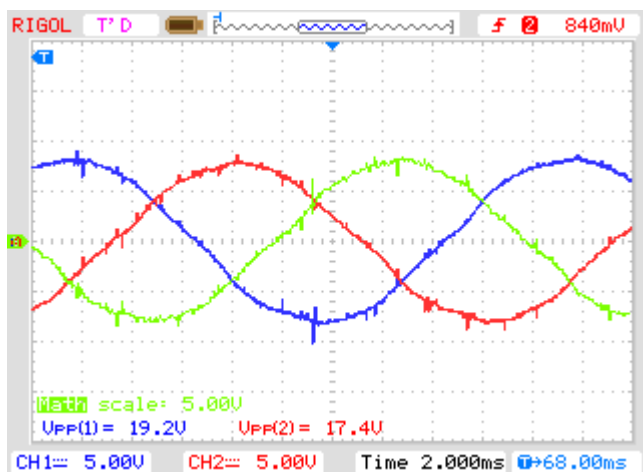


Obr. 97.: Stavová regulace, měření naprázdno, sada tlumivek 2

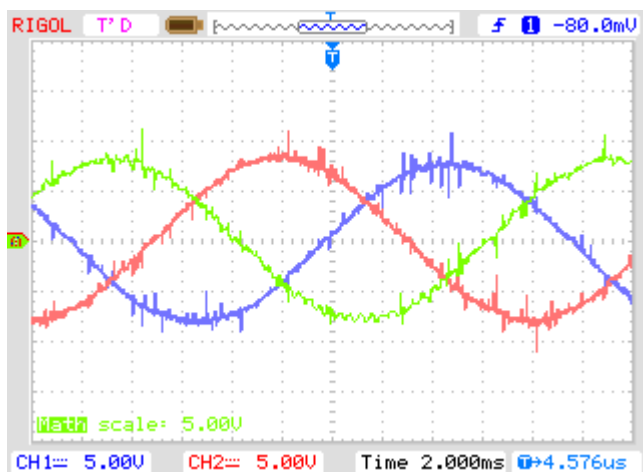
Z měření je patrné, že stavová regulace dovede vyregulovat amplitudu napětí v ustáleném stavu.

Následující obrázek ukazuje průběh výstupního napětí pod zátěží pro sadu tlumivek 1. Měření bylo provedeno za následujících podmínek:

Napětí meziobvodu U_d	30 V
Zátěž	Trojice žárovek 12 V, 21 W, odpor za tepla $R = 6,85 \Omega$ zapojených do trojúhelníka
Amplituda žádané hodnoty napětí	8 V



Obr. 98.: Stavová regulace, měření se zátěží, sada tlumivek 1



Obr. 99.: Stavová regulace, měření se zátěží, sada tlumivek 2

Následující průběh zobrazuje reakci stavové regulace na připojení odporové zátěže. Její parametry jsou stejné, jako v případě kaskádní regulace:

Napětí meziobvodu U_d

30 V

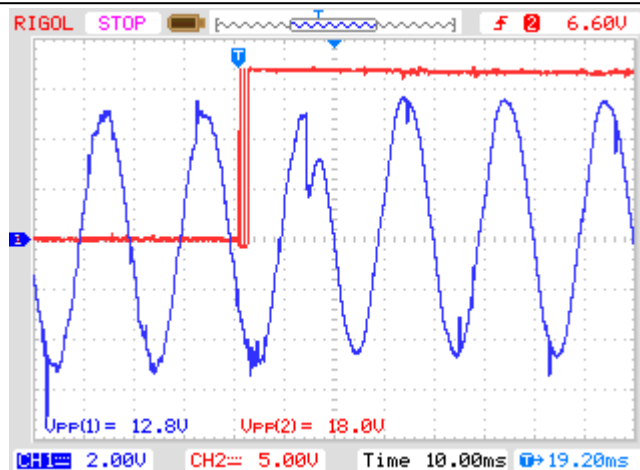
Zátěž

Trojfázový usměrňovač s kondenzátorem 6,8 mF a zátěží tvořenou žárovkou s odporem za tepla $R = 27 \Omega$

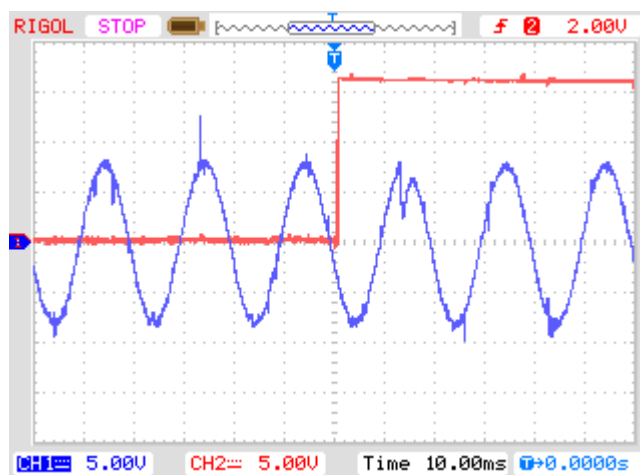
Amplituda
napětí

žádané hodnoty

8 V



Obr. 100.: Stavová regulace, připojení zátěže, sada tlumivek 1



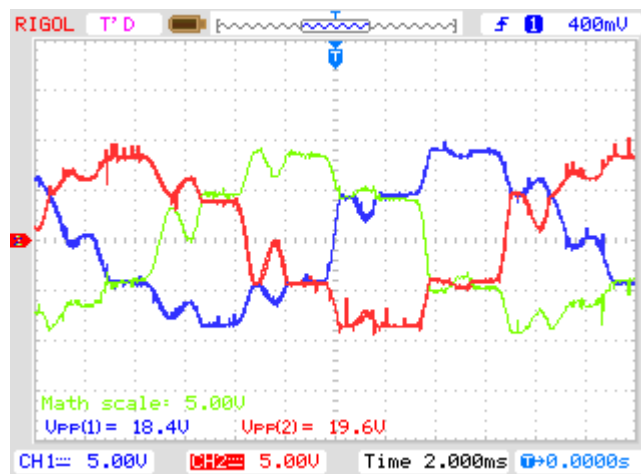
Obr. 101.: Stavová regulace, připojení zátěže, sada tlumivek 2

V porovnání s kaskádní regulací je reakce na připojení zátěže rychlejší. Při experimentování byly použity také žárovky s nižším odporem za tepla. Při připojení docházelo k přechodu laboratorního zdroje do režimu konstantního proudu – k tomu u kaskádní regulace nedocházelo. To lze vysvětlit vyšší rychlostí regulace.

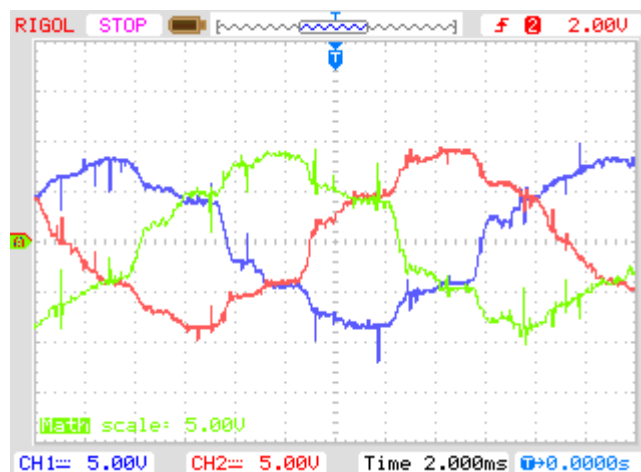
Dále byla provedena měření se sadou nelineární zátěží s následujícími parametry:

Napětí meziobvodu U_d	30 V
Zátěž	Trojfázový usměrňovač s kondenzátorem 6,8 mF a zátěží tvořenou žárovkou s odporem za tepla $R = 27 \Omega$
Amplituda žádané napětí	8 V

Výsledky měření jsou patrné na následujícím obrázku:



Obr. 102.: Stavová regulace, měření s nelineární zátěží, sada tlumivek 1

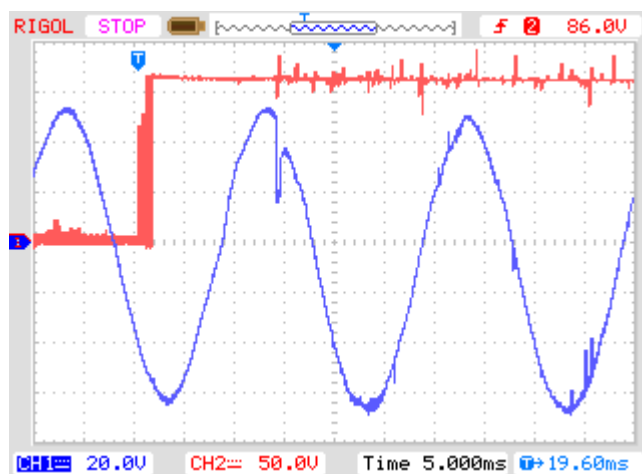


Obr. 103.: Stavová regulace, měření s nelineární zátěží, sada tlumivek 2

Pro druhou sadu tlumivek bylo provedeno ještě jedno měření připojení odporové zátěže s následujícími parametry:

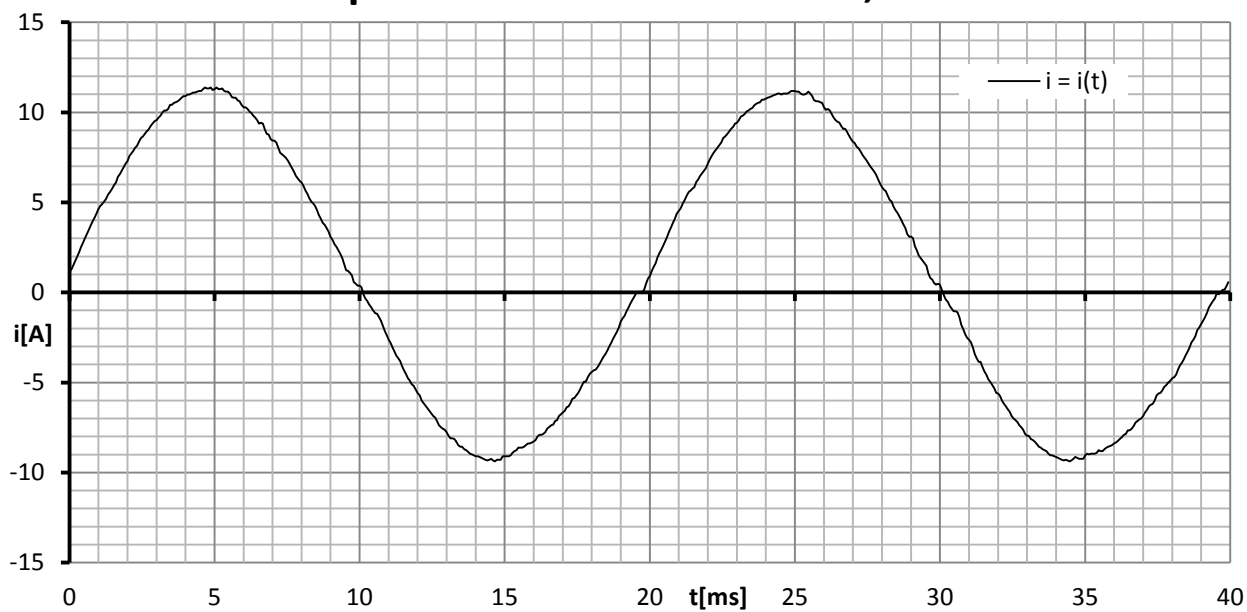
Napětí meziobvodu U_d	270 V
Zátěž	Tři rezistory $R = 6\Omega$ zapojené do hvězdy
Amplituda žádané hodnoty napětí	60 V

Průběh napětí v okamžiku připojení a průběh proudu v ustáleném stavu je patrný z následujících obrázků:



Obr. 104.: Připojení odporové zátěže s vyšším napětím

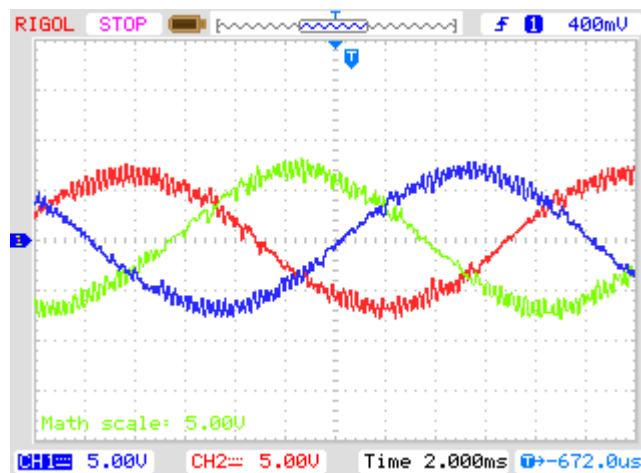
Průběh proudu v ustáleném stavu, $U_{\text{ž}} = 60 \text{ V}$



11.4 Prediktivní regulace

Prediktivní regulace ze své podstaty neumožňuje větší ladění. Nastavení prediktivního regulátoru spočívá v zadání indukčnosti tlumivek a kapacity kondenzátorů LC filtru, dále pak periody vzorkování. Při zprovoznování bylo i přes experimentování s parametry LC filtru zjištěno, že regulace nedokáže uregulovat filtr ve stavu naprázdno tak, aby výstupní napětí nekmitalo. V případě zátěže je výstupní napětí sinusové, ale značně zvlněné, jak je patrné z následujícího obrázku. Při měření byly dodrženy následující podmínky:

Napětí meziobvodu U_d	30 V
Zátěž	Trojice žárovek 12 V, 21 W, odpor za tepla $R = 6,85 \Omega$ zapojených do trojúhelníka
Amplituda napětí	žádané hodnoty 8 V



Obr. 105.: Prediktivní regulace, výstupní napětí při zátěži

Vzhledem k tomu, že s tímto typem regulace není možné provozovat zdroj v režimu naprázdno, nebyla prováděna další měření. Regulace se jeví jako nevyhovující.

ZÁVĚR

Diplomovou práci lze pomyslně rozdělit na dvě části. Teoretickou část (kapitoly 1 až 6) a praktickou část (kapitoly 7 až 11).

Teoretická část se po krátkém úvodu do typů a provedení nepřerušitelných napájecích zdrojů věnuje topologii výkonového obvodu střídače, podle požadavků na střední vodič. Pro další analýzu je vybrán trojfázový trojvětvoový střídač, jehož topologie je známá z frekvenčních měničů. Pro tuto topologii jsou dále shrnuty informace o problematice maximální dosažitelné amplitudy první harmonické výstupního napětí a způsobech generování sinusové pulsně šířkové modulace. Další kapitola teoretické části se zabývá způsobem řešení tvarové regulace, jako regulace na okamžitou hodnotu a popisem regulované soustavy. Je nalezena formální podoba mezi přenosem jednofázového sinusového LC filtru a stejnosměrného motoru, čehož je využito při výpočtu regulátorů kaskádní regulace. Dále je rozebrána transformace parametrů trojfázového sinusového LC filtru do stacionární dvoufázové soustavy obdobně jako se používá v případě modelování a řízení asynchronního motoru. Výsledkem kapitoly je model LC filtru v souřadném systému dq. Na základě poznatků z této kapitoly jsou následně navrženy regulační algoritmy, které jsou simulovány v prostředí Matlab Simulink s nástavbou SimPowerSystems. Návrh je proveden pro tři typy regulací, kaskádní, stavovou a prediktivní. Návrhy regulátorů jsou provedeny jak pro spojitý, tak pro diskrétní čas tak, aby byly později snadno implementovatelné v signálovém procesoru při zachování regulačních parametrů. Z výsledků simulací se jeví kaskádní regulace jako nejsnadněji nastavitelná, s nízkým THD při lineárním zatížení, s nelineární regulací jsou však výsledky neuspokojivé. Výsledky stavové regulace jsou kvalitnější, nejlepších výsledků dosahuje regulace prediktivní. Má však nevýhodu v závislosti na přesné znalosti parametrů regulované soustavy a neznalosti spínacího kmitočtu PWM, který může být proměnlivý. Výsledky simulací jsou shrnuty v následující tabulce:

Tab. 4.: Dosažené výsledky regulačních metod s diskrétním časem

Typ regulace	THD pro lineární zátěž [%]	THD pro nelineární zátěž [%]
Kaskádní regulace	3,6	7,69
Stavová regulace	0,7	6,04
Prediktivní regulace	1,96	5,49

Praktická část diplomové práce se zabývá realizací zdroje sinusového napětí. Střídač je řízen signálovým kontrolérem firmy TI, který je součástí vývojového kitu Experimenter's kit, který mi byl zapůjčen firmou Elcom. Základním rysům procesoru, jeho periferií a dostupným vývojovým prostředkům je věnována celá kapitola práce. Po seznámení se signálovým kontrolérem je v diplomové práci popsáno zapojení střídače, který byl rovněž zapůjčen firmou Elcom, s důrazem na vlastnosti podstatné pro návrh řídicího a měřicího modulu propojujícího vývojový kit a střídač. Na základě výsledků z analýzy zapojení střídače je později navržen zmíněný modul, který je následně vyroben a odzkoušen. Předposlední kapitola práce se věnuje realizaci simulovaných regulačních algoritmů ve zmíněném signálovém procesoru. Vzhledem k délce programů a inicializačních funkcí je každá regulační metoda popsána graficky blokovým schématem s tabulkou použitých nově definovaných datových typů a identifikátorů proměnných. Při realizaci je plně využita hardwarová podpora matematických operací s datovým typem float. Tvorba programu v jazyce C je s tímto přístupem poměrně snadná, podobná programování



skriptů v Matlabu. Poslední kapitola práce je věnována sestavení střídače, odladování regulačních algoritmů a prezentaci dosažených výsledků.

Kaskádní regulace byla odladována postupně, nejprve podřízená proudová smyčka, následně nadřízená smyčka napětíová. Zesílení, se kterými se regulovaná soustava chovala v praxi nejlépe, se výrazně liší od zesílení vypočtených. Tato skutečnost může být způsobena přístupem k návrhu regulátorů, který byl stejný jako v případě stejnosměrného motoru, kdy proudová smyčka byla navržena se zanedbáním zpětného vlivu změny výstupního napětí. I přes to však byla kaskádní regulace zprovozněna. V porovnání s regulací stavovou se kaskádní regulace jeví jako méně kvalitní, je však snadněji laditelná a její fyzikální podstata a princip funkce je snáze pochopitelný. Další realizovatelnou regulační metodou je regulace stavová. K odladování stavové regulace bylo nutné vypočítávat hodnoty zesílení odpovídající hodnotám nových pólů regulované soustavy zadaných návrhářem. Odladování této regulační metody je ve srovnání s regulací kaskádní méně průhledné. Optimální volba pólů pro je uvedena v příslušné části kapitoly. Výsledky stavové regulace a dynamika zdroje je však v porovnání s regulací kaskádní lepší, jak je patrné z naměřených průběhů výstupního napětí při skokovém připojení zátěže.

Poslední realizovanou regulační metodou je regulace prediktivní. V simulacích měla tato regulační metoda nejlepší dosažené výsledky, v praxi se však neosvědčila. Nevýhodou této regulační metody je nemožnost nastavování regulačních parametrů, protože regulace vychází z predikce výstupního napětí a proudu v $k+1$ regulačním kroku z hodnot měřených v k -tém kroku. Jedinými modifikovatelnými vstupními parametry je vzorkovací perioda a parametry LC filtru. Prediktivní regulaci se nepodařilo odladit tak, aby se střídač v režimu naprázdno nerozkmital, proto nebylo možné měřit ani odezvu na připojení zátěže.

Jako nejkvalitnější regulační metodu na základě měření vyhodnocuji regulaci stavovou. Mezi další možné optimalizace této metody lze uvést experimentování s metodami přepočtu pólů se spojitým a diskrétním časem a realizací diskrétního integrátoru. Dále by bylo možné zavést další stavovou proměnnou – vstupní napětí střídače. Tím by byla kompenzována i jeho dynamika. Aby nemuselo být výstupní napětí měřeno, je možné využít pozorovatele.

Většina měření byla prováděna se dvěma sadami zkušebních tlumivek se jmenovitou hodnotou indukčnosti 1 mH. Naměřené hodnoty indukčnosti však byly podle kapitoly 11 rozdílné. Experimentálně bylo zjištěno, že výsledky regulací jsou s nižší indukčností lepší.

V rámci diplomové práce nebylo provedeno měření se síťovým napětím z důvodů nízké jmenovité hodnoty napětí kondenzátorů LC filtru (250 V). V případě selhání regulace a rozkmitání výstupního napětí by mohlo dojít ke zničení kondenzátorů.

Pro provozování sinusového zdroje by bylo vhodné doplnit regulační algoritmy o další funkce jako je změna frekvence výstupního napětí, náběh či doběh výstupního napětí po rampě, automatickou kalibraci měření a další funkce, které by zvýšily užitnou hodnotu zdroje.



LITERATURA

- [1] RASHID, Muhammad H. *Power electronics handbook: devices, circuits, and applications handbook*. 3rd ed. Burlington, MA: Elsevier, c2011, xviii, 1389 p. ISBN 978-012-3820-365.
- [2] EE TIMES. *UPS Topologies - an introduction and comparsion* [online]. 9.7.2012. 2012 [cit. 2013-12-16]. Dostupné z: http://power-eetimes.com/en/ups-topologies-an-introduction-and-comparison.html?cmp_id=71&news_id=222904838
- [3] PATOČKA, Miroslav. *Vybrané statě z výkonové elektroniky, svazek II*. Brno, 2005. Skriptum. VUT Brno.
- [4] KLÍMA, Bohumil. *Střídavé pohony*. Brno, 2012. Skriptum. VUT Brno.
- [5] AINSWORTH, Nathan a Jerry MURPHREE. Paralleling of 3-phase 4-wire DC-AC Inverters Using Repetitive Control. *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition* [online]. [cit. 2013-12-16]. DOI: <http://dx.doi.org/10.1109/apec.2009.4802642>. Dostupné z: <http://ieeexplore.ieee.org/search/searchresult.jsp?newsearch=true&queryText=Paralleling+of+3-phase+4-wire+DC-AC+Inverters+Using+Repetitive+Control&x=0&y=0>
- [6] DASGUPTA, S., I. V. PRASANNA, S. K. SAHOO a S. K. PANDA. A novel four-leg three-phase inverter control strategy to reduce the data center thermal losses: Elimination of neutral current. *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society* [online]. [cit. 2013-12-16]. DOI: <http://dx.doi.org/10.1109/iecon.2012.6389359>.
- [7] ZHANG, R., V.H. PRASAD, D. BOROYEVICH a F.C. LEE. Three-dimensional space vector modulation for four-leg voltage-source converters. *IEEE Transactions on Power Electronics* [online]. 2002, vol. 17, issue 3 [cit. 2013-12-16]. DOI: <http://dx.doi.org/10.1109/tpel.2002.1004239>.
- [8] *Analysis and Comparison of Space Vector Modulation schemes for Three-Leg and Four-Leg Voltage Source inverters*. 1997. Dostupné z: <http://scholar.lib.vt.edu/theses/available/etd-2798-1216/unrestricted/chap3.pdf>. Master's thesis. Virginia Tech.
- [9] PATOČKA, Miroslav a Pavel VOREL. *Řídicí elektronika - pasivní obvody I. díl*. Brno, 2004. Skriptum. VUT.
- [10] VUT BRNO. *Tranzistorové pohony - učební text předmětu elektrické pohony*.
- [11] KAWABATA, T., T. MIYASHITA a Y. YAMAMOTO. Dead beat control of three phase PWM inverter. *IEEE Transactions on Power Electronics* [online]. 1990, vol. 5, issue 1, s. 21-28 [cit. 2013-12-16]. DOI: <http://dx.doi.org/10.1109/63.45996>.
- [12] BLAHA, Petr a Petr VAVŘÍN. *Řízení a regulace I*. Brno, -. Dostupné z: <https://sites.google.com/site/rizeniaregulace1/>. Skriptum. VUT.

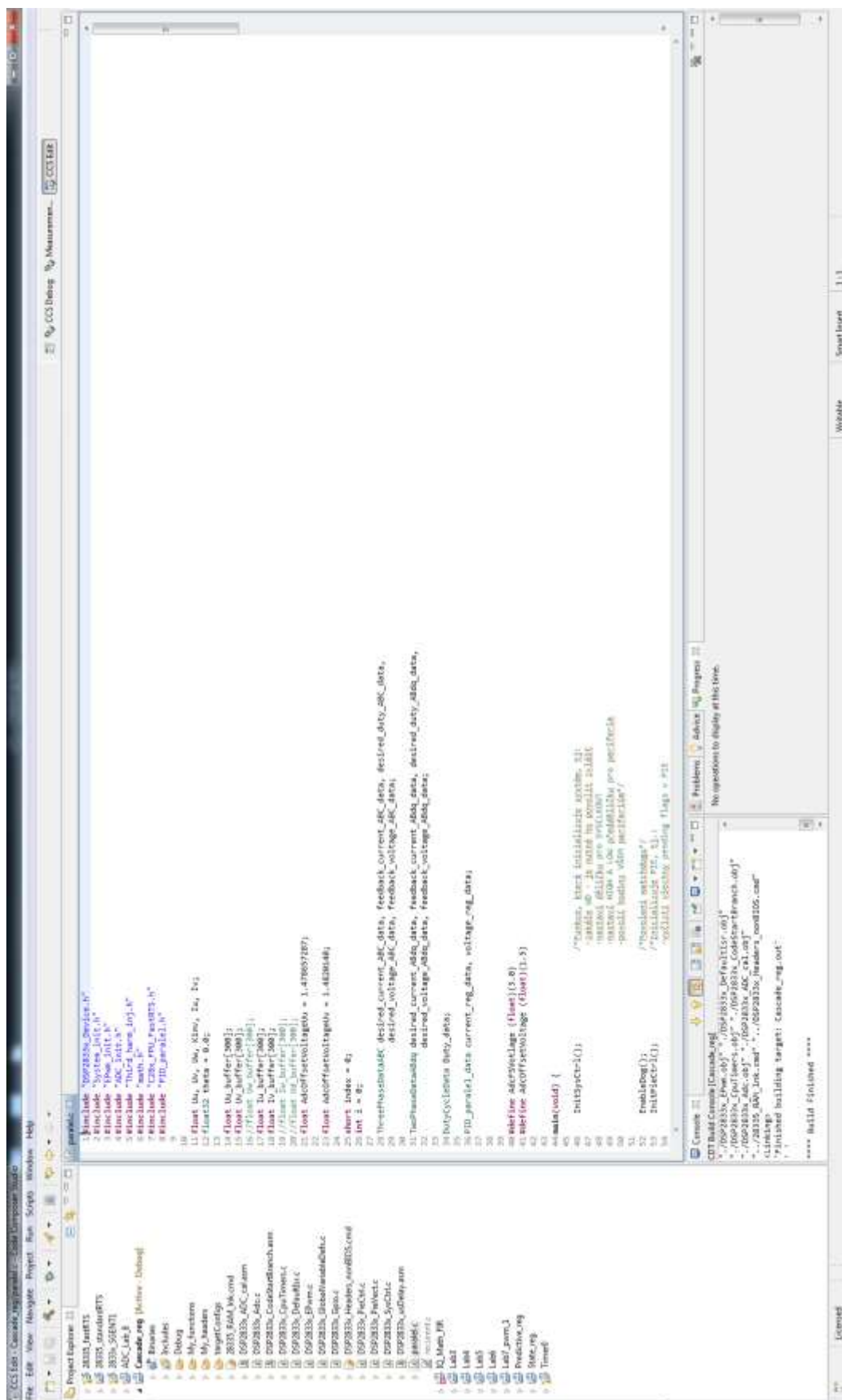


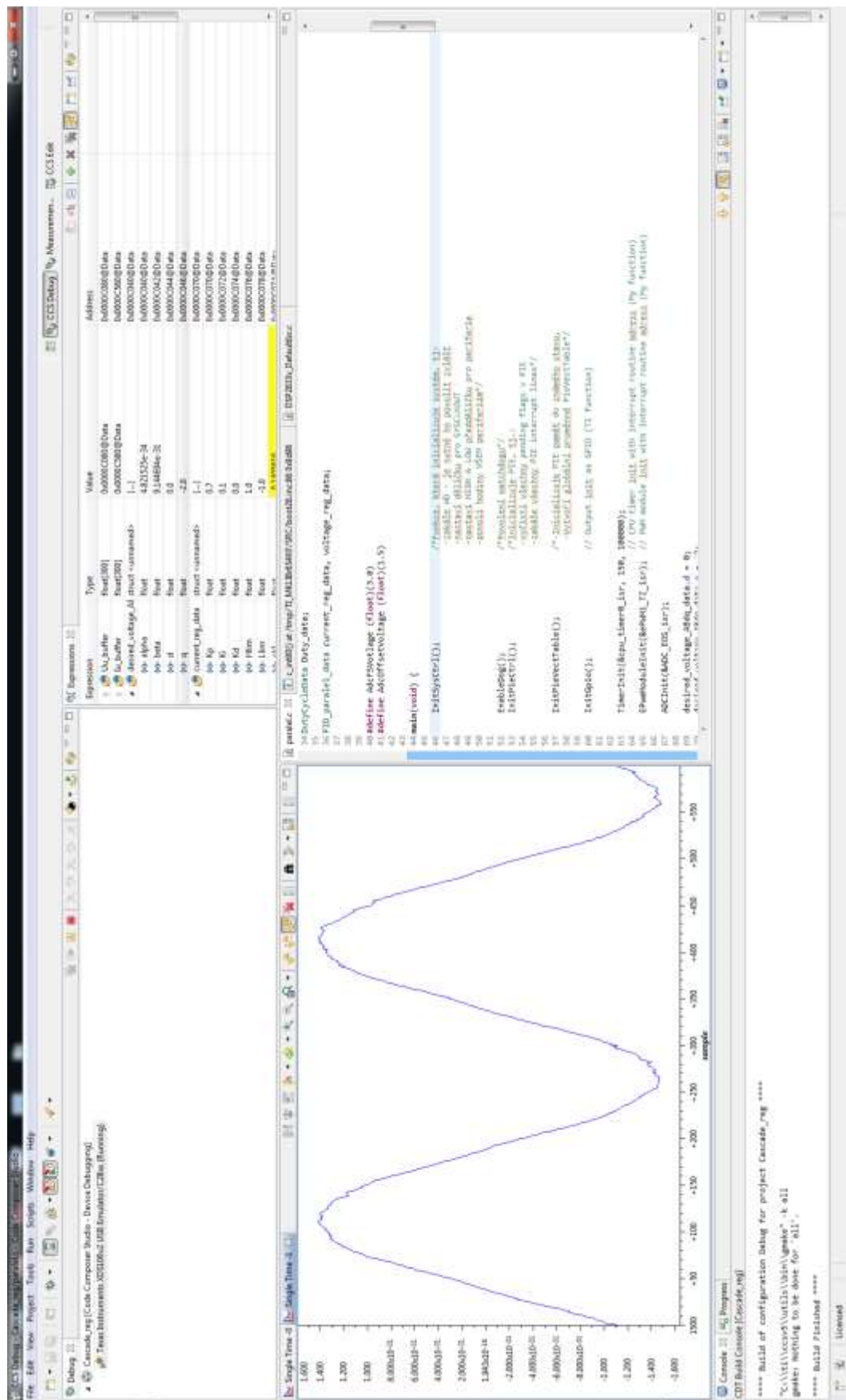
-
- [13] SKALICKÝ, Jiří. *Stavové řízení elektrických pohonů*. Brno, 2009. Skriptum. VUT.
- [14] MOHAMED, Ihab S., Sherif A. ZAID, M. F. ABU-ELYAZEED a Hany M. ELSAYED. Model predictive control-a simple and powerful method to control UPS inverter applications with output LC filter. *2013 Saudi International Electronics, Communications and Photonics Conference* [online]. s. 1826-1838 [cit. 2013-12-16]. DOI: <http://dx.doi.org/10.1109/siecpc.2013.6551018>.
- [15] TEXAS INSTRUMENTS. *Informace o produktu* [online]. 2014 [cit. 2014-05-15]. Dostupné z: <http://www.ti.com/product/tms320f28335>
- [16] BORMANN, Frank. TEXAS INSTRUMENTS. *Texas Instruments C2000 Teaching Materials*.
- [17] ControlSUITE. TEXAS INSTRUMENTS. *ControlSUITE* [online]. [cit. 2014-05-15]. Dostupné z: <http://www.ti.com/tool/controlsuite>
- [18] TEXAS INSTRUMENTS. *TMS320x2833x, 2823x Enhanced Pulse Width Modulator (ePWM) Reference Guide (Rev. A)* [web]. July 2009, 122 s. [cit. 15,5,2014].
- [19] TEXAS INSTRUMENTS. *TMS320x2833x, 2823x TMS320x2833x Analog-to-Digital Converter (ADC) Module Reference Guide* [web]. July 2009, 122 s. [cit. 15,5,2014].
- [20] *C2833x/C2823x C/C++ Header Files and Peripheral Examples* [web]. August, 2009, 59 s. [cit. 15,5,2014]. Dostupné z: <http://www.ti.com/product/tms320f28335>.
- [21] MITSUBISHI ELECTRIC. *PM75CLA120*. May, 2005, 8 s.
- [22] TEXAS INSTRUMENTS. *USB Docking Station_Schematic[R3]*. -.
- [23] ZÁHLAVA, Vít. *Návrh a konstrukce desek plošných spojů: principy a pravidla praktického návrhu*. 1. vyd. Praha: BEN - technická literatura, 2010, 123 s. ISBN 978-80-7300-266-4.
- [24] TEXAS INSTRUMENTS. *F28335 PGD controlCARD Schematic*. -.
- [25] PATOČKA, Miroslav a Pavel VOREL. *Řídicí elektronika – aktivní obvody 2. díl*. Brno, 2004. Skriptum. VUT.
- [26] TEXAS INSTRUMENTS. *SINGLE-SUPPLY, RAIL-TO-RAIL OPERATIONAL AMPLIFIERS MicroAmplifier™ Series*. 2007, 29 s.



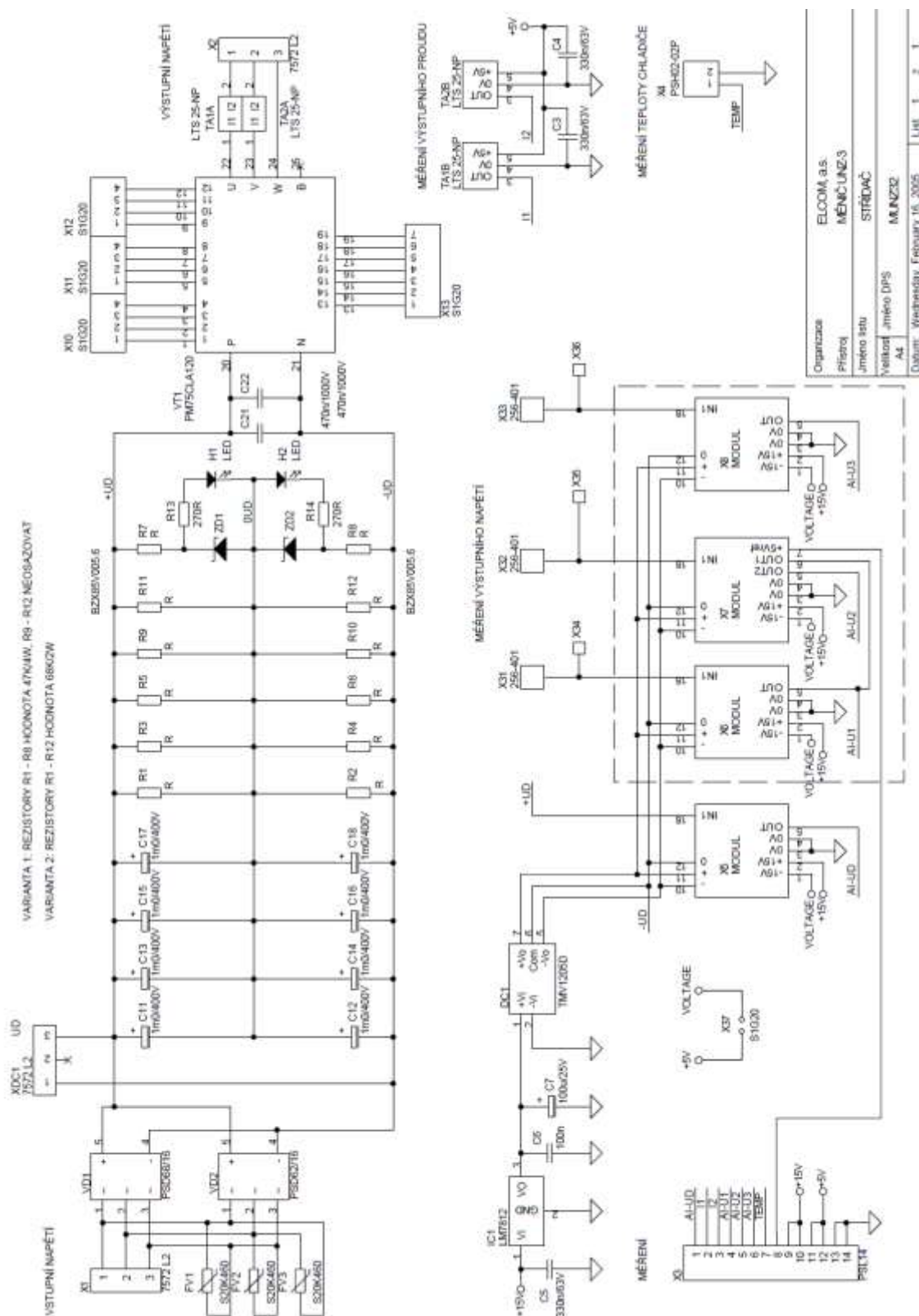
PŘÍLOHY

PŘÍLOHA A – VÝVOJOVÉ PROSTŘEDÍ CCS5

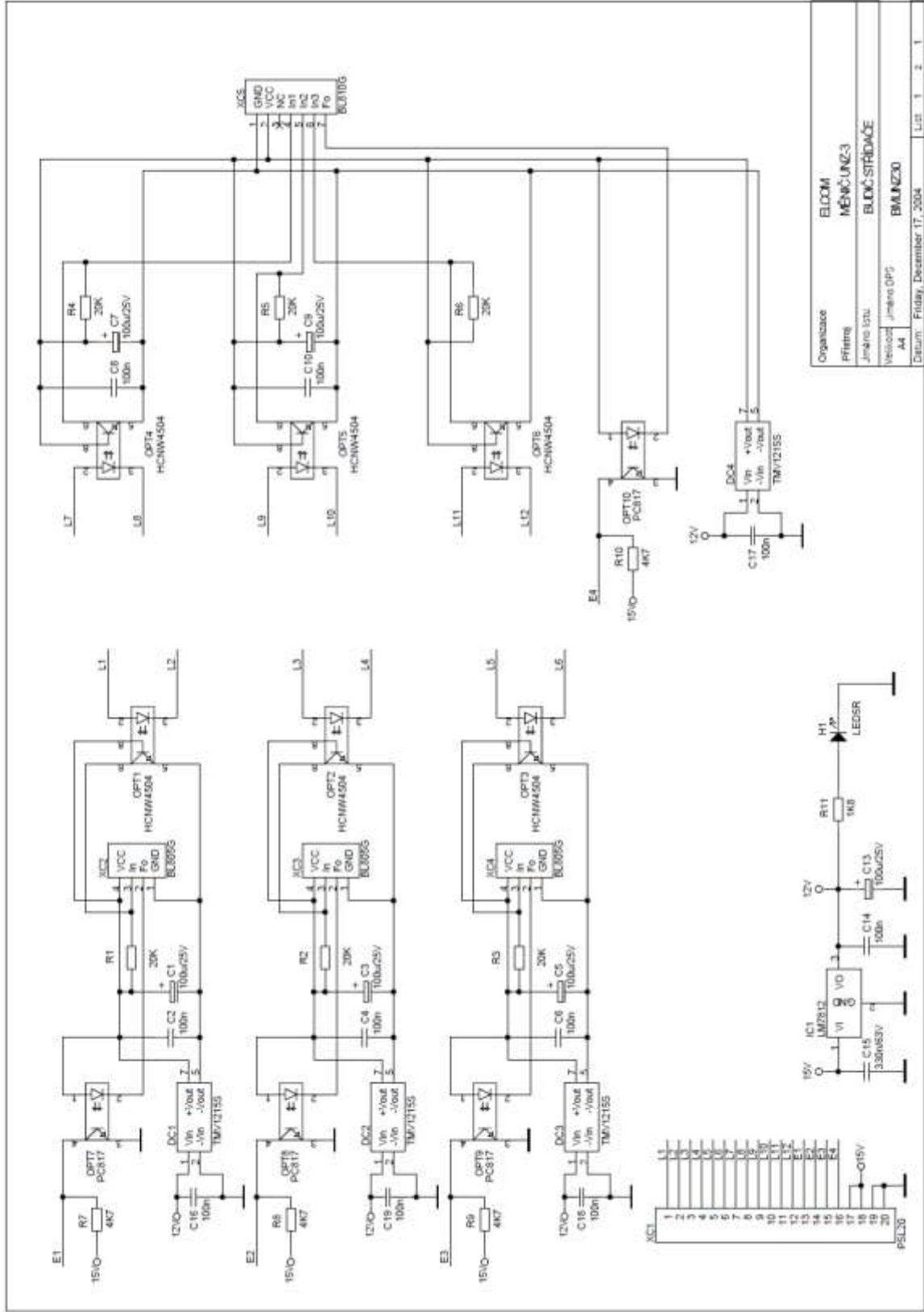




PŘÍLOHA B – ZAPOJENÍ STŘÍDAČE A BUDIČE ELCOM

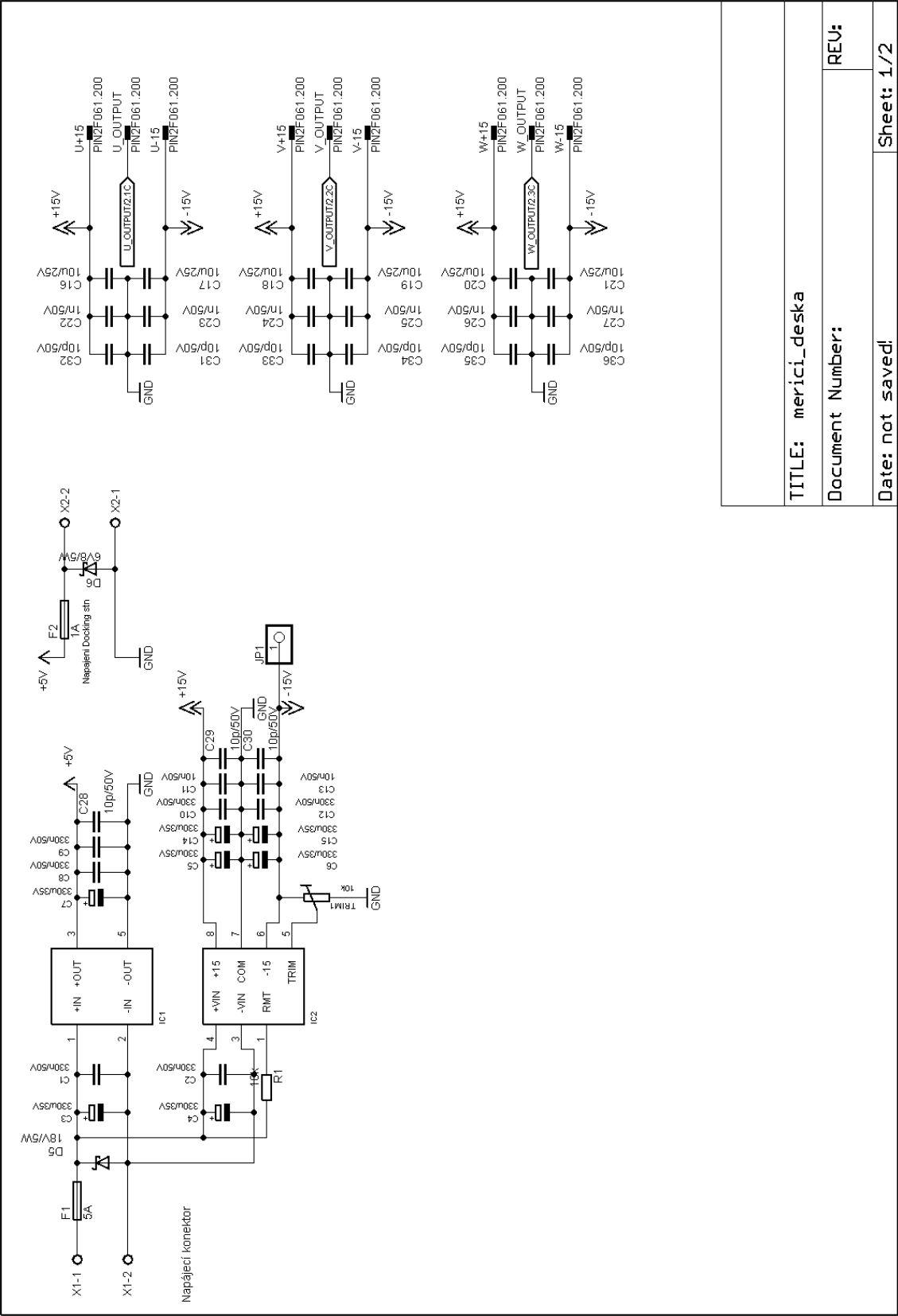


Organizacija	ELOOM, a.s.
Pistol	MENIC UNIZ3
Jmjeno istu	STRIDAC
Velikost A4	MUNIZO
1 list	2



Organizace	ELCOM
Přijetí	MÉNČ UNČ-3
Jméno kódu	BLKČ STRČČČ
Verze	Jméno DPS
A4	BAUNČČ
Datum	Friday, December 17, 2004
List	1 2 1

PŘÍLOHA C – SCHÉMA ZAPOJENÍ MĚŘÍCÍHO MODULU



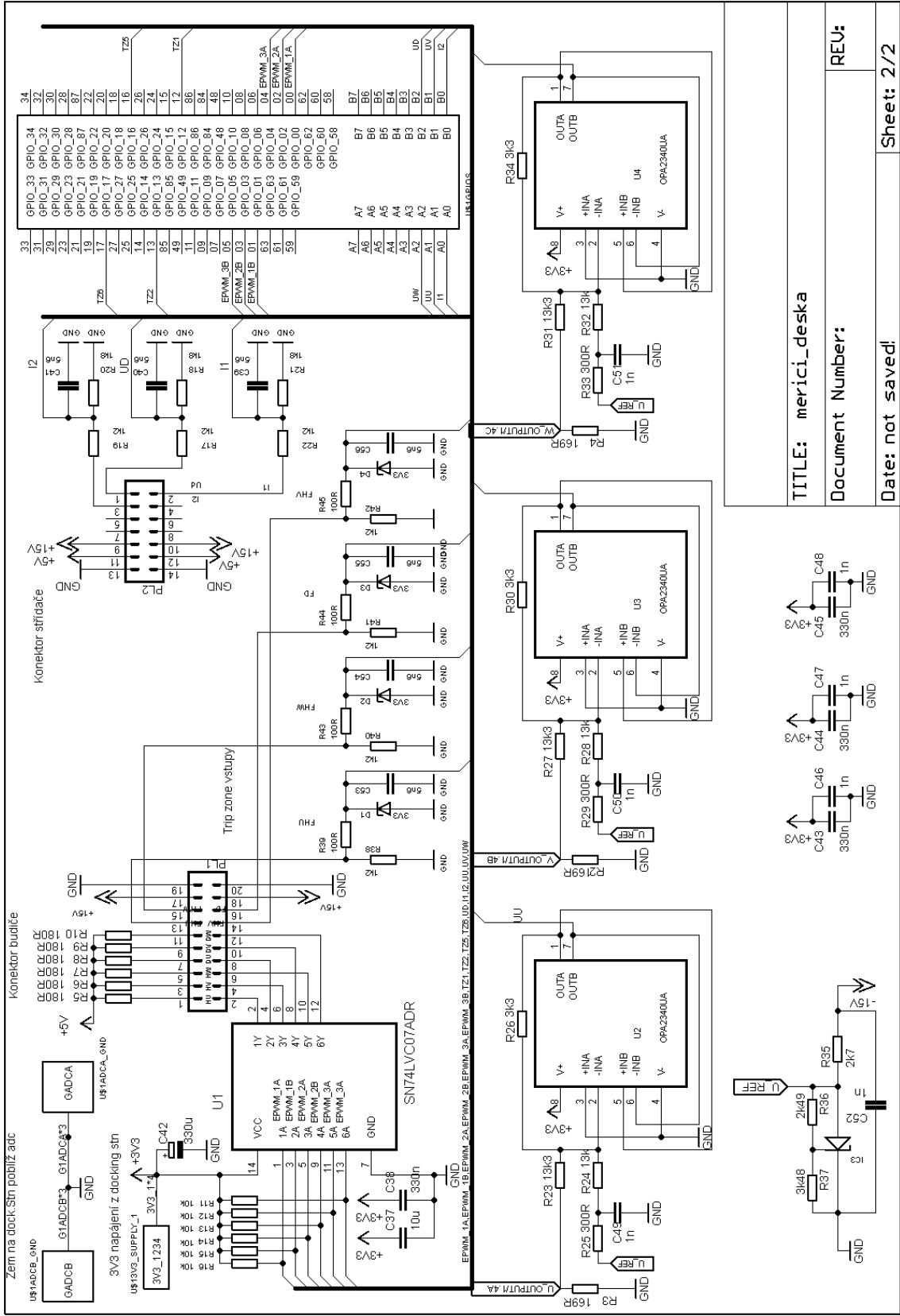
TITLE: merici_deska

Document Number:

REV:

Date: not saved.

Sheet: 1/2



TITLE: merici_deska

Document Number:

REV:

Date: not saved!

Sheet: 2/2