

Vyjádření školitele k disertační práci

Acceleration Methods for Evolutionary Design of Digital Circuits

Doktorand: Ing. Zdeněk Vašíček (FIT VUT v Brně)

Ing. Zdeněk Vašíček nastoupil do doktorského studia v září 2006. Začal se systematicky zabývat problematikou evolučního návrhu, se kterou se seznámil již v diplomové práci. Zaměřil se na efektivní obvodovou realizaci vyvíjejících se systémů v hradlových polích FPGA a později na metody akcelerace evolučního návrhu různých tříd číslicových obvodů, zejména kombinačních obvodů, obrazových filtrů a násobiček s násobnými konstantními koeficienty. Cílem jeho experimentů bylo pomocí evolučních technik najít lepší řešení (dle zvoleného kritéria) než dosahují konvenční způsoby návrhu.

Ing. Vašíček je vynikající výzkumný pracovník disponující širokým spektrem znalostí a dovedností. Jeho hlavní předností je schopnost zaměřit se na problém, najít originální řešení, efektivně řešení realizovat, ověřit a porovnat s existujícími výsledky. To vše velmi rychle, kvalitně a pečlivě. Bylo mi potěšením, že jsem mohl být jeho školitelem.

Doktorská práce obsahuje řadu originálních výsledků, z nichž nejvýznamnější jsou: (1) kompletní obvodová realizace kartézského genetického programování v FPGA, která významně snižuje dobu evoluce kombinačních obvodů a obrazových filtrů v porovnání s řešením běžícím v personálním počítači; (2) způsob evolučního návrhu obrazových filtrů pro různé typy šumu a obrazové filtry tímto způsobem navržené, které vykazují lepší kvalitu filtrace a nižší implementační cenu na čipu než konvenční řešení; (3) začlenění SAT solveru do fitness funkci, kterou využívá kartézské genetické programování pro evoluční optimalizaci číslicových obvodů, jenž umožnilo významně zvýšit kvalitu optimalizace v porovnání s běžně používanými nástroji pro syntézu a optimalizaci číslicových obvodů; (4) nová metoda pro evoluční návrh násobiček s násobnými konstantními koeficienty.

Jádro práce bylo publikováno v časopisech s impaktním faktorem (Genetic Programming and Evolvable Machines a Computing and Informatics), časopise (International Journal of Innovative Computing and Applications) a na konferencích, které je možné považovat za velmi významné, možná i nejvýznamnější, v oblastech evolučního hardware (ICES, AHS), návrhu hardware a FPGA (DATE, FPL) a evolučních algoritmů (GECCO, CEC, EuroGP). Tyto práce již byly více než 50krát citovány. Zdeněk Vašíček získal za dosažené výsledky řadu ocenění, mj. stříbrnou medaili v mezinárodní soutěži Humies 2011, Cenu J. Fouriera za výzkum v oblasti počítačových věd, Cenu Josefa Hlávky a Cenu Prof. Jana Hlavičky na semináři Počítačové architektury a diagnostika. Podílel se na řešení několika projektů GAČR, FRVŠ a MŠMT.

Vzhledem k tomu, že předložená práce obsahuje původní vědecké výsledky, které již byly publikovány, a její vypracování odpovídá požadavkům kladeným na doktorské disertace, doporučuji práci k obhajobě.

Prof. Ing. Lukáš Sekanina, Ph.D.
školitel
UPSY FIT VUT v Brně

Brno 9. 3. 2012