

Oponentní posudek diplomové práce

Ústav:	Ústav radioelektroniky	Akademický rok: 2016/17
Student(ka):	Bc. Jakub Žádník	
Studijní program:	Elektrotechnika, elektronika, komunikační a řídicí technika (N2643)	
Studijní obor:	Elektronika a sdělovací technika (2612T018)	
Vedoucí diplomové práce:	prof. Ing. Roman Maršálek, Ph.D.	
Oponent diplomové práce:	Ing. Jiří Slovák	

Název diplomové práce:

Implementation of Fast Fourier Transformation on Transport Triggered Architecture

Celkové hodnocení diplomové práce

Předloženou diplomovou práci doporučuji k obhajobě.
Celkový počet bodů: 94.

Slovní hodnocení:

Diplomová práce se zabývá problematikou optimalizace implementace algoritmu pro výpočet rychlé Fourierovy transformace na procesorech typu TTA.

Úvodní část obsahuje stručné seznámení s metodami pro výpočet FFT včetně zdůvodnění volby výsledného algoritmu. Následuje nezbytný popis architektury TTA a vývojového prostředí TCE, který je podán formou srozumitelnou i pro osoby doposud s nimi neseznámené.

Praktická část práce je systematicky rozdělena na tři hlavní části. V první, zabývající se modelem bez časování, kladně hodnotím použití volně dostupných nástrojů a knihoven. Samotný kód v jazyce Python je psán přehledně a poskytuje řadu funkcí užitečných pro pozdější porovnání s reálnou implementací. Vhodným rozšířením by mohla být varianta modelu pracující výhradně s čísly s pevnou řádovou čárkou, použitelná např. pro vyhodnocení strategií pro zaokrouhlování či prevenci přetečení.

V rámci popisu modelu s časováním, vytvořeného v prostředí TCE, je poměrně detailně představen princip, jakým bylo dosaženo jednoho z cílů práce, tedy redukce potřebného počtu instrukcí v hlavní výpočetní fázi. Přínos je vyčíslen na základě výpočtu, chybí však podrobnější vyhodnocení reálných výsledků simulace. Příkladem by mohlo být např. grafické porovnání s modelem bez časování pro vyčíslení vlivu kvantizace operandů.

Poslední kapitola práce se zabývá samotným návrhem RTL bloků. Bloková schémata srozumitelně vyjadřují chování jednotlivých funkčních jednotek, pro větší názornost by však bylo vhodné zahrnout také šířky jednotlivých signálů, tabulkový popis operačních kódů a v případě komplexní sčítačky také stavový diagram. VHDL kód je psán opět přehledně, kladnými body jsou použití standardních knihoven či dodržení jasných pravidel pro formátování kódu.

V době hodnocení práce byl projekt ve fázi verifikace kódu funkčních jednotek a nebylo tedy k dispozici porovnání výsledků RTL simulací s výstupy modelů systému. Vzhledem k výše uvedenému taktéž nebyla provedena demonstrace funkce na audio aplikaci. Kromě běžných překlepů lze textu práce vytknout absenci explicitního popisu příloh. Přes zmíněné nedostatky však nemohu zpochybnit kvality studenta, jenž kromě důkladného porozumění tématu prokázal také schopnosti v dalších oblastech (např. psaní skriptů, práce s git) a hodnotím tedy stupněm výborný.

Otázky k obhajobě:

Jakým způsobem byste postupoval, v případě že některá z aritmetických funkčních jednotek nesplní požadavky na časování (STA) při HW implementaci návrhu?



Ing. Jiří Slovák
Oponent diplomové práce