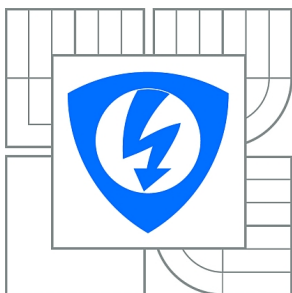




VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH NAPĚŤOVÉ REFERENCE V TECHNOLOGII ONSEMI I3T

DESIGN OF VOLTAGE REFERENCE CIRCUIT IN ONSEMI I3T TECHNOLOGY

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

LUKÁŠ PĚČEK

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. VILÉM KLEDROWETZ, Ph.D.

BRNO 2015



**VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky
a komunikačních technologií**

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Lukáš Pěček

ID: 154831

Ročník: 3

Akademický rok: 2014/2015

NÁZEV TÉMATU:

Návrh napěťové reference v technologii ONSemi I3T

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte různé typy napěťových referencí v technologiích CMOS a BiCMOS. Porovnejte jejich výhody a nevýhody. Navrhněte přesnou napěťovou referenci v technologii I3T25. Ověřte správnou funkci obvodu v průmyslovém teplotním rozsahu a ve výrobním rozptylu procesu. Navrhněte layout čipu. Vyhodnoťte dosažené parametry.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 10.2.2015

Termín odevzdání: 4.6.2015

Vedoucí práce: Ing. Vilém Kledrowetz, Ph.D.

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Napěťové reference tvoří základní součást většiny integrovaných obvodů. Cílem této práce je popsat jejich princip a v technologii ONSem I3T25 navrhnout kompletní obvod reference včetně layoutu. Byla navržena bandgap napěťová reference s výstupním napětím 1,25 V a s předstabilizací napětí. Pro zvýšení přesnosti byl použit pětibitový trimovací obvod.

Abstract

Voltage references form an essential part of most integrated circuits. The aim of this thesis is to describe their principle and design complete circuit including layout in ONSem I3T technology. Bandgap voltage reference with 1,25 V output and with preregulator was designed. Five-bit trimming circuit was used to increase accuracy.

Klíčová slova

napěťová, CMOS, bandgap, reference, Brokaw, trimování

Keywords

voltage, CMOS, bandgap, reference, Brokaw, trimming

Bibliografická citace díla

PĚČEK, L. *Návrh napěťové reference v technologii ONSemi I3T*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 89 s. Vedoucí práce Ing. Vilém Kledrowetz, Ph.D.

Prohlášení

Prohlašuji, že svou bakalářskou práci na téma „Návrh napěťové reference v technologii ONSemi I3T“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne 31. května 2015

(podpis autora)

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Vilému Kledrowetzovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

OBSAH

Úvod	8
1 Úvod do problematiky	9
1.1 Technologie CMOS	10
1.1.1 Bipolární tranzistory v technologii CMOS.....	11
1.2 Technologie BiCMOS.....	12
2 Technologie ONSemi I3T25	14
3 Napěťová reference CMOS	17
3.1 Princip funkce	17
3.2 Návrh a simulace CMOS reference	20
4 Bandgap napěťová reference	24
4.1 Princip funkce	24
4.2 Brokawova reference s operačním zesilovačem.....	28
4.2.1 Start obvodu	30
4.2.2 Operační zesilovač.....	31
4.2.3 Návrh a simulace Brokawovy reference s OZ.....	34
4.3 Brokawova reference bez operačního zesilovače.....	38
4.3.1 Návrh a simulace Brokawovy reference	39
5 Srovnání jednotlivých referencí	43
6 Návrh bandgap reference	45
6.1 Návrh jádra reference.....	45
6.1.1 Operační zesilovač.....	47
6.1.2 Trimovací obvod.....	51
6.2 Předstabilizátor	54
6.3 Startovací obvod	57
6.4 Layout	59
7 Dosažené parametry	61

Obsah	7
Závěr	65
Literatura	66
Seznam zkratek a symbolů	70
Seznam příloh	73

ÚVOD

Mnoho elektronických systémů, jako jsou A/D a D/A převodníky, napájecí zdroje, LED budiče, měřicí přístroje, DRAM, FLASH paměti aj., ke své správné funkci potřebují definovanou vztahnou úroveň napětí – potřebují součást, která „ví, jak velký volt je“. I pro nastavení pracovních bodů tranzistorů a bloků ve většině, ne-li ve všech, ostatních analogových a smíšených analogově-digitálních integrovaných obvodů je nutné definované napětí. Tuto funkci zajišťuje napěťová reference. Jelikož referenční napětí přímo ovlivňuje ostatní bloky celého obvodu a tím i jeho celkovou výkonnost, je od ní požadováno, aby její napětí bylo přesné a stabilní. To v ideálním případě znamená nezávislé na toleranci výrobního procesu, na teplotě i napájecím napětí. Protože v reálném světě ideálního stavu nelze dosáhnout, snahou je se mu alespoň co nejvíce přiblížit. Z tohoto důvodu je nezbytná teplotní kompenzace, vhodně navržená topologie obvodu snižující vliv nesouběhu součástek (matching), případně i možnost dostavení požadovaného napětí po výrobě (trimování). Důležité je však zohlednit i míru potřeby vysoké přesnosti reference v konkrétním obvodu a s tím související ekonomické aspekty (dané zejména výslednou plochou na čipu). Nejčastěji se používají variace zapojení bandgap napěťové reference, které vhodně využívají vlastností bipolárních tranzistorů. Cílem této práce je ukázat různé možnosti realizací napěťových referencí a navrhnout kompletní obvod reference včetně layoutu. [1], [2], [3], [4], [5], [6], [7]

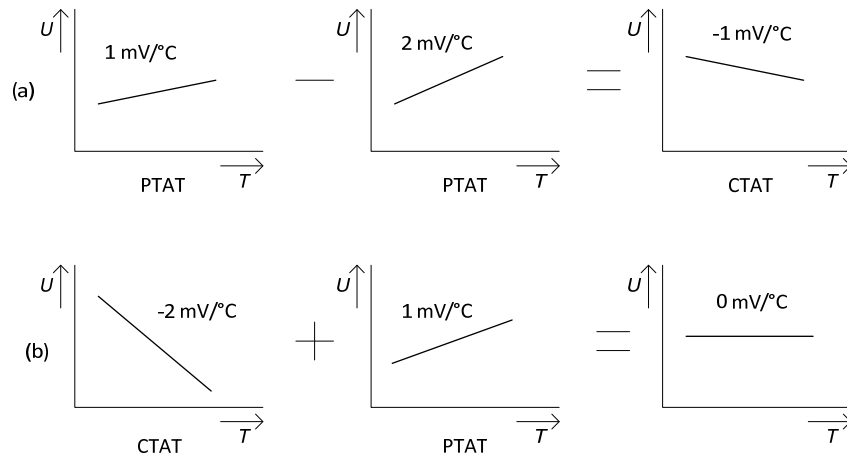
1 ÚVOD DO PROBLEMATIKY

Vlastnosti většiny elektronických součástek a obvodů jsou závislé na teplotě. Jedním z klíčových parametrů všech napěťových referencí je proto jejich teplotní stabilita vyjádřena teplotním koeficientem. Ten je udáván v jednotkách ppm/°C a definován vztahem (1.1) [8]:

$$TC_{ref} = \frac{1}{U_{ref}} \frac{\partial U_{ref}}{\partial T}. \quad (1.1)$$

Podle znaménka teplotního koeficientu je rozlišováno [9]:

- PTAT napětí (proportional to absolute temperature) – napětí, které se zvyšující se teplotou roste, směrnice je kladná.
- CTAT napětí (complementary to absolute temperature) – napětí, které se zvyšující se teplotou klesá, směrnice je záporná.



Obr. 1.1: (a) Vytvoření CTAT průběhu z PTAT; (b) princip teplotní kompenzace

Napětí CTAT může být vytvořeno rozdílem dvou PTAT napětí s různými směrnici průběhu. Při vzájemném sečtení předvídatelných, dobře popsanych PTAT a CTAT napětí nebo proudů ve vhodném poměru vznikne teplotně nezávislá hodnota (obr. 1.1). Toho se obecně využívá i při teplotní kompenzaci a návrhu

referencí. V praxi nejsou teplotní závislosti prvků zcela lineární, čímž se úplně nevykompenzují – dojde k odstranění jen složky 1. řádu.

Celková přesnost reference je popsána [8]:

$$Přesnost = \frac{\Delta U_{IC} + \Delta U_{TC} + \Delta U_{LNR}}{U_{ref}}, \quad (1.2)$$

kde IC (initial accuracy) vyjadřuje vlastní přesnost danou odchylkami při výrobě, TC je teplotní koeficient a LNR (line regulation) závislost na napájení. Přesnost lze udávat v jednotkách ppm, procentech, popřípadě v bitech. Například pokud se nominální napětí reference 1,25 V mění o $\pm 12,5$ mV, je její přesnost 10 000 ppm ($1 \cdot 10^6 \cdot 12,5 \text{ mV} / 1,25 \text{ V}$), ± 1 % ($100 \cdot 12,5 \text{ mV} / 1,25 \text{ V}$), respektive 6 bitů ($12,5 \text{ mV} \leq 1,25 \text{ V} / 2^n \Rightarrow n \leq \log(1,25 \text{ V} / 12,5 \text{ mV}) / \log(2)$).

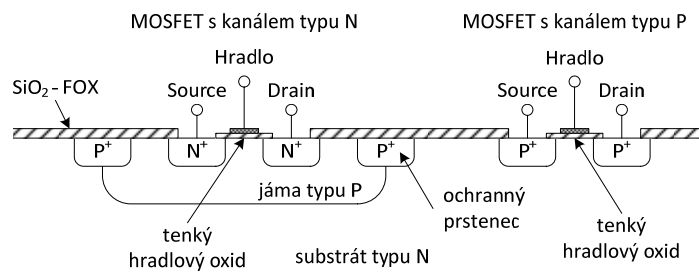
Při výrobě většiny dnešních integrovaných obvodů převládá technologie CMOS, která je svými vlastnostmi ideální pro digitální obvody. Jelikož digitální obvody nejsou příliš závislé na výrobních nepřesnostech, standardní proces CMOS nemusí mít přesně definované parametry součástek, což se projevuje i jejich horším souběhem [10]. Snahou je mít však celý design na jednom čipu, tudíž i s přesnou napěťovou referencí. Existují zapojení pouze s CMOS součástkami založená například na rozdílu prahových napětí tranzistorů NMOS a PMOS [11] nebo dvou tranzistorů v podprahovém režimu [12]. Mnohem vhodnější jsou však zapojení s bipolárními tranzistory, s nimiž lze dosáhnout vyšších přesností [6]. Ty jsou běžně dostupné v bipolárním a BiCMOS procesu a i ve standardní CMOS technologii lze vytvořit vertikální bipolární tranzistory, které budou dostatečně vhodné pro generování definovaného napětí [13]. Z tohoto důvodu se napěťová reference v integrovaných obvodech nejčastěji řeší bandgap zapojením využívající právě bipolárních tranzistorů.

1.1 Technologie CMOS

Zkratka CMOS – complementary metal–oxide–semiconductor odkazuje na fyzickou strukturu tranzistorů, které tato technologie poskytuje. Ty jsou tvořené vrstvami

kov-oxid-polovodič a jedná se o dva základní typy polem řízeného tranzistoru s indukovaným kanálem typu N (NMOS) a typu P (PMOS), jenž se vzájemně symetricky doplňují.

Základem je křemíkový wafer s epitaxní vrstvou typu N nebo P sloužící jako substrát. V něm je iontovou implantací popřípadě difúzí vytvořena jáma (well) opačného typu – tzn. pro N substrát typu P (p-well), ve kterém následně budou ležet NMOS tranzistory. V aktivní oblasti tranzistoru (okolí hradla) se nechá vyrůst tenká vrstva oxidu pokrytá nitridem křemičitým. V ostatních oblastech se lokální oxidací (LOCOS) vytvoří silnější vrstva oxidu (field oxide – FOX) sloužící jako izolace. Polykřemíková hradla jsou poté deponována a fotolitografickým procesem ponechána jen na určených místech. Pro vytvoření tranzistoru NMOS se fotorezistem zakryjí místa s tranzistory PMOS a iontovým svazkem donorů implantují N^+ oblasti tvořící source a drain tranzistorů, přičemž oxidová vrstva brání průchodu iontů pod hradla (self-aligned). Podobně se postupuje u tranzistorů PMOS. Výslednou strukturu ukazuje obr. 1.2. [14], [15]

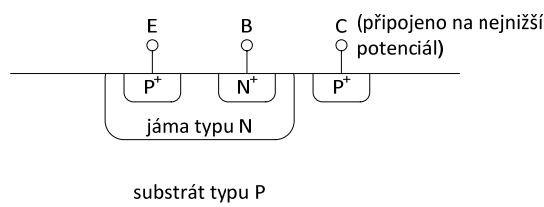


Obr. 1.2: CMOS struktura (upraveno dle [15])

1.1.1 Bipolární tranzistory v technologii CMOS

Standartní digitální technologie CMOS umožňuje pomocí svých výrobních kroků využít i parazitní bipolární tranzistor, jehož kolektor je tvořen substrátem. Bází tvoří oblast jámy a v nich jako emitor slouží source/drain implant. Jelikož proud teče kolmo na substrát, jedná se o vertikální bipolární tranzistor (obr. 1.3). V procesu používajícím substrát typu N se jedná o npn tranzistor a naopak. Parametry takového tranzistoru silně závisí na hloubce jámy a její dotaci a hlavní limitací

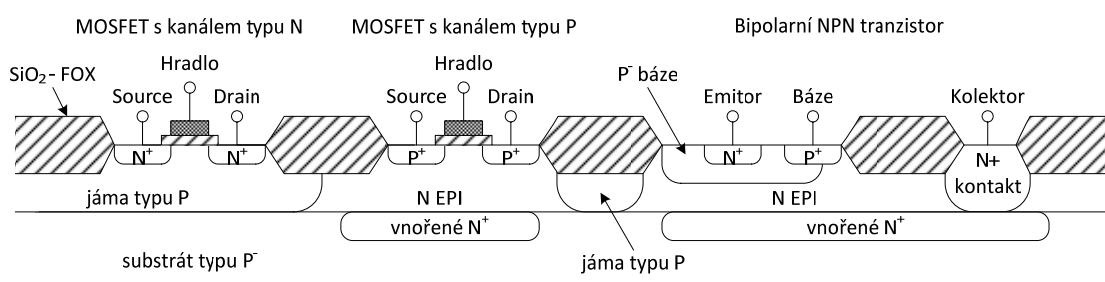
jsou spojené kolektory všech bipolárních tranzistorů substrátem k napájecímu napětí (případně zemi), nízká hodnota bety i velký kolektorový odpor [14]. I přes tato omezení jsou vertikální bipolární tranzistory vhodné pro použití v bandgap referencích a často se využívají.



Obr. 1.3: Vertikální bipolární pnp tranzistor v CMOS technologii (upraveno dle [14])

1.2 Technologie BiCMOS

Technologie BiCMOS kombinuje bipolární i CMOS tranzistory na jednom čipu, čímž umožňuje využít výhod obou typů tranzistorů. To je vykoupeno vyšší cenou danou větší komplexností a počtem výrobních operací. Obr. 1.4 ukazuje jednu z možností realizace součástek v technologii BiCMOS [16]. V případě substrátu typu P je vytvořena vnořená vrstva (buried layer) N^+ . Tu pokrývá epitaxní vrstva N, v níž leží PMOS tranzistory. Ty jsou spolu s tranzistory NMOS vyráběny obdobným způsobem jako v technologii CMOS.



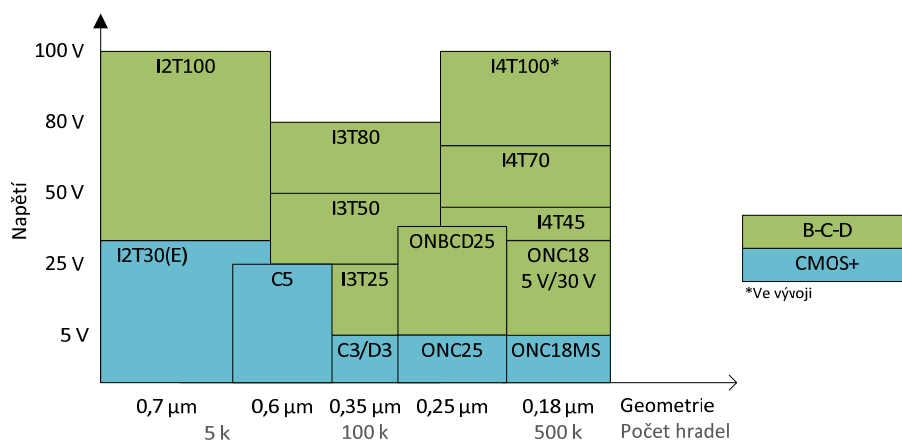
Obr. 1.4: BiCMOS struktura (upraveno dle [16])

Kolektor bipolárního tranzistoru (nnp) tvoří epitaxní vrstva N. Vnořená N^+ vrstva zajišťuje jeho nízký sériový odpor i odolnost vůči latchup efektu. Další snížení kolektorového odporu je dosaženo kontaktováním vnořené N^+ vrstvy hlubokou difuzí N^+ . Báze je tvořena speciální úzkou oblastí P^- a emitor source/drain N^+

implantem. Jednotlivé tranzistory izoluje závěrně polarizovaný přechod PN vytvořený p-jámou v epitaxní vrstvě N. Tímto způsobem se výrazně zlepši parametry bipolárních tranzistorů oproti standardní technologii CMOS. Především již není kolektor vodivě spojen se substrátem a tím i s napájením (zemí), úzkou bázovou nízkodotovanou oblastí je zvýšen proudový zesilovací činitel β a je snížen sériový odpor kolektoru [16].

2 TECHNOLOGIE ONSEMI I3T25

Přehled dostupných výrobních procesů firmy ON Semiconductor pro zákaznické obvody se smíšenými signály (mixed-signal ASIC) je ukázán na obr. 2.1. Rozdělení vyplývá z minimální délky kanálu a průrazného napětí dané technologie.



Obr. 2.1: Přehled výrobních technologií firmy ON Semiconductor (upraveno dle [17])

Technologie I3T25 používá substrát typu P s epitaxní vrstvou typu N. Dostupné jsou tranzistory s délkou od 0,35 μm určené pro napájecí napětí 3,3 V, nabízí však i vysokonapěťové DMOS tranzistory schopné pracovat až do 18 V a další analogové možnosti [18]:

- precizní lineární kov-kov kondenzátory,
- precizní polykřemíkové rezistory s vysokou rezistivitou,
- plovoucí NDMOS a PDMOS tranzistory,
- NPN a PNP bipolární tranzistory,
- plovoucí nízkonapěťové diody,
- schottkyho diody.

Parametry vybraných součástek technologie I3T jsou shrnuty v tabulkách 2.1, 2.2, 2.3 a 2.4.

Tab. 2.1: Parametry NMOS tranzistoru technologie I3T25 [19]

Parametr	Min	Typ	Max	Jednotky
U_{th}	542	599	656	[mV]
KP	138,6	166,1	197,2	[$\mu A/V^2$]
I_{dsat}	384,7	428,7	495,2	[μA]
$TC[U_{th}]$		-0,99		[mV/°C]

Pozn.: platí za podmínek: $W/L = 10 \mu m/10 \mu m$; $U_{ds} = 100 \text{ mV}$; $U_{bs} = 0 \text{ V}$

Tab. 2.2: Parametry PMOS tranzistoru technologie I3T25 [19]

Parametr	Min	Typ	Max	Jednotky
U_{th}	-681	-598	-519	[mV]
KP	32,9	38,9	41	[$\mu A/V^2$]
I_{dsat}	-99	-89,2	-76,8	[μA]
$TC[U_{th}]$		1		[mV/°C]

Pozn.: platí za podmínek: $W/L = 10 \mu m/10 \mu m$; $U_{ds} = -100 \text{ mV}$; $U_{bs} = 0 \text{ V}$

Tab. 2.3: Parametry polykřemíkového rezistoru s vysokou rezistivitou (HIPOR) [19]

Parametr	Min	Typ	Max	Jednotky
R_{sh}	775	975	1175	[$\Omega/\square$]
TC_1	-1,42	-1,42	-1,42	[mK ⁻¹]
TC_2	2,87	2,87	2,87	[μK^{-2}]

TC_1 – lineární teplotní koeficient

TC_2 – kvadratický teplotní koeficient

Tab. 2.4: Parametry bipolárního NPN tranzistoru o velikosti $5 \mu m \times 5 \mu m$ [20]

Parametr	Min	Typ	Max	Jednotky
$\beta \text{ max.}$	9,63	11,26	12,89	[-]
U_{BE}^*	650,14	650,70	651,26	[mV]
U_e	-5,46	2,51	10,48	[V]

* $I_b = 4 \mu A$

Simulace jednotlivých zapojení v této práci jsou prováděny v průmyslovém teplotním rozsahu od $-40\text{ }^{\circ}\text{C}$ do $85\text{ }^{\circ}\text{C}$. Pro simulaci vlivů tolerancí výrobní technologie je využívána corner analýza. Tou je postihnout i rozptyl napájecího napětí od 3 V do 3,6 V. Corner analýza však nezohledňuje souběh součástek (stejnost jejich parametrů). Proto je vždy za podmínek nejhoršího případu z corner analýzy provedena simulace Monte Carlo postihující náhodný rozptyl parametrů součástek mezi sebou. Výsledky jsou poté udávány se směrodatnou odchylkou 3 σ představující pravděpodobnost 99,73 %.

3 NAPĚŤOVÁ REFERENCE CMOS

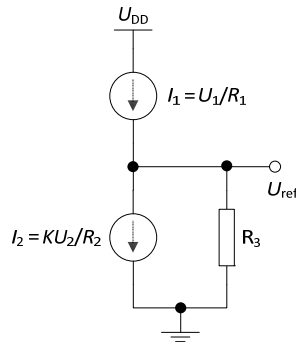
V následující kapitole je popsáno zapojení napěťové reference založené na částečné kompenzaci prahového napětí a pohyblivosti nosičů náboje pomocí proudového rozdílu [21]. Jelikož tento obvod používá jen MOS tranzistory a rezistory, je snadno realizovatelný pomocí levné standardní CMOS technologie.

3.1 Princip funkce

Pokud jsou dva elektrické proudy s rozdílnou velikostí ale s podobnou teplotní závislostí od sebe odečteny, má výsledný proud teplotní koeficient blízký nule. Ten lze poté využít ke generování stabilního napětí na rezistoru. Tento koncept ukazuje obr. 3.1, z něhož lze referenční napětí popsat jako

$$U_{ref} = \frac{R_3}{R_1} \left(U_1 - K \frac{R_1}{R_2} U_2 \right), \quad (3.1)$$

kde K je konstanta zahrnující např. poměr velikostí tranzistorů. Jelikož U_{ref} závisí na poměru rezistorů R_3/R_1 a R_1/R_2 , má jejich teplotní závislost jen malý vliv na výstupní napětí.



Obr. 3.1: Princip odečítání proudů

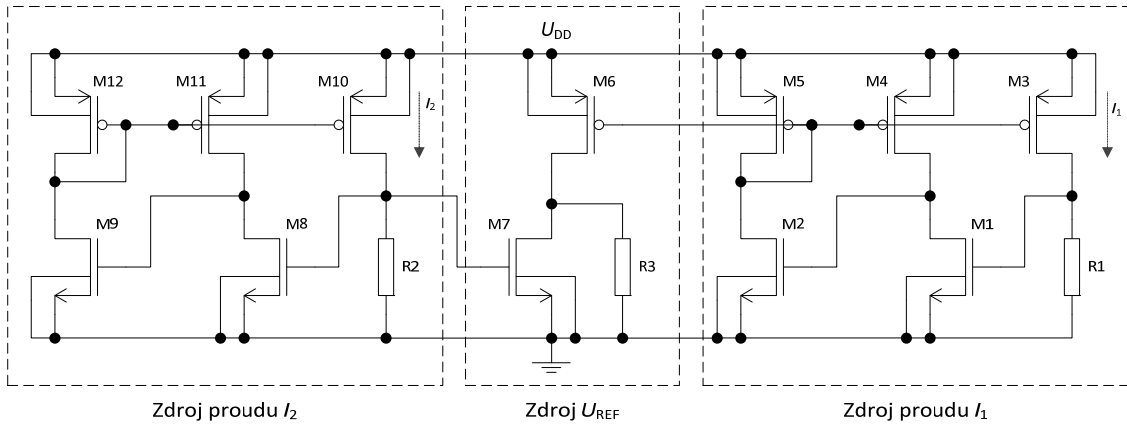
Derivací (3.1) podle teploty a položení nule

$$\frac{\partial U_{ref}}{\partial T} = \frac{R_3}{R_1} \left(\frac{\partial U_1}{\partial T} - K \frac{R_1}{R_2} \frac{U_2}{\partial T} \right) = 0 \quad (3.2)$$

je možné odvodit podmínku pro dosažení teplotní nezávislosti:

$$\frac{\partial U_1}{\partial T} / \frac{U_2}{\partial T} = K \frac{R_1}{R_2}. \quad (3.3)$$

Koeficient K a R_1/R_2 slouží ke zrušení rozdílů teplotních koeficientů mezi U_1 a U_2 , zatímco poměr R_3/R_1 nastavuje hodnotu referenčního napětí na požadovanou úroveň.



Obr. 3.2: Schéma zapojení napětové reference CMOS (upraveno dle [21])

Zapojení (obr. 3.2) využívá dvou stejných obvodů proudových zdrojů vytvářejících proudy I_1 a I_2 s rozdílnou velikostí a teplotními koeficienty. Ke stabilizaci proudu slouží zpětná vazba. Tranzistory M_1, M_2, M_5 a M_3 (resp. M_8, M_9, M_{12} a M_{10}) tvoří zápornou zpětnou vazbu udržující napětí na rezistoru R_1 (resp. R_2) konstantní, zatímco M_2, M_5 a M_4 (resp. M_9, M_{12} a M_{11}) vytvářejí kladnou vazbu. Výsledná zpětná vazba je však záporná, což zaručuje stabilitu [22]. Tranzistory M_3, M_4 a M_5 (M_{10}, M_{11} a M_{12}) tvoří proudové zrcadlo a jsou identické. Proud I_1 (I_2) rezistorem R_1 (resp. R_2) je tedy shodný s proudem M_1 (M_8) a za předpokladu, že všechny

tranzistory pracují v saturačním režimu, ho lze snadno z kvadratické rovnice vyjádřit a vypočítat napětí U_1 na rezistoru R_1 :

$$U_1 = U_{thn} + \frac{1 + \sqrt{1 + 2R_1 U_{thn} \mu_n C_{ox} \left(\frac{W}{L}\right)_1}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_1 R_1}. \quad (3.4)$$

Derivací U_1 podle teploty se obdrží jeho teplotní závislost:

$$\begin{aligned} \frac{\partial U_1}{\partial T} = V_{thn} & \left(\frac{1}{U_{thn}} \frac{\partial U_{thn}}{\partial T} + \frac{\frac{1}{U_{thn}} \frac{\partial U_{thn}}{\partial T} + \frac{1}{R_1} \frac{\partial R_1}{\partial T} + \frac{1}{\mu_n} \frac{\partial \mu_n}{\partial T}}{\sqrt{1 + 2R_1 U_{thn} \mu_n C_{ox} \left(\frac{W}{L}\right)_1}} \right) \\ & + \frac{1 + \sqrt{1 + 2R_1 U_{thn} \mu_n C_{ox} \left(\frac{W}{L}\right)_1}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_1 R_1} \left(-\frac{1}{\mu_n} \frac{\partial \mu_n}{\partial T} \right. \\ & \left. - \frac{1}{R_1} \frac{\partial R_1}{\partial T} \right). \end{aligned} \quad (3.5)$$

Velikost a teplotní závislost napětí U_1 a U_2 je možné nastavit hodnotami rezistorů R_1 a R_2 . Zvolením jejich různých hodnot je tedy možné generovat dva proudy I_1 a I_2 s rozdílnou velikostí a teplotními koeficienty. Tyto proudy jsou zrcadleny tranzistory M_6 a M_7 realizující jejich rozdíl, který protéká rezistorem R_3 . Pomocí změny poměru zrcadlení (velikost M_7) je možné kompenzovat teplotní závislosti (3.1).

Oba proudové zdroje použité v této referenci (obr. 3.2) mají dva stabilní stavy, jeden je požadovaný a druhý odpovídá proudu 0 A. Proto je v reálném zapojení potřeba zajistit funkci ve správném pracovním bodě. To zajišťuje startovací obvod, který je popsán v [21]. Jedná se o dva dummy tranzistory PMOS zapojené sourcem a hradlem na U_{DD} a drainem na hradla tranzistorů M_1 , M_2 (M_8 , M_9). Závěrné proudy jejich závěrně polarizované diody substrát-drain potom zajišťují počáteční vodivost ve všech větvích obvodu.

3.2 Návrh a simulace CMOS reference

Pro simulaci byly zvoleny různé hodnoty rezistorů R_1 (50 k Ω) a R_2 (400 k Ω), které podle rovnice (3.4) na nich určují úbytek napětí 0,73 V a 0,64 V, respektive proud 14,6 μ A a 1,61 μ A. Velikosti tranzistoru M_7 (respektive poměr mezi M_6 a M_7) a R_3 se poté experimentálně získaly s pomocí simulací tak, aby výsledná teplotní závislost dosahovala nejmenších hodnot. Rezistorem R_3 byla také určena velikost výstupního napětí reference. Ta je s použitím vztahu (3.1) a rozměrů tranzistorů a rezistorů z tab. 3.1 rovna 0,83 V, což je velmi blízko simulované hodnotě 0,89 V (tab. 3.3). Velikosti použitých tranzistorů nejsou kritické, jelikož je téměř vždy zajištěna jejich pracovní oblast v saturačním režimu.

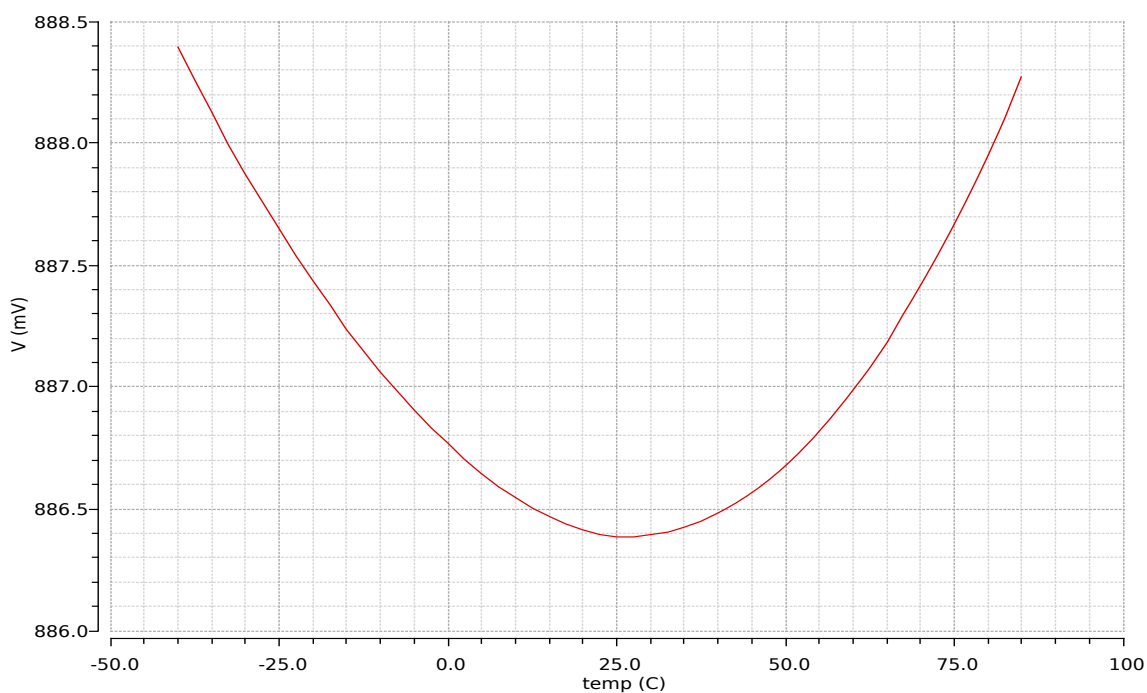
Tab. 3.1: Velikosti tranzistorů a rezistorů

Tranzistory	W/L [$\mu\text{m}/\mu\text{m}$]	Rezistory	R [k Ω]
M_1, M_2, M_8, M_9	10/1	R_1	50
$M_3, M_4, M_5, M_6,$ M_{10}, M_{11}, M_{12}	20/1	R_2	400
M_7	54/1	R_3	140

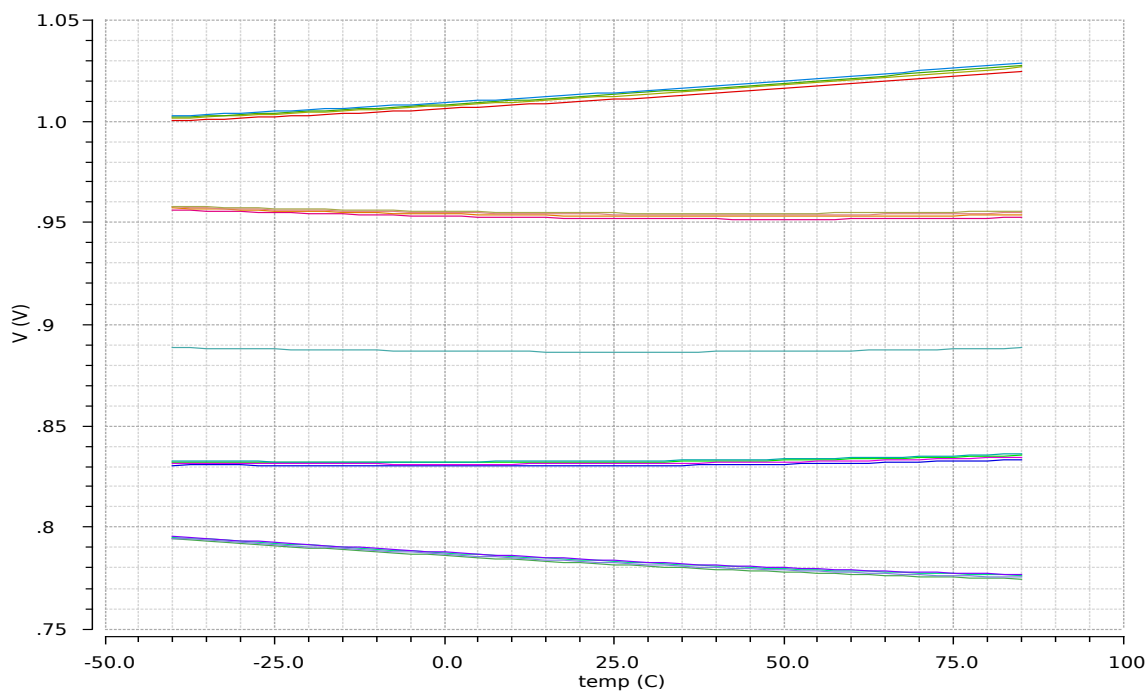
Teplotní závislost výstupního napětí pro typické hodnoty součástek je zobrazena na obr. 3.3. Ta má parabolický tvar s rozptylem napětí 2 mV v teplotním rozsahu od -40 °C do 85 °C. Střed a tím i nulový teplotní koeficient je nastaven pro teplotu 27 °C. To odpovídá přibližně polovině celého teplotního rozsahu, čímž je zaručena nejmenší odchylka napětí na jeho obou koncích. Corner analýzou (obr. 3.4) byl simulován vliv tolerance všech součástek i napájecího napětí v rozmezí od 3 V do 3,6 V. Dále jsou na obr. 3.5 ukázány výsledky z analýzy Monte Carlo za podmínek nejhoršího případu z corner simulace, které odpovídají chybě způsobené souběhem (matchingem) součástek. Je evidentní, že tato reference je silně závislá na výrobním procesu a trimování po výrobě by bylo naprosto nezbytné. Další simulace, ze kterých se vychází při výpočtu parametrů uvedených níže, se nachází v příloze P1.

V tab. 3.2 jsou vypočítány absolutní odchylky výstupního napětí pro jednotlivé zdroje chyb. Souhrn parametrů CMOS reference je uveden v tab. 3.3. Celková

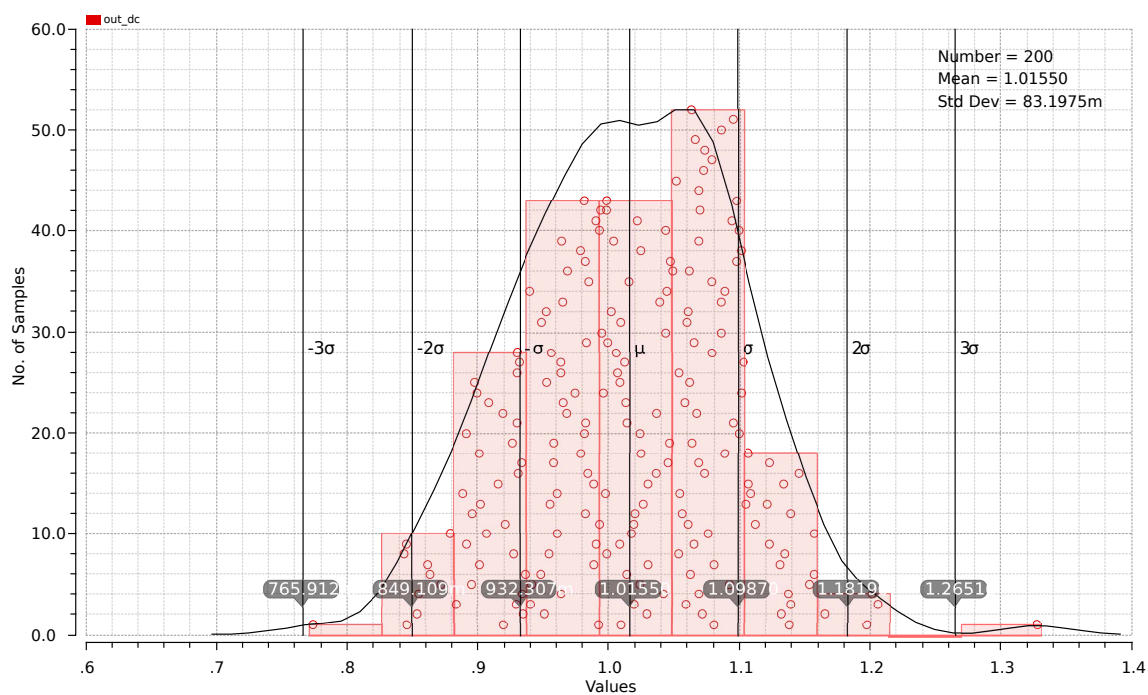
přesnost je počítána jako součet chyby nejhoršího případu z corner analýzy v celém teplotním rozsahu (zahrnuta tolerance všech součástek, vliv napájecího napětí od 3 V do 3,6 V i chyba způsobená teplotou) a chyby ze simulace Monte Carlo pro tento nejhorší corner (zahrnuje chybu matchingu pro směrodatnou odchylku 36). Změna výstupního napětí na odebíraném proudu (zátěžová regulace) platí pro rozsah výstupního proudu od 0 μA do 4 μA .



Obr. 3.3: Teplotní závislost referenčního napětí pro typický proces



Obr. 3.4: Teplotní závislost referenčního napětí z corner analýzy



Obr. 3.5: Statistické rozložení hodnot referenčního napětí pro nejhorší případ z corner analýzy

Tab. 3.2: Analýza přesnosti CMOS reference

Veličina	Hodnota	Jednotka	Popis
Δ_{typ}	2	mV	Rozptyl výstupního napětí způsobený teplotou pro typický proces
Δ_{max}	142,6	mV	Maximální rozdíl výstupního napětí od typické hodnoty způsobený tolerancí součástek a napájecího napětí v celém teplotním rozsahu
Δ_{match}	$\pm 249,6$	mV	Rozptyl výstupního napětí způsobený chybou matchingu při nejhorším případě z corner analýzy (36)

Tab. 3.3: Parametry CMOS reference

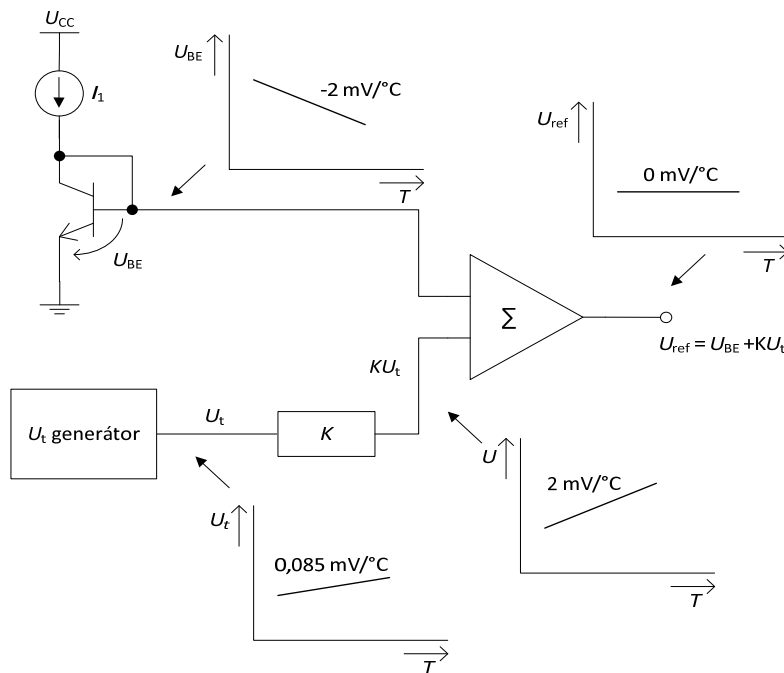
Parametr	Min	Typ	Max	Jednotka
Výstupní napětí	0,525	0,886	1,279	V
Celková přesnost (36)	-	-	44	%
Teplotní koeficient	-	18	208	ppm/°C
PSRR (DC)	49	58	-	dB
Zátěžová regulace	-	14,4	17,7	%/μA
Spotřeba	-	194	316	μW

4 BANDGAP NAPĚŤOVÁ REFERENCE

V kapitole 3 bylo ukázáno zapojení napěťové reference využívající pouze MOS tranzistorů a rezistorů. Jak již bylo zmíněno a i dále ze simulací vyplne, mnohem výhodnější je však ke generaci stabilního napětí využít bipolárních tranzistorů. Takovými zapojeními jsou právě bandgap reference. První široce používanou bandgap referenci navrhl v roce 1971 Bob Widlar [23] ve velmi populárním a revolučním 5 V regulátoru LM309 firmy National Semiconductor.

4.1 Princip funkce

Princip bandgap napěťové reference je znázorněn na obr. 4.1. Na přechodu PN je generováno napětí U_{BE} s teplotní závislostí přibližně $-2 \text{ mV}/^\circ\text{C}$ (CTAT). Vytvořeno je také teplotní napětí U_t (kT/q), které má teplotní koeficient $0,085 \text{ mV}/^\circ\text{C}$ (PTAT). To je násobeno konstantou K a sečteno s napětím U_{BE} .



Obr. 4.1: Princip bandgap reference (upraveno dle [13], [14])

Výstupní referenční napětí je proto dáno vztahem [13]:

$$U_{ref} = U_{BE} + KU_t. \quad (4.1)$$

Pomocí správné volby konstanty K je teoreticky možné vyrovnat teplotní koeficienty U_{BE} a U_t a dosáhnout tak nulové teplotní závislosti.

Pro hlubší pochopení i výpočet K je zapotřebí podrobněji rozvést teplotní závislost napětí U_{BE} . To lze odvodit z rovnice pro kolektorový proud bipolárního tranzistoru:

$$I_C = I_S e^{\frac{U_{BE}}{U_t}} \quad (4.2)$$

Saturační proud I_S je možné dále rozepsat [13], [14]:

$$I_S = qA \left(\frac{D_n}{L_p} \frac{1}{N_D} \right) n_i^2, \quad (4.3)$$

$$n_i^2 = 4 \left(\frac{2\pi kT}{h^2} \right)^3 (m_e m_h)^{\frac{3}{2}} e^{-\frac{U_{G0}}{U_t}}, \quad (4.4)$$

$$D_n = \overline{\mu_n} \frac{kT}{q}, \quad (4.5)$$

$$\overline{\mu_n} = BT^{-n}, \quad (4.6)$$

kde konstanta B sdružuje teplotně nezávislé veličiny a exponent n vyjadřuje teplotní závislost pohyblivosti nosičů náboje a je určen dotací oblasti báze. Kombinací vztahů (4.2) - (4.6) se získá proudová hustota jako $J_C = I_C / A$:

$$J_C = CT^\gamma e^{\frac{U_{BE} - U_{G0}}{U_t}}, \quad (4.7)$$

kde C opět sdružuje teplotně nezávislé veličiny a parametr $\gamma = 4 - n$.

Dále je vhodné vyjádřit proudovou hustotu J_C poměrem k referenční hodnotě při teplotě T_0 (referenční teplota):

$$\frac{J_C}{J_{C0}} = \left(\frac{T}{T_0}\right)^\gamma e^{\frac{q}{k} \left(\frac{U_{BE} - U_{G0}}{T} - \frac{U_{BE0} - U_{G0}}{T_0} \right)}. \quad (4.8)$$

Z tohoto vztahu (4.8) je již možné získat napětí U_{BE} jako funkci teploty:

$$U_{BE} = U_{G0} \left(1 - \frac{T}{T_0}\right) + U_{BE0} \frac{T}{T_0} + \frac{\gamma k T}{q} \ln \left(\frac{T_0}{T}\right) + \frac{k T}{q} \ln \left(\frac{J_C}{J_{C0}}\right). \quad (4.9)$$

Derivací (4.9) lze odvodit teplotní závislost napětí U_{BE} , která je, jak již bylo zmíněno, za pokojové teploty přibližně -2 mV/°C a není zcela lineární. Poslední člen vztahu (4.9) se eliminuje při napájení tranzistoru (diody) proudovou hustotou $J_C = J_{C0}$. Třetí člen však stále tvoří nelineární část závislosti, a jak bude dále ukázáno, znesnadňuje úplnou teplotní kompenzaci referenčního napětí v celém teplotním rozsahu. Lineární složka je kompenzována zdrojem PTAT, který je úměrný teplotnímu napětím U_t (PTAT). To je získáno rozdílem dvou napětí U_{BE} přechodů báze-emitor pracujících s různými proudovými hustotami J_2 a J_1 :

$$\Delta U_{BE} = \frac{kT}{q} \ln \left(\frac{J_2}{J_1}\right) = U_t \ln \left(\frac{J_2}{J_1}\right), \quad (4.10)$$

kde člen $\ln(J_2/J_1)$ je poté zahrnut v konstantě K . Různou proudovou hustotu obou diod je možné zajistit několika způsoby. Buď diodami se stejnými plochami ale různými pracovními proudy, nebo diodami s různými plochami a stejnými proudy, nebo i kombinací předchozích dvou způsobů.

Jelikož v reálném obvodu proudy procházející diodami (a tudíž i odpovídající proudové hustoty) nejsou teplotně nezávislé, předpokládá se:

$$J_C \sim T^\alpha \Rightarrow \frac{J_C}{J_{C0}} = \left(\frac{T}{T_0}\right)^\alpha. \quad (4.11)$$

Po dosazení vztahů (4.9), (4.10) a (4.11) do rovnice (4.1) a následné úpravě se získá souvislost mezi referenčním napětím U_{ref} a teplotou [1]:

$$U_{ref} = U_{G0} + \frac{T}{T_0}(U_{BE0-2} - U_{G0}) + (\gamma - \alpha) \frac{kT}{q} \ln \left(\frac{T_0}{T} \right) + K \frac{kT}{q} \quad (4.12)$$

kde U_{BE0-2} je napětí báze emitru druhého tranzistoru při teplotě T_0 . Pro výpočet konstanty K a získání nulové teplotní závislosti při dané teplotě (T_0) je zderivován (4.12):

$$\frac{\partial U_{ref}}{\partial T} = \frac{1}{T_0}(U_{BE0-2} - U_{G0}) + K \frac{k}{q} + (\gamma - \alpha) \frac{k}{q} \left[\ln \left(\frac{T_0}{T} \right) - 1 \right] \quad (4.13)$$

a položen nule při teplotě $T = T_0$:

$$U_{BE0-2} + K \frac{kT_0}{q} = U_{G0} + (\gamma - \alpha) \frac{kT_0}{q}. \quad (4.14)$$

Z rovnice (4.14) je již možné vyjádřit konstantu K :

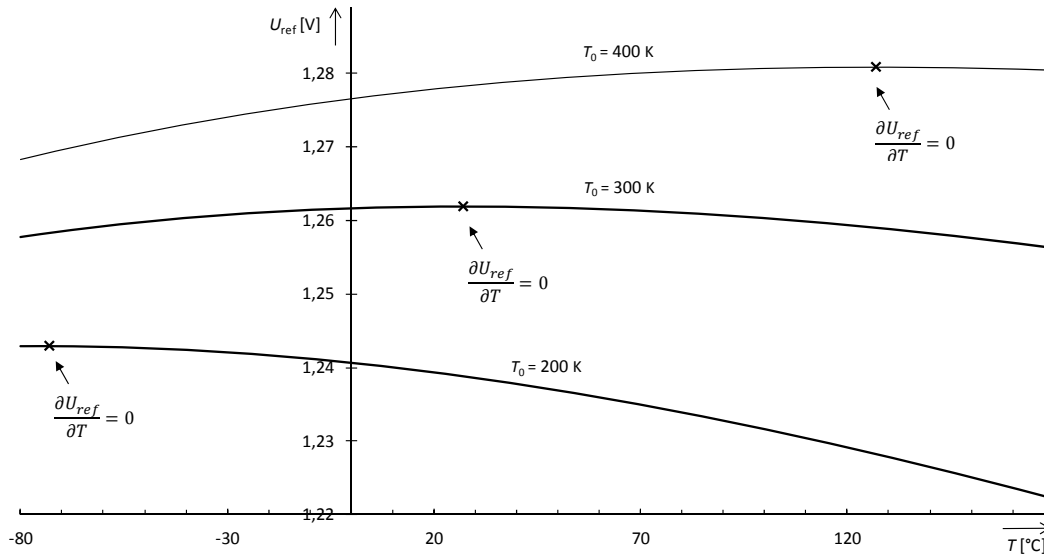
$$K = \frac{U_{G0} + (\gamma - \alpha) \frac{kT_0}{q} - U_{BE0-2}}{\frac{kT_0}{q}}. \quad (4.15)$$

Po zpětné substituci (4.15) do (4.12) je získán konečný vztah pro výstupní referenční napětí:

$$U_{ref} = U_{G0} + (\gamma - \alpha) \frac{kT}{q} \left[1 + \ln \left(\frac{T_0}{T} \right) \right] \quad (4.16)$$

a po zderivování i jeho teplotní závislost:

$$\frac{\partial U_{ref}}{\partial T} = (\gamma - \alpha) \frac{k}{q} \ln \left(\frac{T_0}{T} \right). \quad (4.17)$$



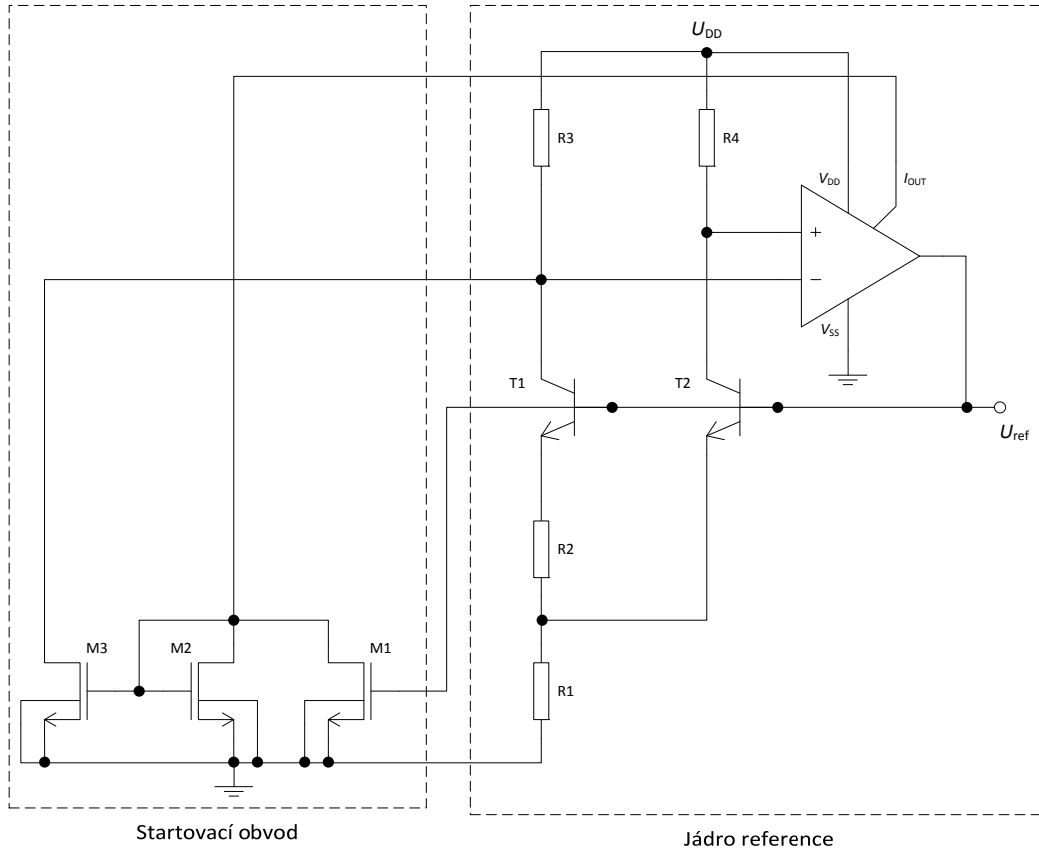
Obr. 4.2: Závislost referenčního napětí na teplotě pro různé teploty T_0 , $\gamma = 3,2$; $\alpha = 1$

Ve vztahu (4.16) si je možné všimnout souvislosti mezi výstupním napětím a názvem této reference. K napětí zakázaného pásu (bandgap) je totiž přičten jen malý příspěvek způsobený nelineárními jevy. Pro typické hodnoty $\gamma = 3,2$; $\alpha = 1$ a teplotu $T = T_0 = 300$ K je referenční napětí rovno 1,26 V, což je velmi blízko napětí zakázaného pásu křemíku extrapolovaného pro teplotu 0 K (1,205 V). Závislost referenčního napětí na teplotě pro různé referenční teploty T_0 je zobrazena na obrázku 4.2, ze kterého je patrné, že nejvýhodnějšího průběhu se dosáhne zvolením referenční teploty T_0 uprostřed pracovního rozsahu teplot. Odchyłka na koncích teplotního rozsahu poté dosahuje nejmenší hodnoty.

4.2 Brokawova reference s operačním zesilovačem

Napěťová reference navrhnutá Paulem Brokawem v roce 1974 [24] je základem pro mnoho bipolárních bandgap referencí. Schéma je ukázáno na obr. 4.3. Operační zesilovač ve zpětné vazbě udržuje stejné napětí na kolektorech tranzistorů T_1 a T_2 a tím i na rezistorech R_3 a R_4 . Pokud mají tyto rezistory shodný odpor, je zajištěn i stejný kolektorový proud obou tranzistorů. Tranzistor T_1 má N -krát větší plochu než T_2 , proto je jeho proudová hustota N -krát menší oproti T_2 :

$$\frac{J_2}{J_1} = N. \quad (4.18)$$



Obr. 4.3: Schéma zapojení Brokawovy reference s operačním zesilovačem

Výstupní napětí obvodu je na výstupu operačního zesilovače a je dáno:

$$U_{ref} = U_{BE2} + U_{R1}, \quad (4.19)$$

přičemž napětí U_{R1} na rezistoru R_1 je:

$$U_{R1} = I_{R1} R_1 = 2I_{R2} R_1. \quad (4.20)$$

Dále si je z obr. 4.3 možné všimnout, že napětí na rezistoru R_2 se rovná ΔU_{BE} a odpovídající proud je po použití vztahů (4.10) a (4.18) roven:

$$I_{R2} = \frac{U_{R2}}{R_2} = \frac{U_{BE2} - U_{BE1}}{R2} = \frac{\Delta U_{BE}}{R_2} = \frac{kT}{q} \frac{\ln(N)}{R_2} = \frac{U_t \ln(N)}{R_2}. \quad (4.21)$$

Jak je vidět z rovnice (4.21), proud rezistorem R_2 a tím i R_1 je úměrný teplotě (PTAT), z čehož vyplývá i použití typické hodnoty parametru $\alpha = 1$ (vztah (4.11)). Substitucí (4.20) a (4.21) do (4.19) je získáno výstupní referenční napětí podle vztahu (4.1):

$$U_{ref} = U_{BE2} + 2U_t \ln(N) \frac{R_1}{R_2}, \quad (4.22)$$

potom lze rozpoznat, že:

$$K = 2 \ln(N) \frac{R_1}{R_2}. \quad (4.23)$$

Poměr rezistorů R_2 a R_1 je při uvážení vztahu (4.15) a parametrech $N = 8$, $\gamma = 3,2$; $\alpha = 1$, $T_0 = 300$ K a $U_{BE0-2} = 0,65$ V roven:

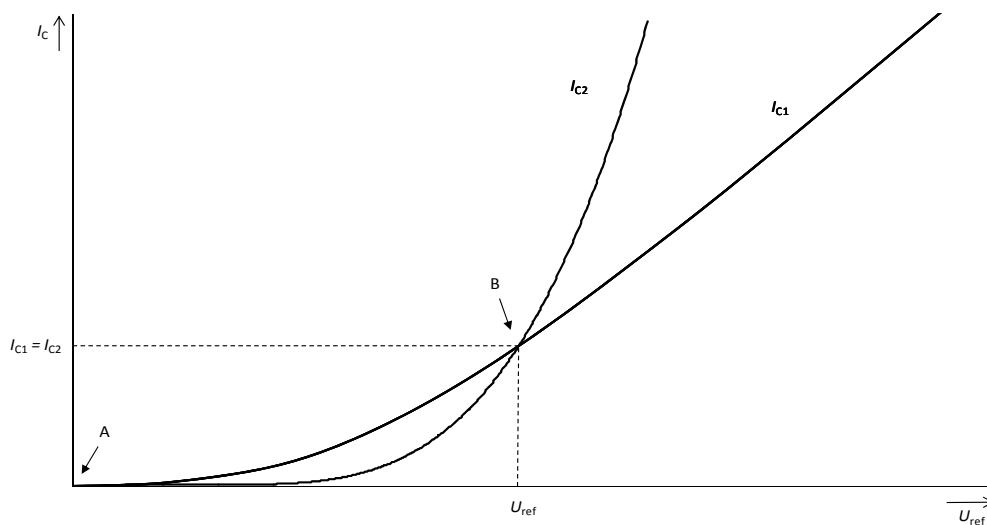
$$\frac{R_1}{R_2} = \frac{U_{G0} + (\gamma - \alpha) \frac{kT_0}{q} - U_{BE0-2}}{2 \frac{kT_0}{q} \ln(N)} = 5,7. \quad (4.24)$$

V praxi je poté poměr rezistorů empiricky dostaven tak, aby bylo získáno požadované referenční napětí a nejvýhodnější teplotní průběh.

4.2.1 Start obvodu

Brokawova reference má dva stabilní pracovní body, které jsou znázorněny na závislosti kolektorových proudů tranzistorů T_1 a T_2 na výstupním napětí (obr. 4.4). Při zapnutí napájecího napětí se obvod nachází v nežádoucím pracovním bodě A. Stačí však nepatrně zvýšit diferenční napětí na vstupu OZ (snížit napětí na invertujícím vstupu) a s pomocí jeho zesílení se pracovní bod přesune do bodu B. Tuto funkci obstarává startovací obvod tvořený tranzistory M_1 , M_2 a M_3 . Pokud je napětí na hradle tranzistoru M_1 blízko nule (pracovní bod A), je uzavřen a proud tekoucí

tranzistorem M_2 je zrcadlen do M_3 , čímž se posune napětí na invertujícím vstupu OZ k zemi. Tím se zvýší výstupní napětí a tedy i napětí na hradle tranzistoru M_2 , které ho otevře. Proud, který předtím tekla tranzistorem M_2 , nyní protéká tranzistorem M_1 . Napětí na hradle M_3 je tedy blízko nule, M_3 je proto uzavřen a dále neovlivňuje zbývající zapojení.



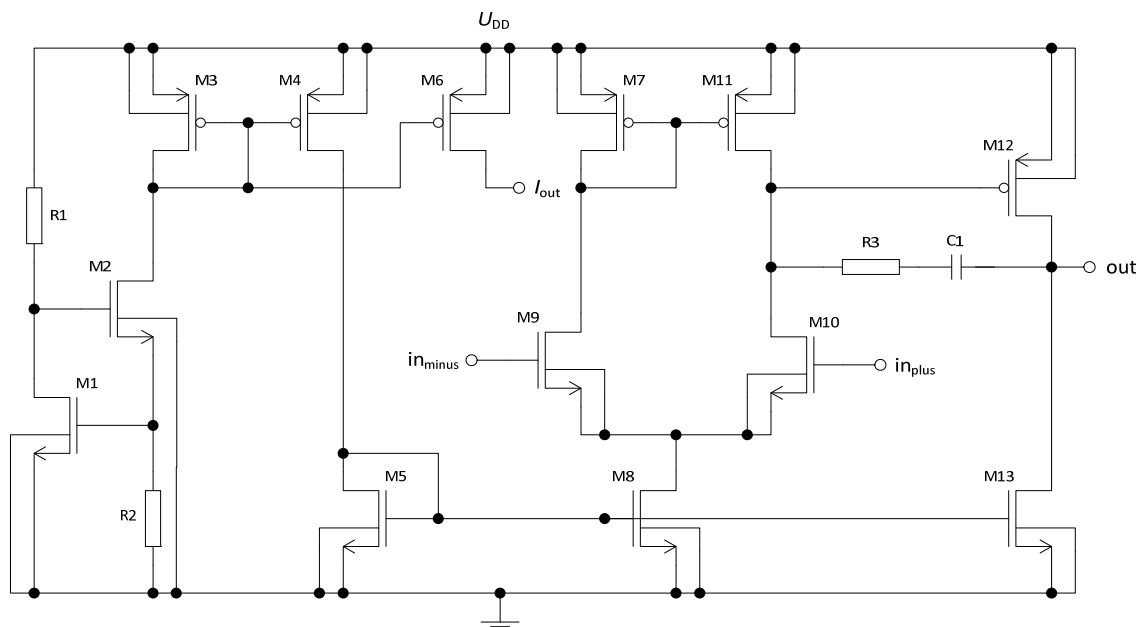
Obr. 4.4: Nastavení pracovního bodu tranzistorů T_1 a T_2

4.2.2 Operační zesilovač

Jak bylo zmíněno výše, operační zesilovač zajišťuje pomocí zpětnovazební smyčky shodné proudy oběma tranzistory T_1 a T_2 a tím správný poměr mezi jejich proudovými hustotami. Z tohoto důvodu tvoří operační zesilovač důležitou část celého obvodu. Zejména jeho vstupní napěťová nesymetrie hraje velmi výraznou roli a z parametrů OZ se nejvíce podílí na celkové chybě reference. Naopak například šířka pásma není kritická, jelikož OZ pracuje prakticky se stejnosměrnými signály (má ale vliv na potlačení zvlnění napájecího napětí - $PSRR$).

Pro účel ověření daného konceptu bandgap reference byl navrhnut jednoduchý dvoustupňový Miller-OTA operační zesilovač, jehož schéma je uvedeno na obr. 4.5. V diferenčním páru tvořící první stupeň byly zvolené NMOS tranzistory, jelikož se

vstupní napětí pohybuje blízko napájecímu napětí. Jako druhý stupeň slouží invertující zesilovač s aktivní zátěží. Kompenzační RC člen zajišťuje stabilitu celého zesilovače.



Obr. 4.5: Schéma operačního zesilovače

Napěťovou nesymetrii ovlivňuje nejvíce vstupní diferenční pár. Především pak jeho souběh (tranzistory M_9 a M_{10}) a přesnost proudového zrcadla (M_7 a M_{11}). Proto mají tyto tranzistory větší délku kanálu a v případě layoutu by byly speciálně rozloženy metodou cross-quad. Výsledná velikost tranzistorů je však i kompromisem mezi chtěným zlepšením chyby souběhu a zabraným místem na čipu. Aby se zabránilo body efektu (ovlivnění prahového napětí napětím source - bulk), který by se rovněž projevoval na chybě reference, jsou elektrody bulk tranzistorů M_9 a M_{10} spojeny s jejich sourcem.

Jako proudový zdroj a biasovací obvod slouží zapojení tranzistorů M_1 , M_2 a rezistorů R_1 , R_2 . Výstupní proud je určen napětím U_{GS} tranzistoru M_1 a hodnotou R_2 a jen z malé části závisí na napájecím napětí (U_{GS} se nepatrně mění s U_{DD}). Je však závislý jak na výrobních tolerancích, tak i na teplotě, což se projevuje rozptylem parametrů i celého operačního zesilovače. Výstupní proud byl zvolen asi $3,8 \mu A$

a je i pomocí tranzistoru M_6 vyveden ven z operačního zesilovače, kde je následně využíván startovacím obvodem.

Rozměry všech tranzistorů a hodnoty dalších součástek použitých pro simulaci jsou uvedeny v tab. 4.1 a tab. 4.2.

Tab. 4.1: Velikosti tranzistorů operačního zesilovače

Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet	Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet
M_1, M_2	2/4	1	M_7, M_{11}	10/10	2
M_3	2/2	3	M_9, M_{10}	15/10	2
M_4, M_5, M_8	2/2	1	M_{12}	30/1	1
M_6	2/2	2	M_{13}	2/2	4

Tab. 4.2: Hodnoty ostatních součástek operačního zesilovače

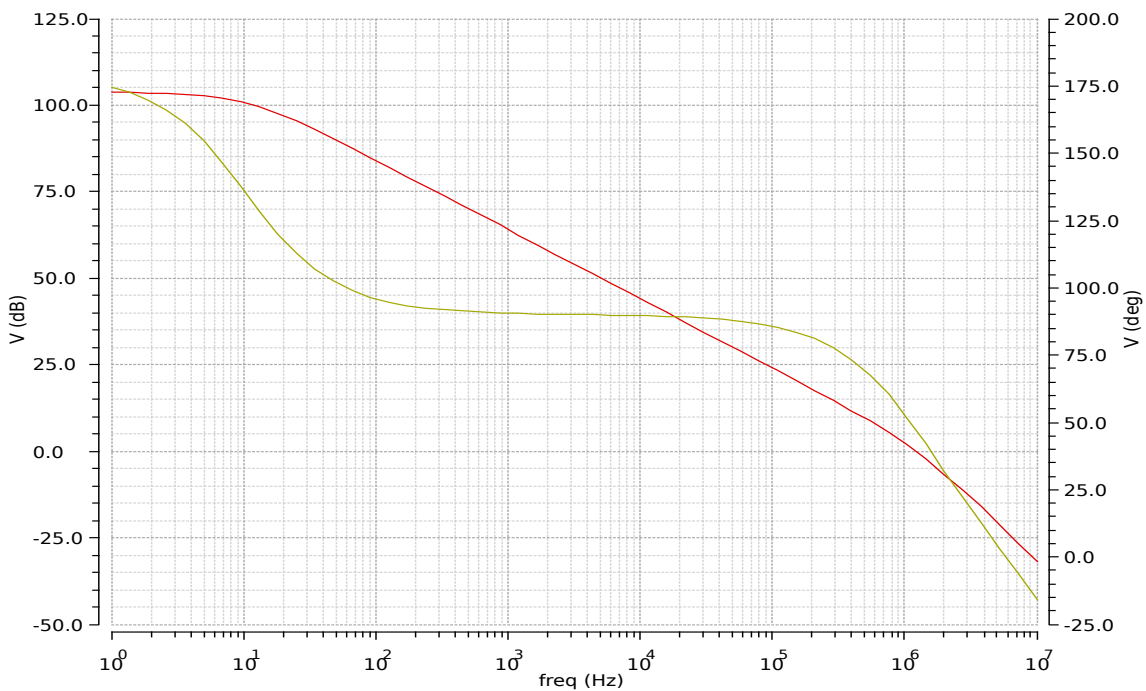
Součástka	Hodnota	Jednotka
R_1, R_2	200	$\text{k}\Omega$
R_3	12	$\text{k}\Omega$
C_1	1,35	pF

Tab. 4.3: Parametry operačního zesilovače

Parametr	Min	Typ	Max	Jednotka
Zesílení (A_u)	104	104	-	dB
Šířka pásma (GBW)	854	1220	-	kHz
Fázová rezerva (PM)	59	63	-	$^\circ$
Rychlost přeběhu (SR)	0,51	0,84	-	$\text{V}/\mu\text{s}$
Napěťová nesymetrie (3 σ)	-	-	2,6	mV
Spotřeba	-	50	69	μW

Pozn.: $C_L = 3 \text{ pF}$

Výsledné parametry operačního zesilovače jsou shrnuty v tab. 4.3, z níž je patrné, že se podařilo dosáhnout hodnoty napěťové nesymetrie pro 3σ 2,6 mV. Typická kmitočtová charakteristika OZ je ukázána na obr. 4.6 a další simulace, ze kterých se vycházelo, jsou uvedeny v příloze.



Obr. 4.6: Kmitočtová charakteristika OZ pro typický proces

4.2.3 Návrh a simulace Brokawovy reference s OZ

V kapitole 4.1 bylo uvedeno, že napětí ΔU_{BE} je získáno různou proudovou hustotou (poměr N) bipolárních tranzistorů (T_1 a T_2). To zajišťuje jejich rozdílná plocha, které se dosáhne zapojením několika tranzistorů paralelně. Jelikož je pro kompenzování teplotní závislosti napětí ΔU_{BE} násobeno určitou hodnotou K , násobí se tím i jeho chyba. Je tedy vhodné dosáhnout co nejvyššího napětí ΔU_{BE} , aby mohl být násobící poměr a tím i výsledná chyba nízká. Proto byl zvolen poměr $N = 8$ daný jedním tranzistorem T_2 a osmi tranzistory T_1 . Takový počet lze i snadno uspořádat do čtvercového tvaru a dosáhnout tak lepšího souběhu.

Proud oběma větvemi reference byl zvolen tak, aby rezistor R_2 nabýval celého čísla. Jeho hodnota je tedy 6 μA , což odpovídá rezistoru R_2 o hodnotě 9 k Ω (vztah

(4.21)). Dále ze znalosti orientační velikosti násobícího faktoru K a poměru R_1/R_2 , který je 5,7 (vztah (4.24)), byl vypočítán odpor rezistoru R_1 51,3 k Ω . Ten byl po následných simulacích upraven pro dosažení nejvýhodnějšího průběhu závislosti referenčního napětí na teplotě. Jeho konečná hodnota je 46,4 k Ω .

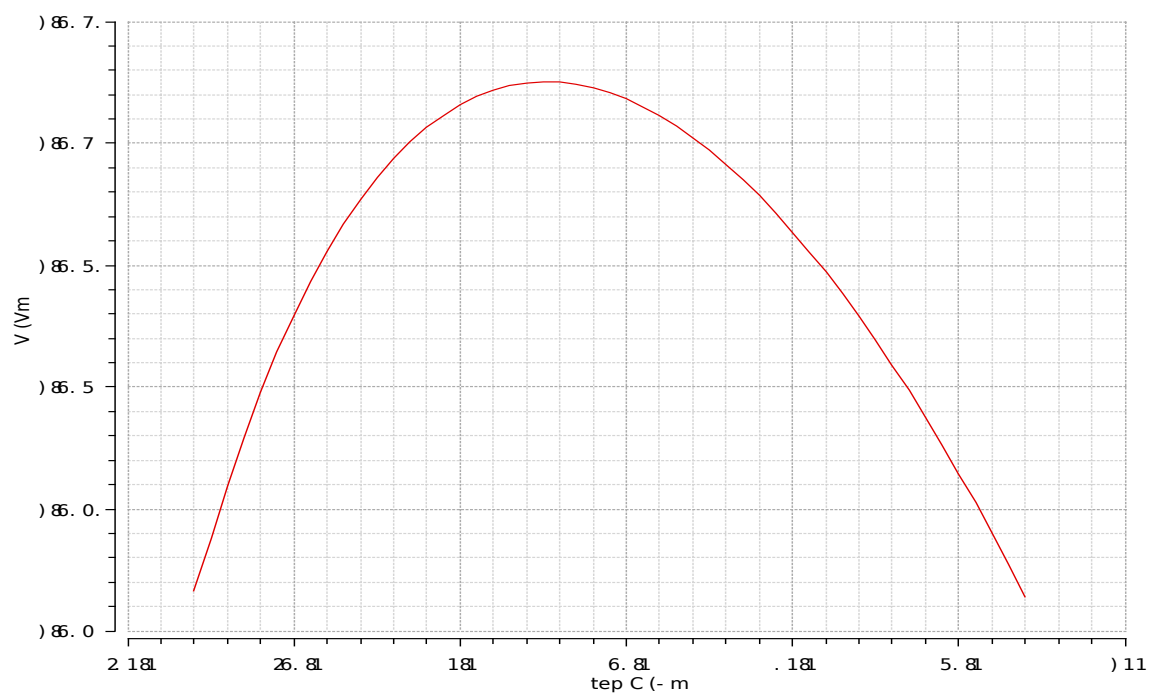
Rezistory R_3 a R_4 ovlivňují vliv napěťové nesymetrie operačního zesilovače na chybu proudu tranzistorů T_1 a T_2 a tím výslednou chybu reference. Je tedy vhodné je zvolit co nejvyšší. Zároveň se tím zajistí i funkce diferenčního páru OZ v jeho vstupním napěťovém rozsahu. Z tohoto důvodu byla zvolena hodnota 100 k Ω .

Velikosti tranzistorů a rezistorů použitých pro simulaci jsou uvedené v tab. 4.4.

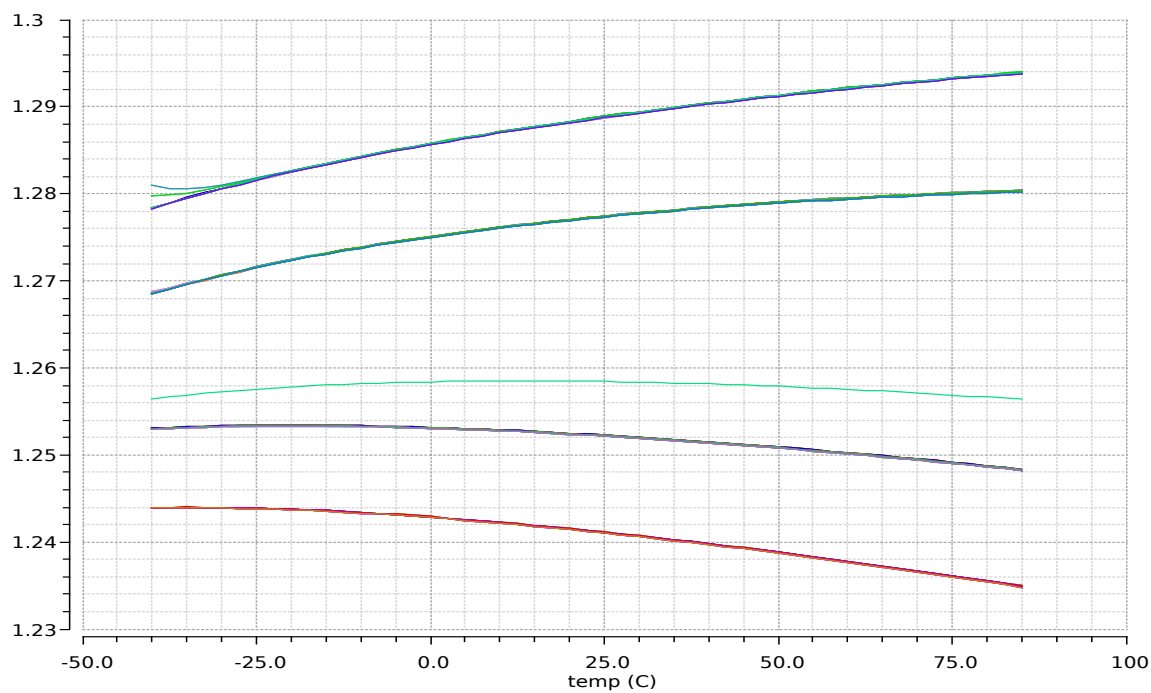
Tab. 4.4: Velikosti tranzistorů a rezistorů

Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Rezistor	R [k Ω]
M_1, M_2	2/4	R_1	46,4
M_3	2/2	R_2	9
		R_3, R_4	100

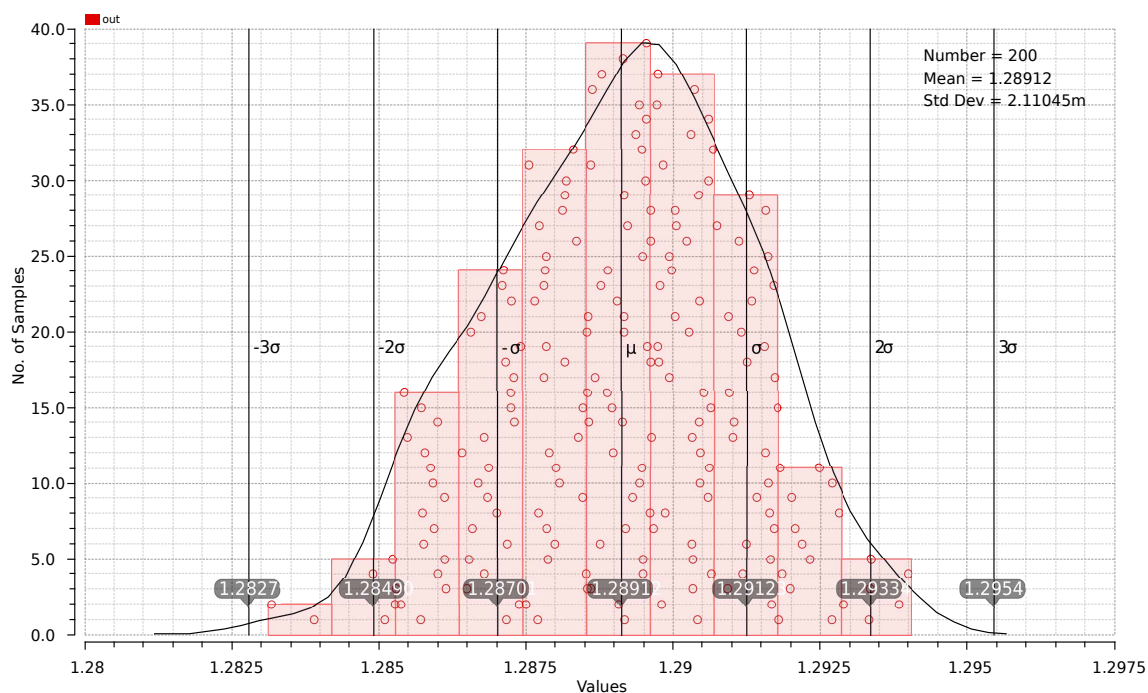
Teplotní závislost výstupního napětí pro typické hodnoty součástek je zobrazena na obr. 4.7. Podle předpokladu má charakteristický průběh ve tvaru inverzní paraboly s maximem 1,258 V. Tato hodnota odpovídá teoreticky vypočítané hodnotě 1,26 V v kapitole 4.1. Na obrázku 4.8 jsou zobrazeny výsledky corner analýzy simulující vliv tolerance součástek a napájecího napětí na chybu reference. Vliv souběhu je poté ukázán na obr. 4.9. Stejně tak jako u CMOS reference byly i zde vypočítány jednotlivé chyby, které jsou shrnuty v tab. 4.5. Celkové parametry reference jsou uvedeny v tab. 4.6.



Obr. 4.7: Teplotní závislost referenčního napětí pro typický proces



Obr. 4.8: Teplotní závislost referenčního napětí z corner analýzy



Obr.4.9: Statistické rozložení hodnot referenčního napětí pro nejhorší případ z corner analýzy

Tab. 4.5: Analýza přesnosti Brokawovy reference s OZ

Veličina	Hodnota	Jednotka	Popis
Δ_{typ}	2,1	mV	Rozptyl výstupního napětí způsobený teplotou pro typický proces
Δ_{max}	35,5	mV	Maximální rozdíl výstupního napětí od typické hodnoty způsobený tolerancí součástek a napájecího napětí v celém teplotním rozsahu
Δ_{match}	$\pm 6,3$	mV	Rozptyl výstupního napětí způsobený chybou matchingu při nejhorším případě z corner analýzy (36)

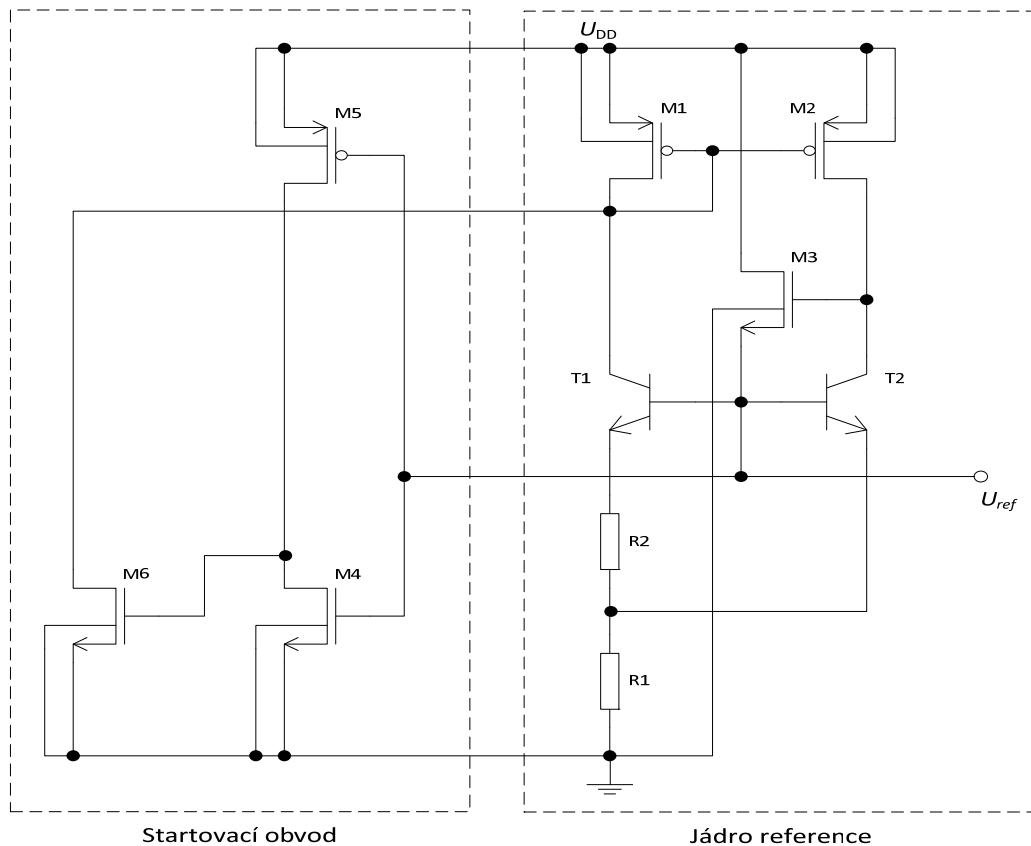
Tab. 4.6: Parametry Brokawovy reference s OZ

Parametr	Min	Typ	Max	Jednotka
Výstupní napětí	1,228	1,258	1,301	V
Celková přesnost	-	-	3,4	%
Teplotní koeficient	-	13	96	ppm/°C
PSRR (DC)	73	76	-	dB
Zátěžová regulace	-	10,3	16,7	ppm/μA
Spotřeba	-	111	161	μW

4.3 Brokawova reference bez operačního zesilovače

Operační zesilovač zajišťující stejné kolektorové proudy bipolárních tranzistorů reference na obr. 4.3 je možné nahradit i proudovým zrcadlem. Takové zapojení je uvedeno na obr. 4.10. Tranzistory M_1 a M_2 zrcadlí proud a tranzistor M_3 zvyšuje zatížitelnost obvodu a kompenzuje bázevé proudy tranzistorů T_1 a T_2 . Zbývající část jádra reference zůstává stejná jako v případě Brokawovy reference s operačním zesilovačem.

Startovací obvod byl oproti verzi reference s operačním zesilovačem použit odlišný. Tranzistory M_3 , M_4 tvoří nesymetrický invertor. Jestliže se reference nachází v nesprávném pracovním bodu ($U_{\text{ref}} = 0$ V), je na výstupu invertoru téměř napájecí napětí, které otevře tranzistor M_6 a začne procházet proud tranzistory M_1 , M_2 . Tím dojde k přesunu pracovní bodu do správné polohy. Aby startovací obvod dále neovlivňoval zbývající část reference, je nutné zajistit úplné uzavření tranzistoru M_6 . Proto je poměr W/L tranzistoru M_4 větší než tranzistoru M_5 .



Obr. 4.10: Schéma zapojení Brokawovy reference bez operačního zesilovače

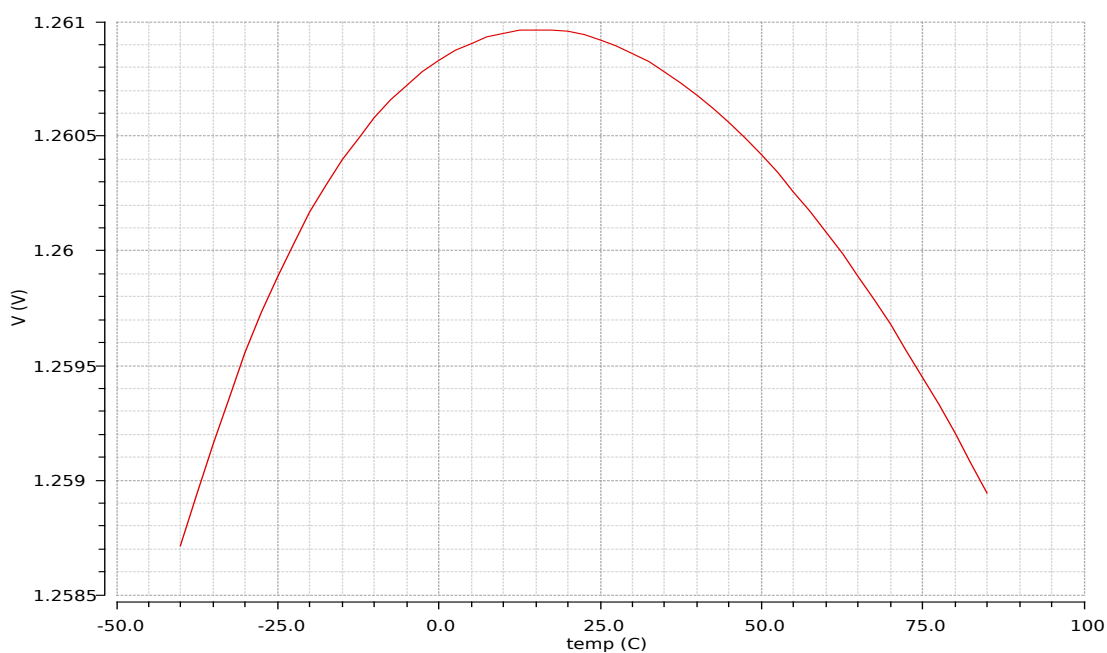
4.3.1 Návrh a simulace Brokawovy reference

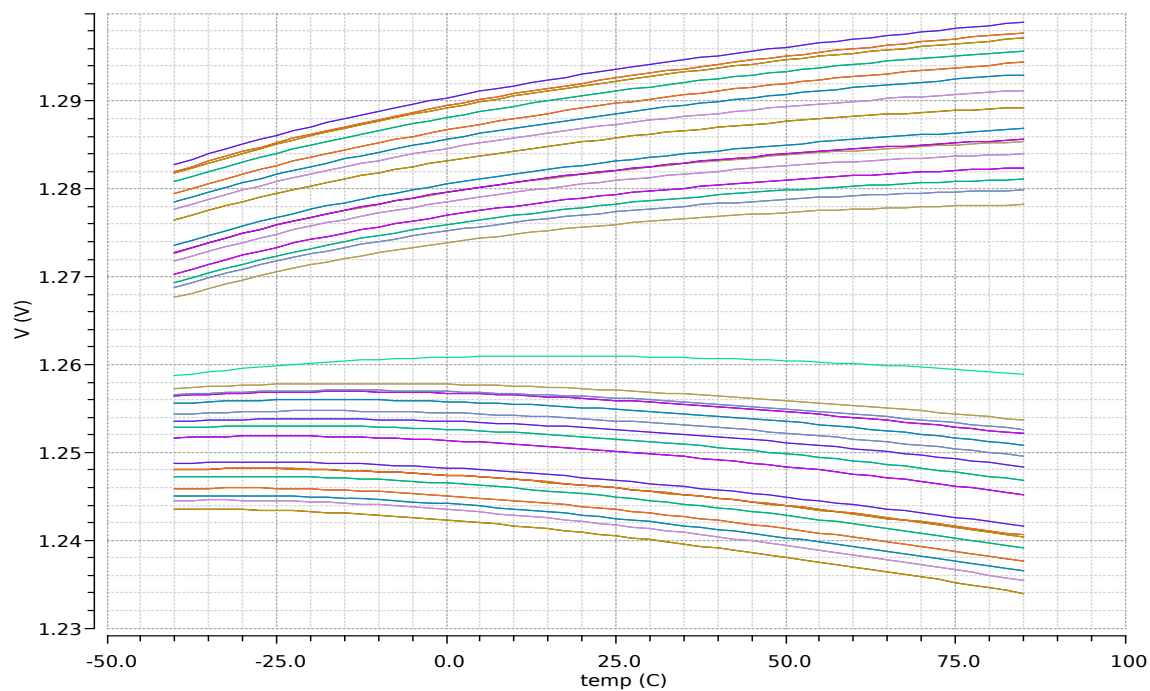
Vztahy uvedené v kapitole je možné aplikovat i na tento obvod. Proto se při návrhu postupovalo stejně. Poměr proudových hustot bipolárních tranzistorů N je tedy zvolen osm (jeden tranzistor T_2 a osm T_1), odpor rezistoru R_2 určující proud oběma větvemi $9\text{ k}\Omega$. Teoreticky vypočítaná hodnota rezistoru R_1 $49,5\text{ k}\Omega$ byla po simulacích upravena na $46,6\text{ k}\Omega$ pro dosažení nejvýhodnějšího průběhu závislosti referenčního napětí na teplotě. Tranzistory M_1 a M_2 proudového zrcadla byly voleny s dlouhým kanálem, což se příznivě projeví na jejich lepším souběhu a tím snížení chyby způsobené rozdílnými proudy obou bipolárních tranzistorů. Rozměry tranzistorů a rezistorů pro simulaci jsou uvedeny v tab. 4.7.

Tab. 4.7: Velikosti tranzistorů a rezistorů

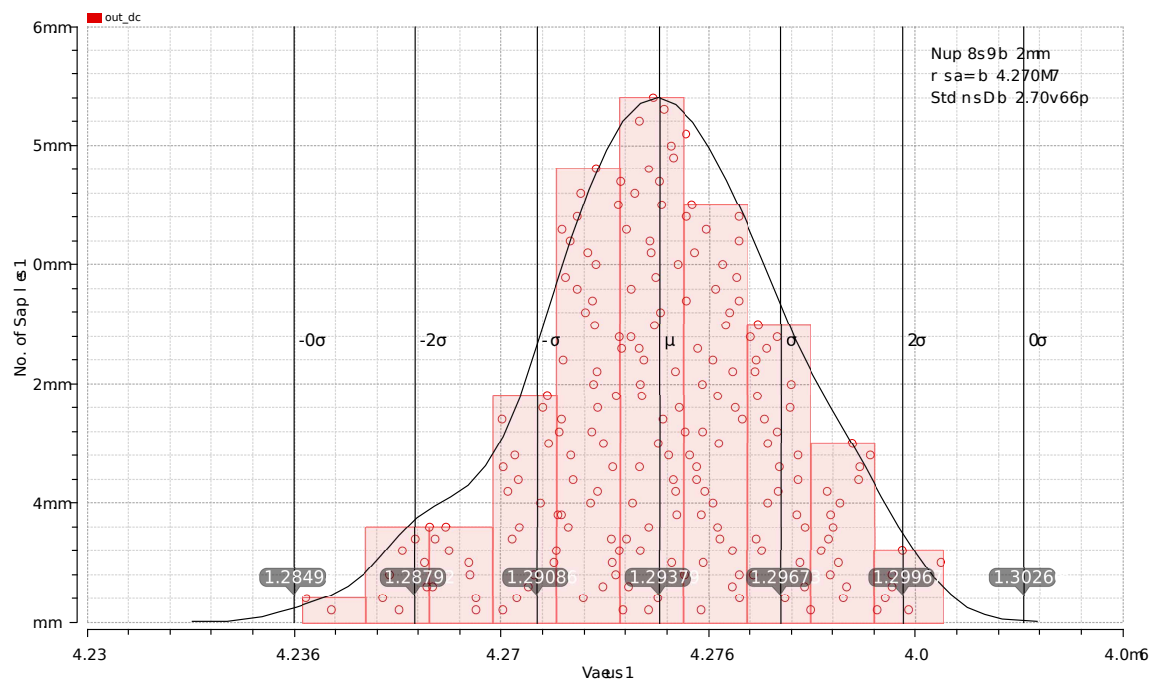
Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet	Rezistor	R [$\text{k}\Omega$]
M_1, M_2	5/10	2	R_1	46,6
M_5	2/1	1	R_2	9
M_4	6/1	1		
M_3, M_6	10/1	1		

Na obr. 4.11 je ukázána teplotní závislost referenčního napětí. Výsledky corner simulace jsou na obr. 4.12 a obrázek 4.13 zobrazuje rozložení hodnot referenčního napětí ze simulace Monte Carlo pro nejhorší případ z corner analýzy. V tabulce 4.8 jsou poté popsány jednotlivé příspěvky na celkovou chybu a tab. 4.9 shrnuje parametry reference.

**Obr. 4.11:** Teplotní závislost referenčního napětí pro typický proces



Obr. 4.12: Teplotní závislost referenčního napětí z corner analýzy



Obr. 4.13: Statistické rozložení hodnot referenčního napětí pro nejhorší případ z corner analýzy

Tab. 4.8: Analýza přesnosti Brokawovy reference

Veličina	Hodnota	Jednotka	Popis
Δ_{typ}	2,3	mV	Rozptyl výstupního napětí způsobený teplotou pro typický proces
Δ_{max}	38,0	mV	Maximální rozdíl výstupního napětí od typické hodnoty způsobený tolerancí součástek a napájecího napětí v celém teplotním rozsahu
Δ_{match}	$\pm 8,8$	mV	Rozptyl výstupního napětí způsobený chybou matchingu při nejhorším případě z corner analýzy (36)

Tab. 4.9: Parametry Brokawovy reference

Parametr	Min	Typ	Max	Jednotka
Výstupní napětí	1,226	1,261	1,307	V
Celková přesnost	-	-	3,7	%
Teplotní koeficient	-	14	95	ppm/°C
PSRR (DC)	39	44	-	dB
Zátěžová regulace	-	49	58	ppm/ μA
Spotřeba	-	199	397	μW

5 SROVNÁNÍ JEDNOTLIVÝCH REFERENCÍ

V tabulce 5.1 jsou shrnuty chyby všech tří simulovaných referencí a tabulka 5.2 ukazuje jejich parametry pro nejhorší případ (maximální, případně minimální hodnota).

Tab. 5.1: Analýza přesnosti jednotlivých referencí

Veličina	Reference			Jednotka	Popis
	1*	2**	3***		
Δ_{typ}	2	2,1	2,3	mV	Rozptyl výstupního napětí způsobený teplotou pro typický proces
Δ_{max}	142	35,5	38,0	mV	Maximální rozdíl výstupního napětí od typické hodnoty způsobený tolerancí součástek a napájecího napětí v celém teplotním rozsahu
Δ_{match}	± 250	$\pm 6,3$	$\pm 8,8$	mV	Rozptyl výstupního napětí způsobený chybou matchingu při nejhorším případě z corner analýzy (36)

Tab. 5.2: Srovnání parametrů jednotlivých referencí

Parametr	Hodnota	Reference			Jednotka
		1*	2**	3***	
Výstupní napětí	typ	0,886	1,258	1,261	V
Celková přesnost	max	44	3,4	3,7	%
Teplotní koeficient	max	208	96	95	ppm/°C
PSRR (DC)	min	49	73	39	dB
Zátěžová regulace	max	144k	16,7	58	ppm/ μ A
Spotřeba	max	316	161	397	μ W

* CMOS reference

** Brokawova reference s operačním zesilovačem

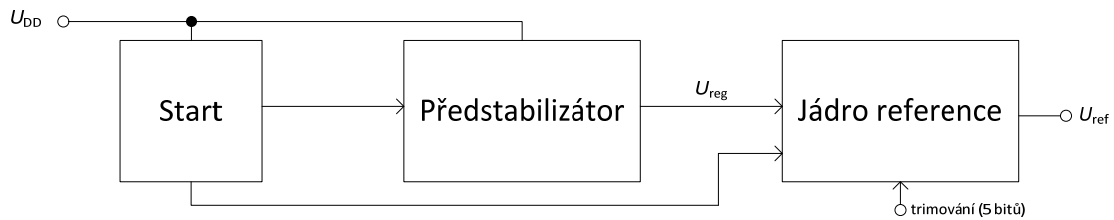
*** Brokawova reference bez operačního zesilovače

Je možné si všimnout, že u CMOS reference lze v typickém procesu dosáhnout dobré teplotní kompenzace a nízké chyby. Její napětí je však velmi citlivé na výrobní odchylky a při jejich uvážení celková přesnost dosahuje 44 % a nemůže tak konkurovat simulovaným bandgap referencím. Bez trimování po výrobě by bylo použití takovéto reference značně omezeno. Navíc tuto referenci nelze prakticky vůbec zatížit, jelikož dochází k výraznému poklesu jejího napětí ($14,4 \text{ \%}/\mu\text{A}$). Výhodou této reference je však použití pouze MOS tranzistorů.

Mnohem vyšších přesností se však podařilo dosáhnout pomocí obou simulovaných bandgap napěťových referencí (3,7 % a 3,4 %). Jejich referenční napětí pro typický proces má podobnou teplotní závislost jako u CMOS reference. Při uvážení výrobních nepřesností však nevykazují takovou citlivost jako CMOS reference. Navíc Brokawova reference s operačním zesilovačem má i vysoké potlačení změn napájecího napětí ($PSRR$) a je nejvíce zatížitelná. Podařilo se i výrazně snížit její spotřebu ($161 \mu\text{W}$) oproti ostatním simulovaným referencím ($> 300 \mu\text{W}$).

6 NÁVRH BANDGAP REFERENCE

Na základě porovnání vybraných topologií napěťových referencí v kapitole 5 dosáhla nejlepších parametrů Brokawova bandgap reference s operačním zesilovačem, jejíž struktura je popsána v kapitole 4.2. Ta byla dále vylepšena a doplněna o obvod předstabilizace a o trimovací obvod. Celkové blokové schéma je ukázáno na obrázku 6.1.



Obr. 6.1: Blokové schéma reference

Základem je jádro reference vytvářející požadované přesné výstupní referenční napětí. Pro zvýšení potlačení zvlnění napájecího napětí (*PSRR*) je jako napájecí napětí pro tento blok využito vnitřního stabilizovaného napětí U_{reg} z bloku předstabilizace. Pro zajištění požadovaného pracovního bodu obou těchto obvodů slouží společný startovací obvod.

6.1 Návrh jádra reference

Zjednodušené zapojení jádra reference je zobrazeno na obrázku 6.2. Poměr proudových hustot bipolárních tranzistorů N je zvolen 8. To je dosaženo pomocí osmi paralelních tranzistorů T_1 a jedním T_2 . Tato kombinace umožňuje vhodné uspořádání do čtverce v layoutu a tím snížení chyby souběhu. Proud oběma tranzistory je určen vztahem (6.1), přičemž velikost rezistoru R_2 ($8,8 \text{ k}\Omega$) byla zvolena tak, aby byla snadno realizovatelná pomocí kombinace rezistorů o hodnotě $3,3 \text{ k}\Omega$, jak bude uvedeno dále.

$$I_{R2} = \frac{U_t \cdot \ln(N)}{R_2} = \frac{\frac{k \cdot 300}{q} \cdot \ln(8)}{8,8k} = 6,1 \mu A. \quad (6.1)$$

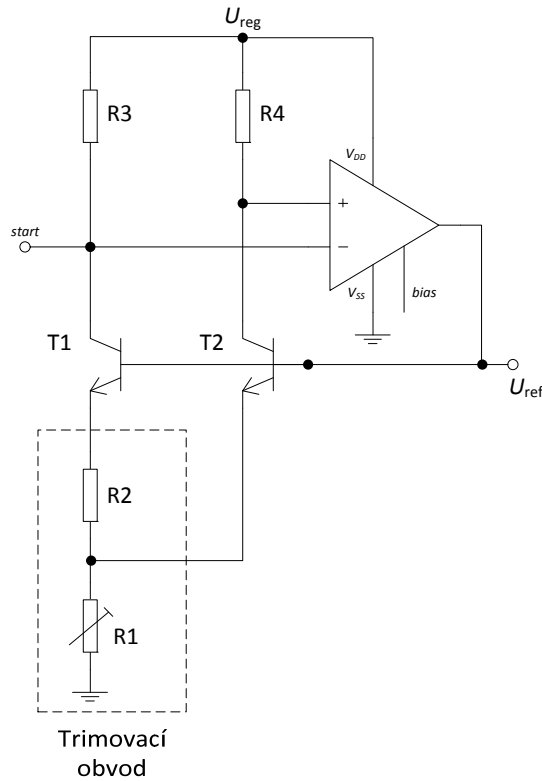
Poměr rezistorů R_1 a R_2 je poté pro dosažení teplotní kompenzace roven

$$\begin{aligned} \frac{R_1}{R_2} &= \frac{U_{G0} + (\gamma - \alpha) \frac{kT_0}{q} - U_{BE0-2}}{2 \frac{kT_0}{q} \ln(N)} \\ &= \frac{1,205 + (3,2 - 1) \frac{k \cdot 300}{q} - 0,65}{2 \frac{k \cdot 300}{q} \ln(8)} = 5,7, \end{aligned} \quad (6.2)$$

a teoretická hodnota R_1

$$R_1 = \frac{R_1}{R_2} \cdot R_2 = 5,7 \cdot 8,8k = 50,16 \text{ k}\Omega. \quad (6.3)$$

Tento rezistor je v kombinaci s R_2 realizován trimovacím obvodem, jenž je popsán níže, a jeho přesná hodnota je určena ze simulace tak, aby se dosáhlo optimálního průběhu výstupního napětí v závislosti na teplotě, a odpovídá 45,8 k Ω .



Obr. 6.2: Zapojení jádra reference

Výstupní napětí je pro vypočítaný poměr rezistorů R_1 a R_2 a referenční teplotu 300 K rovno

$$U_{ref} = U_{BE2} + 2U_t \cdot \ln(N) \cdot \frac{R_1}{R_2} = 0,65 + 2 \frac{k \cdot 300}{q} \ln(8) \cdot 5,7 \quad (6.4)$$

$$= 1,263 \text{ V}.$$

Rezistory R_3 a R_4 jsou zvoleny s ohledem na snížení vlivu náhodné napěťové nesymetrie operačního zesilovače a zajištění vstupního diferenčního NMOS páru OZ v saturaci i při nejhorším případě kombinace součástek v corner simulaci. Proto je výhodná jejich co nejvyšší velikost, čímž se sníží i chyba souběhu. Zároveň příliš velký úbytek napětí na těchto rezistorech by vedl k saturaci tranzistorů T_1 a T_2 (z důvodu snížení napětí na kolektorech obou tranzistorů, respektive napětí mezi emitorem a kolektorem) a tím nefunkčnosti obvodu. Jejich hodnota je 130 k Ω .

Tab. 6.1: Velikosti rezistorů jádra reference

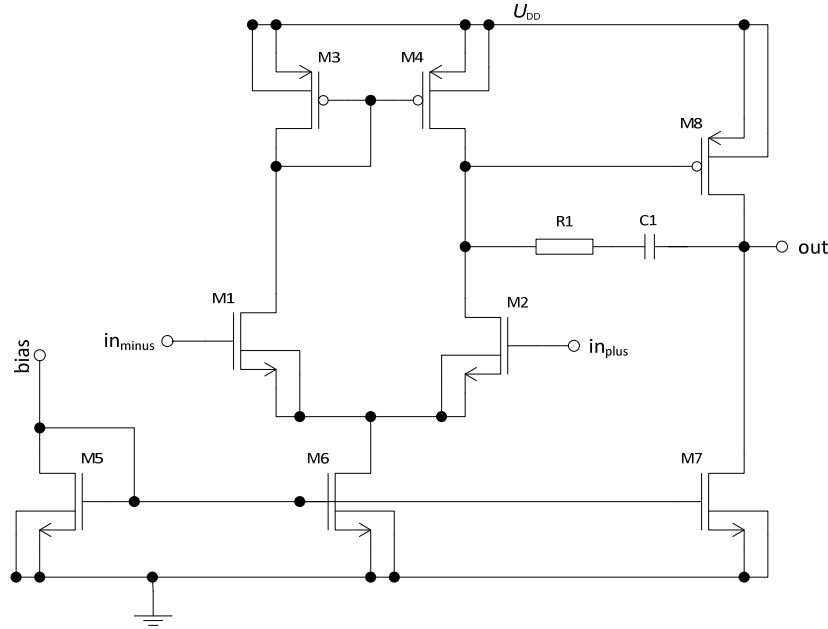
Součástka	Hodnota	Jednotka
R_1	45,8*	k Ω
R_2	8,8*	k Ω
R_3, R_4	130	k Ω

* realizováno serio-paralelní kombinací rezistorů

6.1.1 Operační zesilovač

Operační zesilovač tvoří důležitou součást jádra reference. Pomocí zpětné vazby udržuje shodné proudy oběma bipolárními tranzistory. Z tohoto důvodu se jeho vstupní napěťová nesymetrie projeví rozdílným napětím na rezistorech R_3 a R_4 a způsobí jejich rozdílné proudy. To se projeví na výstupním napětí a jeho teplotním průběhu a má za následek zvýšení chyby výstupního referenčního napětí. Proto mezi hlavní sledované parametry patří náhodná napěťová nesymetrie. Potřebné je rovněž dostatečné zesílení, naopak např. rychlost přeběhu nebo frekvence jednotkového zisku nejsou kritické, jelikož zesilovač pracuje prakticky se stejnosměrnými signály (frekvence jednotkového zesílení se však projevuje v potlačení zvlnění výstupního napětí $PSRR$).

Použit je standardní dvoustupňový Miller-OTA operační zesilovač, jehož schéma je zobrazeno na obrázku 6.3.



Obr. 6.3: Schéma zapojení operačního zesilovače

Pro dosažení požadované fázové bezpečnosti 60° platí pro kompenzační kapacitu vztah [13]:

$$C_c \geq 0,22 \cdot C_L. \quad (6.5)$$

Byla zvolena hodnota 1,7 pF. Pro určení rozměrů vstupního diferenčního páru se vychází z šířky pásma jednotkového zisku GBW :

$$gm_{1,2} = 2\pi \cdot GBW \cdot C_c = 2\pi \cdot 1M \cdot 1,7p = 10,7 \mu S, \quad (6.6)$$

$$\left(\frac{W}{L}\right)_{1,2} = \frac{(gm_1)^2}{2 \cdot KP_n \cdot \frac{I_b}{2}} = \frac{10,7\mu^2}{2 \cdot 166,1\mu \cdot 6\mu} = 0,12, \quad (6.7)$$

$L_{1,2} = 17 \mu m$, $W_{1,2} = 2 \mu m$. Byla zvolena šířka $W_{1,2} = 30 \mu m$, která zajistí vyšší transkonduktanci gm a tím i rezervu při výpočtech. Gm_1 je pak dáno:

$$gm_{1,2} = \sqrt{\left(\frac{W}{L}\right)_1 \cdot 2 \cdot KP_n \cdot \frac{I_b}{2}} = \sqrt{\frac{30\mu}{17\mu} \cdot 2 \cdot 166,1\mu \cdot \frac{6\mu}{2}} = 42 \mu S. \quad (6.8)$$

Rozměry a gm tranzistorů M3, M4 jsou určeny z rovnic:

$$gm_{3,4} = \frac{2 \cdot \frac{I_b}{2}}{U_{DSmin}} = \frac{2 \cdot \frac{6\mu}{2}}{0,25} = 23 \mu S, \quad (6.9)$$

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \cdot \frac{I_b}{2}}{KP_p \cdot (U_{DSmin})^2} = \frac{2 \cdot \frac{6\mu}{2}}{38,9\mu \cdot 0,25^2} = 2,25, \quad (6.10)$$

$L_{3,4} = 20 \mu m$, $W_{3,4} = 45 \mu m$.

Pro transkonduktanci tranzistoru M8 druhého stupně a fázovou bezpečnost 60° platí:

$$gm_8 = 2,2 \cdot gm_1 \cdot \frac{C_L}{C_c} = 2,2 \cdot 42\mu \cdot \frac{3p}{1,7p} = 160 \mu S. \quad (6.11)$$

Pro dosažení nízké systematické nesymetrie je nutné zajistit stejné napětí U_{GS} tranzistorů M4 a M8. Proto platí:

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_4 \cdot \frac{gm_8}{gm_4} = \frac{45\mu}{20\mu} \cdot \frac{160\mu}{23\mu} = 16, \quad (6.12)$$

$L_8 = 5 \mu m$, $W_8 = 80 \mu m$. Proud druhého stupně je pak určen:

$$I_7 = I_8 = \frac{(gm_1)^2}{2 \cdot KP_p \cdot \left(\frac{W}{L}\right)_8} = \frac{160\mu^2}{2 \cdot 38,9\mu \cdot 16} = 20 \mu A. \quad (6.13)$$

Rozměry tranzistorů proudového zrcadla jsou získány z rovnice pro proud v saturaci. Klidový (bias) proud ($8 \mu A$) tranzistorem M₅ je získán z obvodu předstabilizátoru, jak bude popsáno dále.

$$\left(\frac{W}{L}\right)_5 = \frac{2I_D}{KP_n \cdot (U_{DSmin})^2} = \frac{2 \cdot 8\mu}{166,1\mu \cdot 0,22^2} = 2, \quad (6.14)$$

$$L_5 = 10 \mu\text{m}, \quad W_5 = 20 \mu\text{m},$$

$$\left(\frac{W}{L}\right)_6 = \frac{I_6}{I_5} \cdot \left(\frac{W}{L}\right)_5 = \frac{6}{6} \cdot 2 = 1,5, \quad (6.15)$$

$$L_6 = 10 \mu\text{m}, \quad W_6 = 15 \mu\text{m},$$

$$\left(\frac{W}{L}\right)_7 = \frac{I_7}{I_5} \cdot \left(\frac{W}{L}\right)_5 = \frac{20}{8} \cdot 2 = 5, \quad (6.16)$$

$$L_7 = 10 \mu\text{m}, \quad W_7 = 50 \mu\text{m}.$$

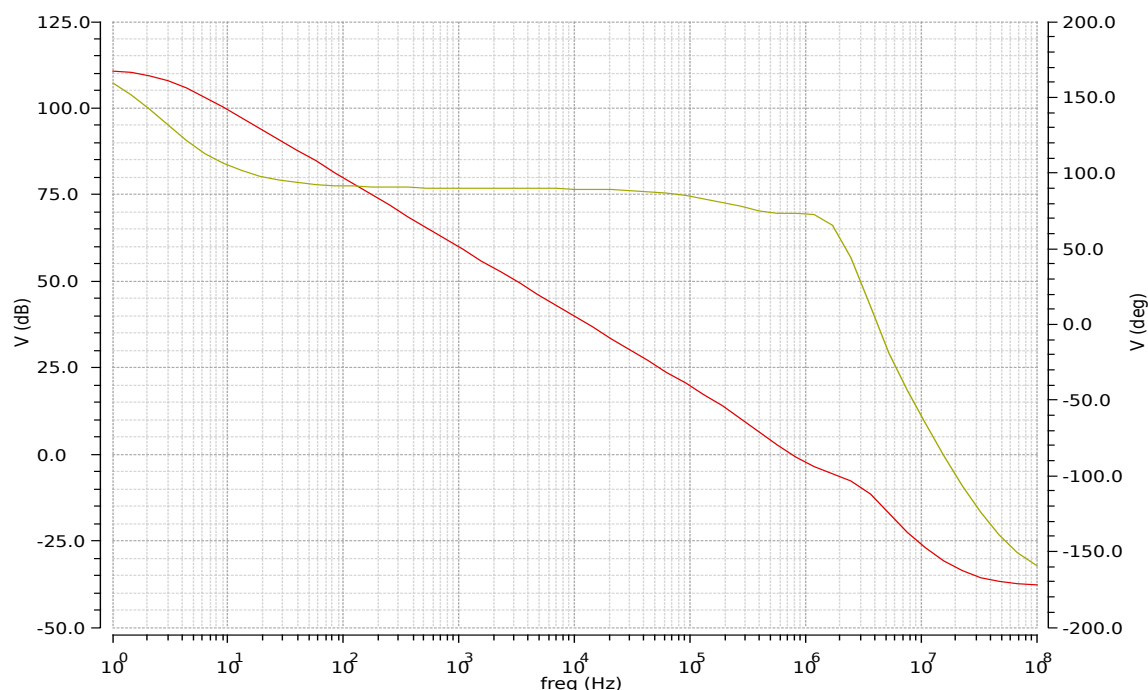
Konečné hodnoty součástek uvádí tabulky 6.2 a 6.3. Na obrázku 6.4 je ukázána frekvenční charakteristika operačního zesilovače. Dosažené parametry pak shrnuje tabulka 6.4.

Tab. 6.2: Velikosti tranzistorů operačního zesilovače

Tranzistor	W/L [μm/μm]	Počet	Tranzistor	W/L [μm/μm]	Počet
M ₁ , M ₂	15/17	2	M ₆	5/10	3
M ₃ , M ₄	22,5/20	2	M ₇	5/10	9
M ₅	5/10	4	M ₈	80/5	1

Tab. 6.3: Hodnoty ostatních součástek operačního zesilovače

Součástka	Hodnota	Jednotka
R ₁	50	kΩ
C ₁	3	pF



Obr. 6.4: Frekvenční charakteristika OZ (typický proces)

Tab. 6.4: Parametry operačního zesilovače

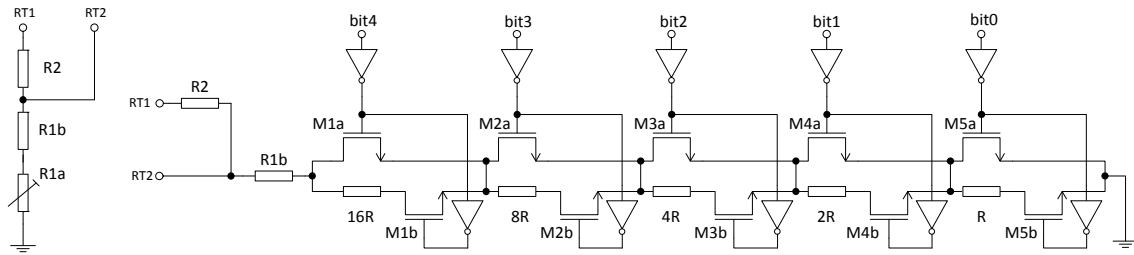
Parametr	Min	Typ	Max	Jednotka
Zesílení (A_u)	106	111	-	dB
Šířka pásma (GBW)	485	795	-	kHz
Fázová rezerva (PM)	63	73	-	°
Rychlost přeběhu (SR)	0,4	0,7	-	V/ μ s
Napětová nesymetrie (36)	-	-	1,6	mV
Spotřeba	-	38	71	μ W

Pozn.: $C_L = 3$ pF

6.1.2 Trimovací obvod

V důsledku výrobní tolerance parametrů součástek není zajištěna ideální teplotní kompenzace a velikost výstupního napětí reference. Takto způsobený rozptyl dosahuje podle corner simulace v celém teplotním rozsahu a napájecím napětí 39 mV. Rozptyl napětí způsobený chybou souběhu jednotlivých součástek pro tři směrodatné odchylky typicky odpovídá 3,9 mV. Celková chyba tedy přesahuje 3,4 %

($U_{\text{ref}} = 1,254 \text{ V}$). Tato chyba je podstatně vyšší než odchylka způsobená pouze nelineárním teplotním průběhem, jenž dosahuje přibližně $2,1 \text{ mV}$ ($0,17 \%$). Změnou poměru rezistorů R_1 a R_2 je možné tyto nepřesnosti částečně korigovat a dosáhnout tak vyšší přesnosti reference. Jelikož změna hodnoty rezistoru R_2 by způsobila změnu PTAT proudu, je výhodnější trimovat rezistor R_1 .

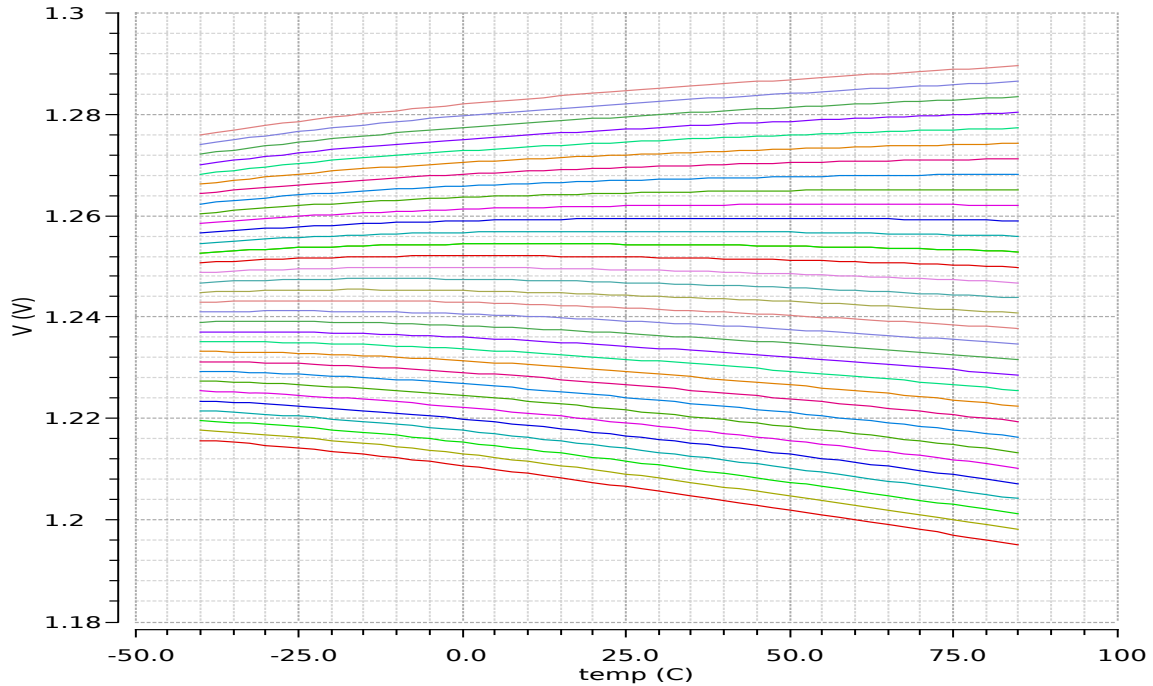


Obr. 6.5: Schéma trimovacího obvodu

Byl navržen pětibitový trimovací obvod, pomocí kterého lze digitálně upravit velikost rezistoru R_1 (obrázek 6.5) [25]. Ten je tvořen spínanou rezistorovou sítí a rezistorem s konstantní velikostí, jelikož potřebný rozsah nastavení rezistoru R_1 tvoří jen úzkou část jeho celkové hodnoty. Každý spínač se skládá z invertoru a dvou tranzistorů NMOS se stejnými rozměry ($50 \mu\text{m}/0,5 \mu\text{m}$). Ty mají proto téměř shodné odpory R_{on} (rozdíl je dán různým napětím U_{GS} i U_{DS} obou tranzistorů daný úbytkem na spínaném rezistoru, který však dosahuje maximálně několika setin voltu a lze jej zanedbat) a vždy je sepnut jeden z nich, který buď daný rezistor přemostuje, nebo připojuje do obvodu. Součet R_{on} všech tranzistorů tedy způsobuje jen systematickou chybu teplotního koeficientu a změnou odporu R_1 se lineárně mění teplotní koeficient výstupního napětí. To posléze usnadní určení potřebného nastavení bitové hodnoty trimovacího obvodu. Ke každému vstupu spínačů je připojen další invertor, jenž odděluje hradla spínacích tranzistorů od připojených vodičů a potlačuje tak možná rušení.

Během procesu trimování je možné měřit výstup reference v teplotním rozsahu $-40 \text{ }^{\circ}\text{C} - 85 \text{ }^{\circ}\text{C}$ při nastavené hodnotě bitů „00000“ a „11111“ a vypočítat teplotní koeficienty. Potřebná kombinace bitové hodnoty je poté dána vztahem:

$$bit7 - bit0 = 32 \cdot \frac{|TC_{11111}|}{|TC_{00000}| + |TC_{11111}|}. \quad (6.17)$$

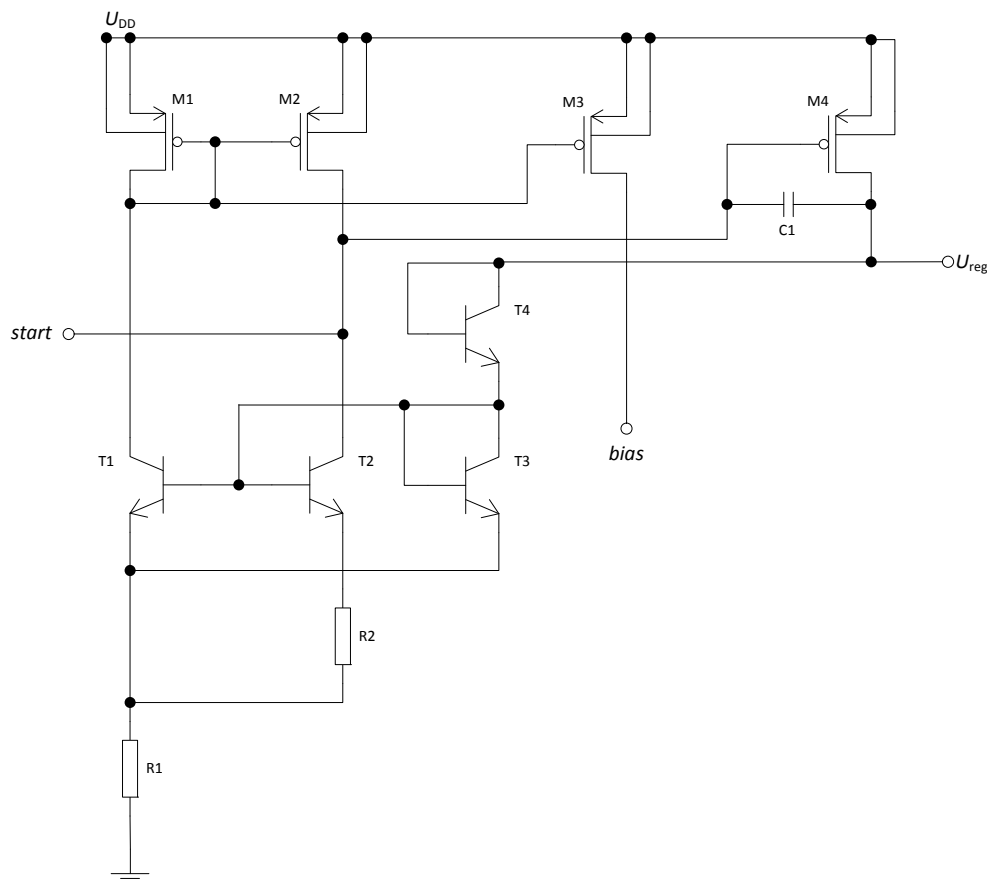


Obr. 6.6: Teplotní závislost výstupního napětí pro různé hodnoty trimování (typ. proces)

Rozsah nastavování byl určen pomocí corner analýzy a simulací Monte Carlo tak, aby mohl být výstupní napětí dostaveno ve všech případech na nejoptimálnější teplotní průběh. Potřebný rozsah nastavení R_1 je 42,7 – 47,8 k Ω , tzn. změna $\Delta R_1 = 5,1$ k Ω . Aby bylo dosaženo nižší chyby souběhu, mají všechny rezistory v trimovacím obvodu stejné rozměry. Výsledných hodnot je pak dosaženo pomocí sério-paralelních kombinací. Výše uvedený potřebný rozsah změny ΔR_1 byl navýšen na asi 6,4 k Ω , který je snadno realizovatelný pomocí 3,3 k Ω rezistorů, čímž se zvýší i rezerva. Na základě simulací reference i s kompletním trimovacím obvodem byl dále rozsah upraven na 41,8 – 48,2 k Ω . Tato realizace je ukázána v příloze na obrázku P3.2. Pro typický proces nejlépe vyhovuje digitální hodnota „10011“. Obrázek 6.6 ukazuje možnost změny teplotního průběhu výstupního napětí nastavením trimovacího obvodu pro typický proces.

6.2 Předstabilizátor

Pro zvýšení potlačení zvlnění napájecího napětí (*PSRR*) je napájení jádra reference zajištěno vnitřním regulovaným napětím U_{reg} , které je získáno jako výstup z předstabilizátoru. Ten pracuje na podobném principu jako Brokawova reference bez operačního zesilovače popsaná v kapitole 4.3 a jeho zapojení ukazuje obrázek 6.7. Pomocí zesilovače s tranzistorem M_4 je uzavřena záporná zpětná vazba obvodu předstabilizátoru, přičemž kompenzační kondenzátor C_1 zajišťuje stabilitu obvodu.



Obr. 6.7: Zapojení předstabilizátoru

Výstupní napětí je dáno dvěma přechody báze emitor tranzistorů T_3 a T_4 a je tedy rovno:

$$U_{reg} = 2U_{BG} = 2,52 \text{ V}, \quad (6.18)$$

kde U_{BG} je bandgap napětí (kapitola 4.1).

Proud všemi třemi větvemi předstabilizátoru je určen vztahem (6.19), kde velikost rezistoru R_2 (8,2 k Ω) byla zvolena tak, aby byl snadno realizovatelný poměr odporů R_1 , R_2 .

$$I_{R2} = \frac{U_t \cdot \ln(N)}{R_2} = \frac{\frac{k \cdot 300}{q} \cdot \ln(4)}{8,2k} = 4,4 \mu A. \quad (6.19)$$

Pro výpočet poměru odporů R_1 , R_2 je napětí předstabilizátoru odvozeno ve tvaru:

$$U_{reg} = 2U_{BE} + 3U_t \cdot \ln(N) \frac{R_1}{R_2}, \quad (6.20)$$

z něž lze vyjádřit:

$$\frac{R_1}{R_2} = \frac{U_{reg} - 2U_{BE}}{3U_t \cdot \ln(N)} = \frac{2,52 - 2 \cdot 0,65}{3 \frac{k \cdot 300}{q} \ln(4)} = 11,3. \quad (6.21)$$

Teoretická hodnota R_1 je tedy:

$$R_1 = \frac{R_1}{R_2} \cdot R_2 = 11,3 \cdot 8,2k = 92,66 \text{ k}\Omega. \quad (6.22)$$

Tento rezistor je realizován pomocí kombinací rezistorů o stejné hodnotě jako R_2 , jenž jsou v layoutu vhodně umístěny, aby bylo dosaženo lepšího souběhu. Jeho konečná hodnota je určena ze simulace pro dosažení optimálního průběhu výstupního napětí v závislosti na teplotě a odpovídá 86,1 k Ω .

Rozměry tranzistorů M_1 , M_2 proudového zrcadla jsou určeny z rovnice pro proud v saturaci:

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2I_D}{KP \cdot (U_{DSmin})^2} = \frac{2 \cdot 4,4\mu}{38,9\mu \cdot 0,33^2} = 2, \quad (6.23)$$

přičemž délka kanálu L byla zvolena $15\ \mu\text{m}$ na základě simulace DC match pro dosažení dobrého souběhu. Proud těmito tranzistory je dále zrcadlen v poměru 1:2 tranzistorem M_3 a využit jako klidový pracovní (bias) proud operačním zesilovačem. Tranzistor M_4 uzavírající zpětnou vazbu ovlivňuje minimální hodnotu vstupního napětí, které je rovno $U_{\text{ref}} + U_{\text{DSmin}}$. Z tohoto důvodu bylo zvoleno napětí $U_{\text{DSmin}} 0,2\ \text{V}$, které zaručuje pracovní bod tranzistoru v oblasti silné inverze. Z obrázku 6.8 je patrné, že uvedené zapojení stabilizuje napětí od $2,6\ \text{V}$. Pro výpočet rozměrů M_4 se vychází z rovnice (6.24), přičemž proud tímto tranzistorem je tvořen proudem větví s bipolárními tranzistory T_3 , T_4 (daný rezistorem R_2) a celkovou spotřebou jádra reference:

$$\left(\frac{W}{L}\right)_4 = \frac{2I_D}{KP \cdot (U_{\text{DSmin}})^2} = \frac{2 \cdot 28\mu}{38,9\mu \cdot 0,2^2} = 36. \quad (6.24)$$

Délka L byla zvolena $1\ \mu\text{m}$ a šířka W po simulaci upravena na $30\ \mu\text{m}$.

Konečné hodnoty součástek shrnují tabulky 6.5 a 6.6.

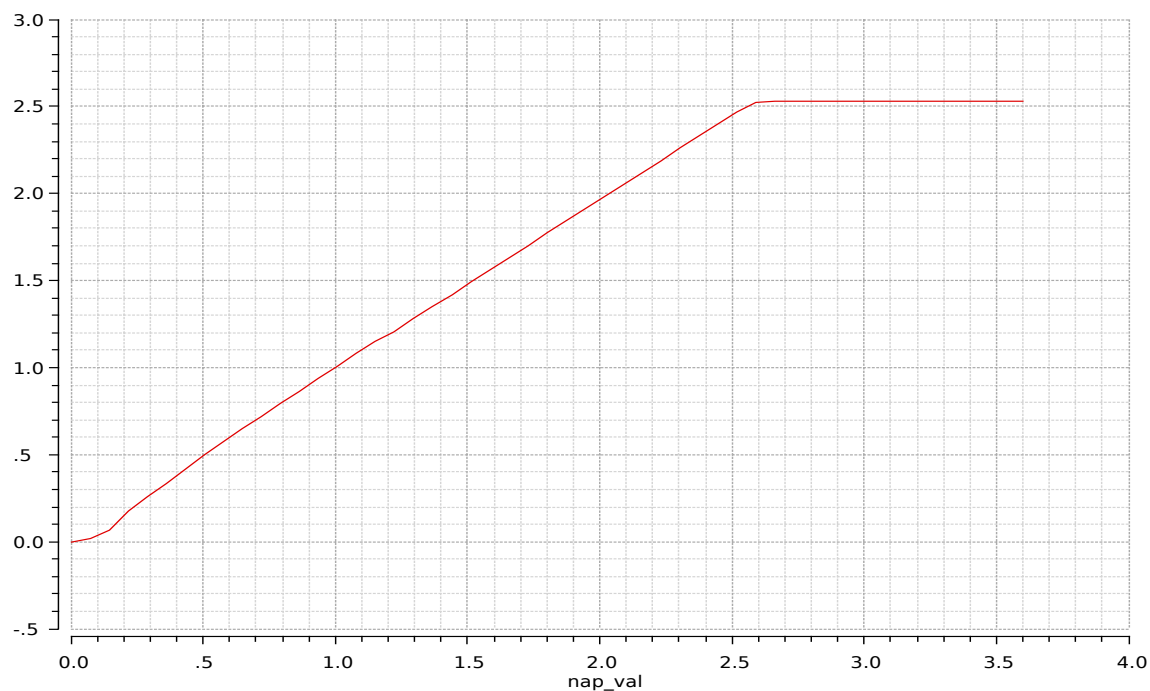
Tab. 6.5: Velikosti tranzistorů předstabilizátoru

Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet	Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet
M_1, M_2	15/15	2	M_4	30/1	1
M_3	15/15	4			

Tab. 6.6: Hodnoty ostatních součástek předstabilizátoru

Součástka	Hodnota	Jednotka
R_1	86,1*	$\text{k}\Omega$
R_2	8,2	$\text{k}\Omega$
C_1	0,6	pF

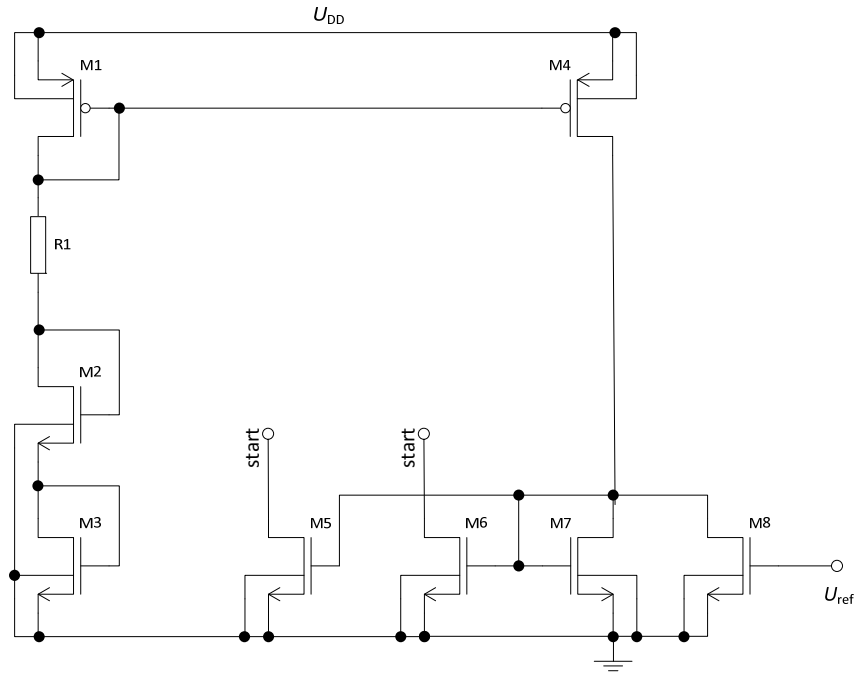
* realizováno serio-paralelní kombinací rezistorů



Obr. 6.8: Závislost výstupního napětí předstabilizátoru na napájecím napětí (typ. proces)

6.3 Startovací obvod

Jak bylo popsáno v kapitole 4.2.1 jádro reference i předstabilizátor mají dva pracovní body. Startovací obvod (obrázek 6.9) zajišťuje přesunutí do správného pracovního bodu po zapnutí obvodu. Tranzistory M_1 , M_2 , M_3 , M_4 a rezistor R_1 tvoří zdroj proudu, M_5 , M_6 a M_7 pak tento proud zrcadlí do příslušných míst reference, čímž dojde k jejich napětovému posunu. Jakmile výstupní referenční napětí dosáhne úrovně prahového napětí NMOS tranzistoru, tranzistor M_8 se začne otevírat a tím přivírat M_5 , M_6 a M_7 . Startovací obvod tedy přestane ovlivňovat zbývající část zapojení.



Obr. 6.9: Schéma startovacího obvodu

Byl zvolen proud $13 \mu\text{A}$, který je tranzistory M_1 , M_2 zrcadlen v poměru 2:1. Rozměry jsou pak následující:

$$\left(\frac{W}{L}\right)_1 = \frac{2I_D}{KP \cdot (U_{DSmin})^2} = \frac{2 \cdot 13\mu}{38,9\mu \cdot 0,2^2} = 14, \quad (6.25)$$

$$\left(\frac{W}{L}\right)_4 = \frac{\left(\frac{W}{L}\right)_1}{2} = 7, \quad (6.26)$$

$$L_{1,2} = 1 \mu\text{m}, \quad W_1 = 14 \mu\text{m}, \quad W_4 = 7 \mu\text{m}.$$

$$\left(\frac{W}{L}\right)_{2,3} = \frac{2I_D}{KP \cdot (U_{DSmin})^2} = \frac{2 \cdot 13\mu}{166,1\mu \cdot 0,4^2} = 1, \quad (6.27)$$

$L_{2,3} = 1 \mu\text{m}$, $W_{2,3} = 1 \mu\text{m}$. Velikost rezistoru R_1 je dána:

$$R_1 = \frac{U_R}{I_R} = \frac{U_{DD} - 2 \cdot U_{GSn} - U_{GSp}}{I_R} = \frac{3,3 - 2 \cdot 0,99 - 0,8}{13\mu} = 40 \text{ k}\Omega. \quad (6.28)$$

Rozměry tranzistorů M_5 , M_6 , M_7 jsou určeny:

$$\left(\frac{W}{L}\right)_{5,6,7,8} = \frac{2I_D}{KP \cdot (U_{DSmin})^2} = \frac{2 \cdot 6,5\mu}{166,1\mu \cdot 0,2^2} = 2, \quad (6.29)$$

$L_{5,6,7} = 2 \mu\text{m}$, $W_{5,6,7} = 4 \mu\text{m}$. Šířka tranzistoru M_8 byla následně po simulacích upravena na $2 \mu\text{m}$ pro zajištění spolehlivého nastartování obvodu i při nejhorším případě kombinace tolerancí procesu, teploty a napájecího napětí (corner analýza).

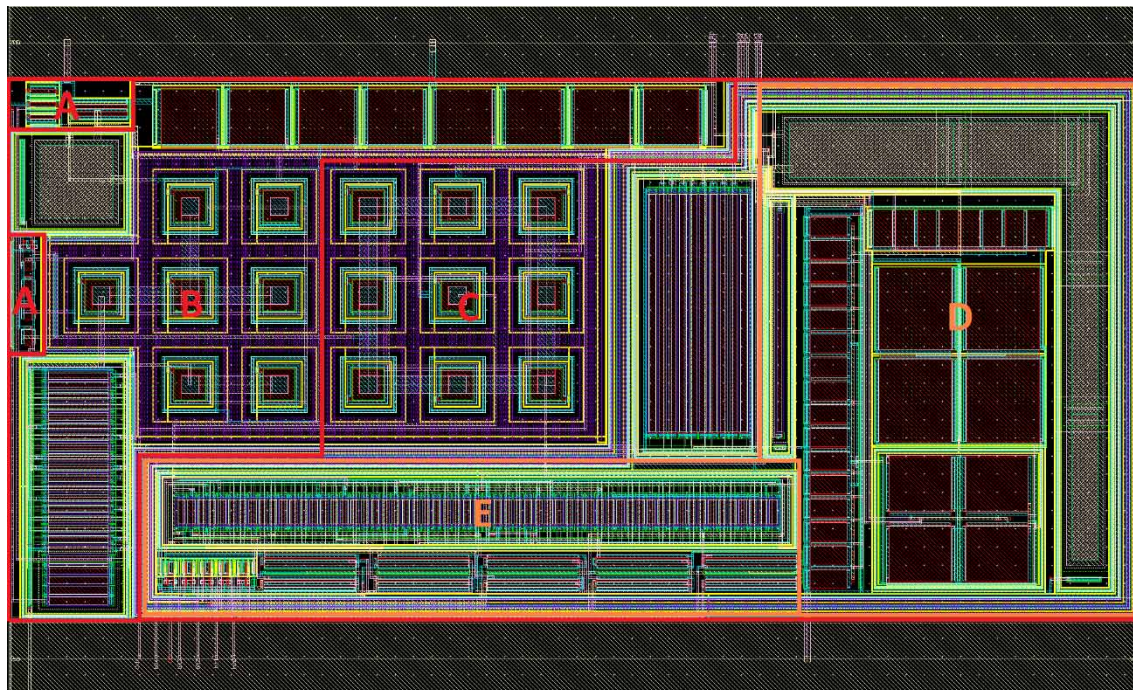
Rozměry tranzistorů shrnuje tabulka 6.7.

Tab. 6.7: Velikosti tranzistorů startovacího obvodu

Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet	Tranzistor	W/L [$\mu\text{m}/\mu\text{m}$]	Počet
M_1	7/1	2	M_4	7/1	1
M_2, M_3	1/1	1	M_5, M_6, M_7	4/2	1
M_8	2/2	1			

6.4 Layout

Byla navržena topologie - layout reference, která je zobrazena na obrázku 6.10. Při návrhu se soustředilo na minimalizování celkové plochy na čipu i nedokonalostí vznikajících při výrobě integrovaného obvodu a tím dosáhnutí vysoké shodnosti (matchingu) kritických komponent (např. diferenčního páru, zrcadel, bipolárních tranzistorů, rezistorů apod.). To je zajištěno vhodným uspořádáním jednotlivých součástek vedle sebe, ve vhodné orientaci i pořadí. Pro propojovací cesty je využito tří vrstev metalizace. Velikost celé buňky včetně napájecích vodičů je $170 \mu\text{m} \times 310 \mu\text{m}$ s plochou $0,05 \text{ mm}^2$.

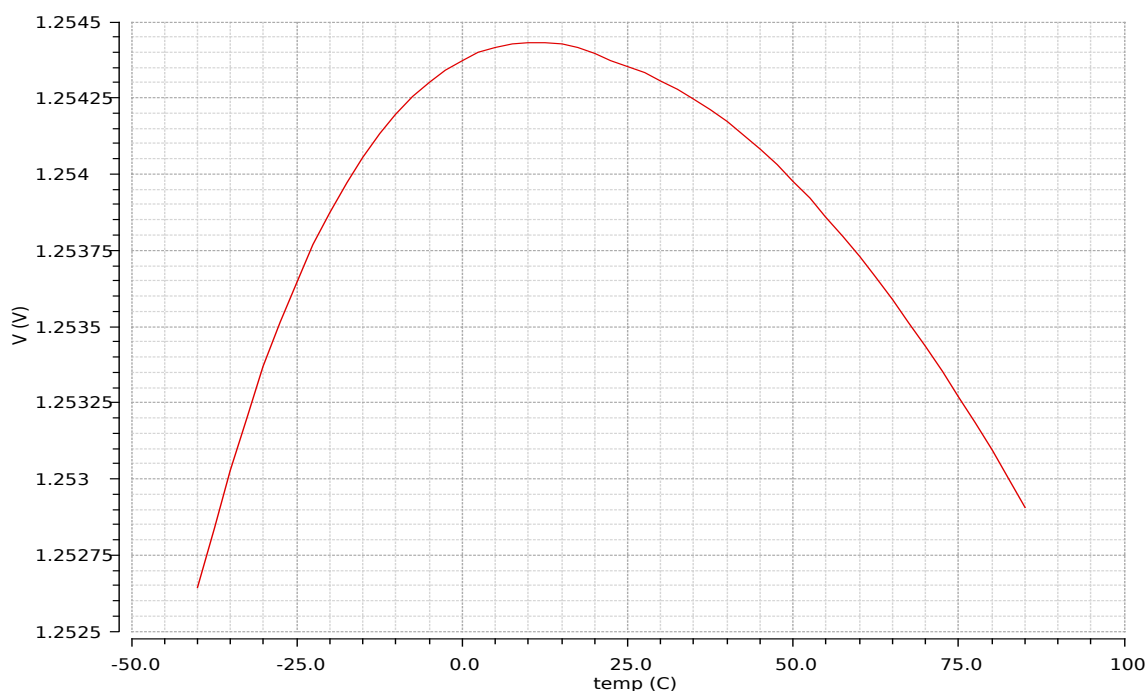


Obr. 6.10: Layout reference. A – startovací obvod, B – předstabilizátor, C – jádro reference, D – operační zesilovač, E – trimovací obvod

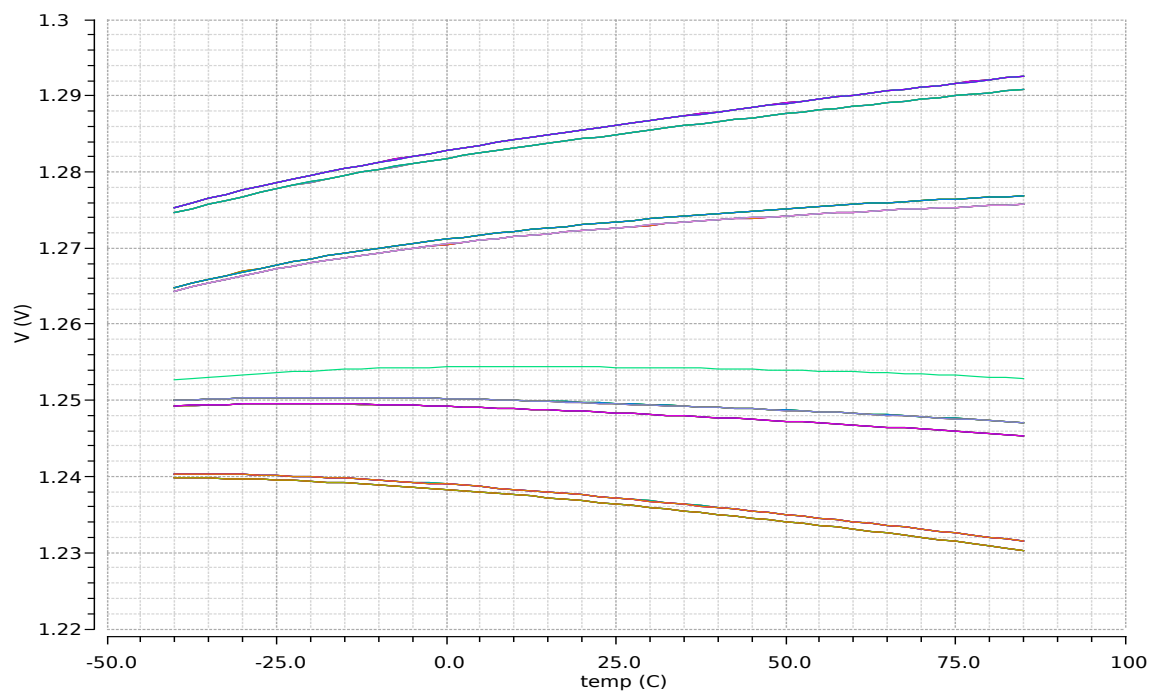
7 DOSAŽENÉ PARAMETRY

Zapojení celé napěťové reference bylo simulováno v teplotním rozsahu $-40\text{ }^{\circ}\text{C}$ – $85\text{ }^{\circ}\text{C}$ při napájení 3 V – $3,6\text{ V}$. Na obrázku 7.1 je zobrazen průběh výstupního napětí v závislosti na teplotě pro typický proces. Jelikož trimovací obvod má omezený počet kroků (32), nelze teplotní průběh nastavit s libovolnou přesností tak, aby střed paraboly byl přesně uprostřed teplotního rozsahu. Z tohoto důvodu je odchylka od typické hodnoty při $-40\text{ }^{\circ}\text{C}$ nepatrně vyšší než při $85\text{ }^{\circ}\text{C}$.

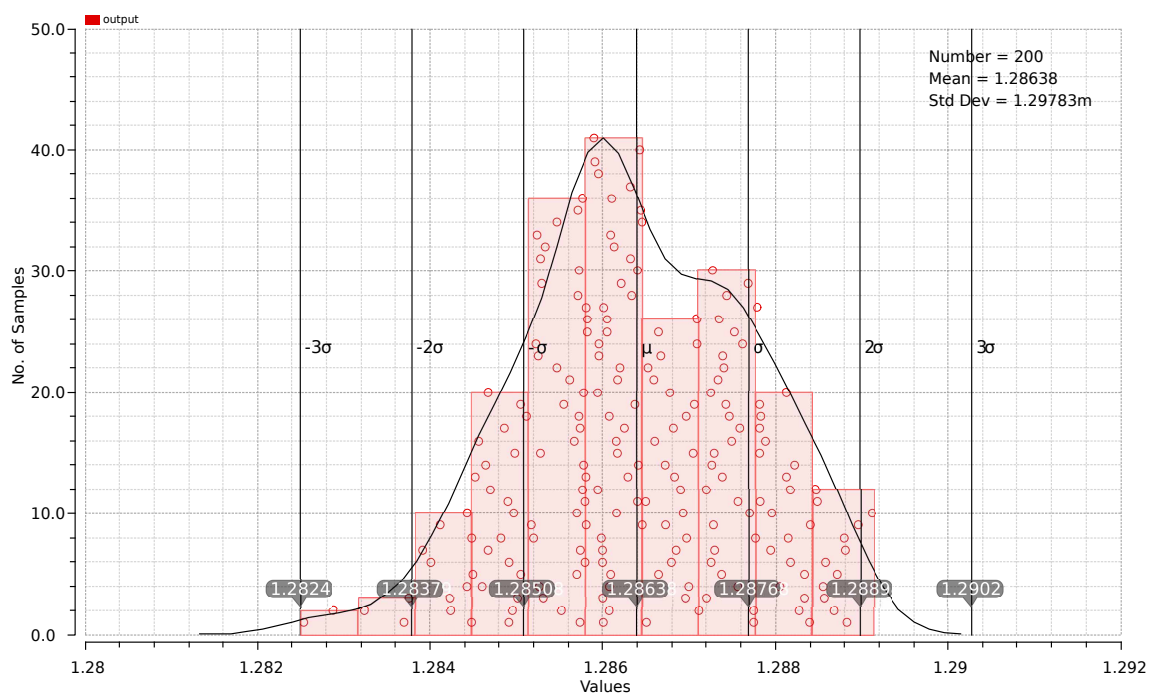
Výsledek corner analýzy zahrnující vliv tolerancí součástek a napájecího napětí od 3 V do $3,6\text{ V}$ ukazuje obrázek 7.2 a vliv souběhu obrázek 7.3. Tabulka 7.1 pak shrnuje jednotlivé chyby reference a tabulka 7.2 celkové dosažené parametry. Před trimováním dosahuje přesnost reference $3,4\text{ }%$, kterou je však možné správně nastaveným kódem trimovacího obvodu zvýšit pod $0,5\text{ }%$. To je ukázáno na obrázku 7.4, kdy pomocí kódu trimovacího obvodu „00100“ (4) se pro nejhorší případ z corner analýzy podařilo upravit teplotní závislost výstupního napětí na neoptimálnější průběh a snížit chybu na $0,36\text{ }%$. Zapojení dosahuje vysokého potlačení napájecího napětí (92 dB) a spotřeba nepřesahuje $459\text{ }\mu\text{W}$.



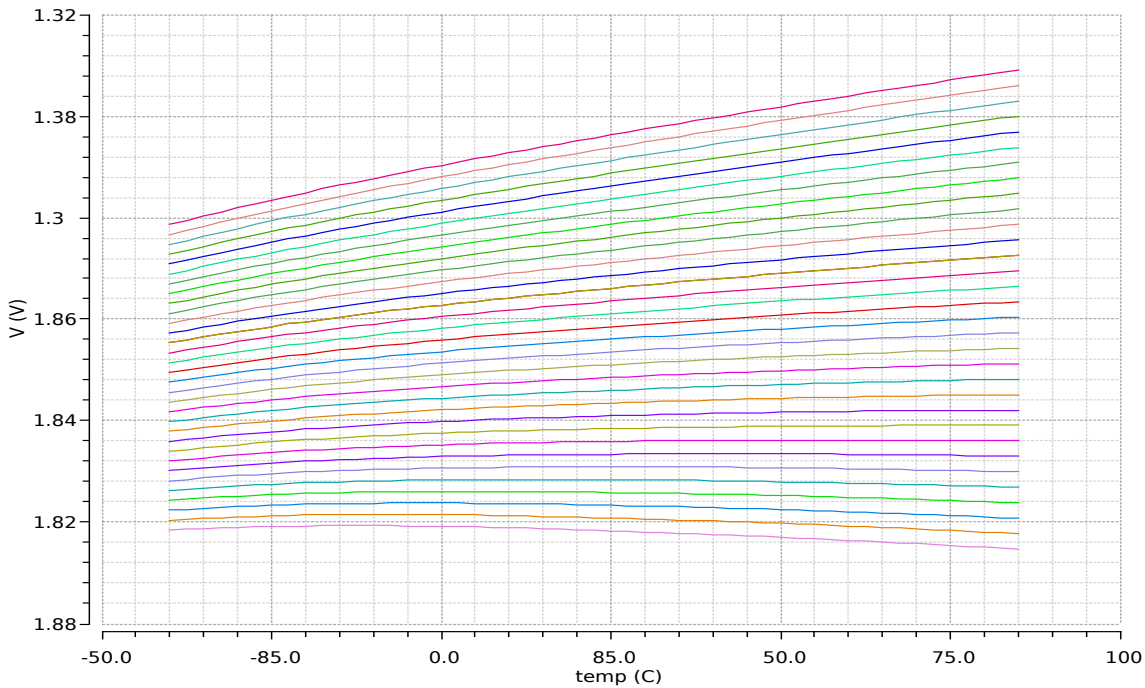
Obr. 7.1: Teplotní závislost referenčního napětí pro typický proces



Obr. 7.2: Teplotní závislost referenčního napětí z corner analýzy



Obr. 7.3: Statistické rozložení hodnot referenčního napětí pro nejhorší případ z corner analýzy



Obr. 7.4: Ukázka dostavení výstupního napětí trimovacím obvodem pro nejhorší případ z corner analýzy

Tab. 7.1: Analýza přesnosti navržené reference

Veličina	Hodnota	Jednotka	Popis
Δ_{typ}	2,1	mV	Rozptyl výstupního napětí způsobený teplotou pro typický proces
Δ_{max}	39,0	mV	Maximální rozdíl výstupního napětí od typické hodnoty způsobený tolerancí součástek a napájecího napětí v celém teplotním rozsahu
Δ_{match}	$\pm 3,9$	mV	Rozptyl výstupního napětí způsobený chybou matchingu při nejhorším případě z corner analýzy (36)

Tab. 7.2: Parametry reference

Parametr	Min	Typ	Max	Jednotka
Výstupní napětí*	1,227	1,254	1,297	V
Celková přesnost*	-	-	3,4	%
Teplotní koeficient*	-	13	110	ppm/°C
PSRR (DC)	92	108	-	dB
Zátěžová regulace	-	6	22	ppm/μA
Spotřeba	-	207	459	μW

* před trimováním

ZÁVĚR

Tato práce se zabývá napěťovými referencemi. Byly ukázány dva různé přístupy dosažení stabilního referenčního napětí. První spočívá ve využití pouze MOS tranzistorů a rezistorů běžně dostupných v CMOS technologii. Poté byl vysvětlen princip bandgap napěťových referencí, které ke své funkci používají bipolární tranzistory.

V návrhovém prostředí CADENCE v technologii ONSemi I3T25 byly nejdříve navrženy a simulovány celkem tři zapojení napěťových referencí – jedna CMOS a dvě bandgap reference. Byly vyhodnoceny jejich chyby způsobené změnou teploty, napájecího napětí, rozptylem výrobního procesu i souběhu (matchingu). Simulovaly se i další parametry jako vliv odebíraného proudu a spotřeba. Tyto parametry byly nakonec přehledně srovnány.

Mezi CMOS referencí a oběma bandgap referencemi byl značný rozdíl. V typickém procesu dokázaly všechny dobře kompenzovat teplotní změny. Potvrdilo se však, že pomocí bandgap zapojení lze výrazným způsobem snížit vliv výrobního procesu a tím dosáhnout vyšší přesnosti. Zatímco CMOS reference dosahovala přesnosti 44 %, Brokawova bandgap reference bez operačního zesilovače 3,7 % a Brokawova reference s operačním zesilovačem 3,4 %. I při porovnání dalších parametrů Brokawova reference s operačním zesilovačem vykazovala nejlepší hodnoty.

Proto bylo zapojení Brokawovy reference dále rozpracováno. Bylo doplněno o předstabilizátor a pětibitový trimovací obvod, pomocí kterého je možné omezit vliv výrobních tolerancí a podstatně tak zvýšit přesnost reference. Ta před trimováním dosahuje 3,4 %, při vhodně nastaveném kódu ji lze však zvýšit i pod 0,5 %. Použitím předstabilizátoru bylo dosaženo vysokého potlačení napájecího napětí minimálně 92 dB. Spotřeba celé reference nepřevyšuje 459 μ W.

Byla navržena i topologie na čipu (layout). Celá buňka zaujímá plochu 0,05 mm² s rozměry 170 μ m x 310 μ m.

LITERATURA

- [1] CARUSONE, Tony Chan, David JOHNS a Kenneth W. MARTIN. *Analog integrated circuit design*. 2nd ed. Hoboken, NJ: John Wiley, 2012, xxii, 794 p. ISBN 04-707-7010-4.
- [2] ZHOU, Ze-Kun, Xue-Chun OU, Yue SHI, Pei-Sheng ZHU, Ying-Qian MA, Shi QIU, Xin MING a Bo ZHANG. A 3.2ppm/°C curvature-compensated bandgap reference with wide supply voltage range. *Microelectronics Journal* [online]. 2012, Vol. 43, issue 11, s. 863-868 [cit. 2014-10-13]. ISSN 00262692. Dostupné z: <http://linkinghub.elsevier.com/retrieve/pii/S0026269212001383>
- [3] KOK, Chi-Wah a Wing-Shan TAM. *CMOS voltage reference: an analytical and practical perspective*. First edition. 2013, xvii, 292 s. ISBN 978-111-8275-689.
- [4] HUANG, P.-H., H. LIN a Y.-T. LIN. A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation. *IEEE Transactions on Circuits and Systems II: Express Briefs* [online]. 2006, Vol. 53, issue 9, s. 882-885 [cit. 2014-10-13]. ISSN 1057-7130. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1705059>
- [5] TOM, K. a A. ALVANDPOUR. Curvature compensated CMOS bandgap with sub 1V supply. In: *Third IEEE International Workshop on Electronic Design, Test and Applications (DELTA'06)* [online]. IEEE, 2006, 4 pp.-96 [cit. 2014-10-13]. ISBN 0-7695-2500-8. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1581194>
- [6] GUPTA, Vishal. *An Accurate, Trimless, High PSRR, Low-voltage, CMOS Bandgap Reference IC*. Georgia, 2007, 142 s. . Dissertation. Georgia Institute of Technology, School of Electrical and Computer Engineering.

- [7] PARKER, Kevin. *An On-Chip Trimming Technique for CMOS Voltage References*. Kingston (Ontario), 1997, 113 s. . Master's thesis. Queen's University, Department of Electrical and Computer Engineering.
- [8] RINCÓN-MORA, Gabriel A.. *Voltage references: from diodes to precision high-order bandgap circuits*. New York: Wiley-Interscience, 2002, xxiii, 168 p. ISBN 04-711-4336-7.
- [9] FAYOMI, Christian Jésus B., Gilson I. WIRTH, Hervé Facpong ACHIGUI a Akira MATSUZAWA. Sub 1 V CMOS bandgap reference design techniques: a survey. *Analog Integrated Circuits and Signal Processing* [online]. 2010, Vol. 62, issue 2, s. 141-157 [cit. 2014-10-14]. ISSN 0925-1030. Dostupné z: <http://link.springer.com/10.1007/s10470-009-9352-4>
- [10] DEGRAUWE, M.G.R., O.N. LEUTHOLD, E.A. VITTOZ, H.J. OGUEY a A. DESCOMBES. CMOS voltage references using lateral bipolar transistors. *IEEE Journal of Solid-State Circuits* [online]. 1985, Vol. 20, issue 6, s. 1151-1157 [cit. 2014-10-16]. ISSN 0018-9200. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1052453>
- [11] KA NANG LEUNG a P.K.T. MOK. A CMOS voltage reference based on weighted $\Delta V / \text{sub GS/}$ for CMOS low-dropout linear regulators. *IEEE Journal of Solid-State Circuits*. 2003, Vol. 38, issue 1, s. 146-150. ISSN 0018-9200. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1158794>
- [12] WANG, Honglai, Xiaoxing ZHANG, Yujie DAI a Yingjie LÜ. A low-voltage low-power CMOS voltage reference based on subthreshold MOSFETs. *Journal of Semiconductors* [online]. 2011-08, Vol. 32issue 8 [cit. 2014-10-16]. ISSN 1674-4926. Dostupné z: <http://stacks.iop.org/1674-4926/32/i=8/a=085009?key=crossref.6d4df4f561249e1b6a6523151ed65217>
- [13] ALLEN, Phillip E. a Douglas R. HOLBERG. *CMOS analog circuit design*. 2nd ed. New York: Oxford University Press, 2002, 784 s. ISBN 01-951-1644-5.

- [14] GRAY, Paul R.. *Analysis and design of analog integrated circuits*. 5th ed. New York: Wiley, 2009, xiv, 881 p. ISBN 978-047-0245-996.
- [15] GREBENE, Alan B.. *Bipolar and MOS analog integrated circuit design*. Wiley classics library ed. Hoboken, N.J.: Wiley-Interscience, 2003, xiv, 894 p. ISBN 04-714-3078-1.
- [16] ALVAREZ, A. *BiCMOS technology and applications*. 2nd ed. Boston: Kluwer Academic Publishers, 1993, xvi, 404 p. ISBN 07-923-9384-8.
- [17] Custom Foundry Services. In: *ON Semiconductor* [online]. © 1999-2014 [cit. 2014-12-01]. Dostupné z: <http://www.onsemi.com/PowerSolutions/content.do?id=16558>
- [18] I3T25: 0.35 μm Process Technology. In: *ON Semiconductor* [online]. © 1999-2014 [cit. 2014-12-02]. Dostupné z: <http://www.onsemi.com/PowerSolutions/content.do?id=16687>
- [19] ON SEMICONDUCTOR. *I3T25 (0.35 μm) Design Rules: 1000115 Rev: F*. 2010.
- [20] ON SEMICONDUCTOR. *I3T25DG Bipolar Modeling Report: Rev1.0.0*. 2008.
- [21] TOLEDO, Luis Eduardo, Pablo A. PETRASHIN, Walter J. LANCIONI, Fortunato Carlos DUALIBE a Luis Rafael CANALI. A low voltage CMOS voltage reference based on partial compensation of MOSFET threshold voltage and mobility using current subtraction. In: *2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS)* [online]. IEEE, 2013, s. 1-4 [cit. 2014-11-13]. ISBN 978-1-4673-4900-0. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6519024>
- [22] ZHIWEI, Dong a P.E. ALLEN. Low-voltage, supply independent CMOS bias circuit. In: *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002* [online]. IEEE, 2002, III-568-III-570 [cit. 2014-11-13]. ISBN 0-7803-7523-8. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1187100>

- [23] WIDLAR, R.J.. New developments in IC voltage regulators. In: *IEEE Journal of Solid-State Circuits* [online]. 1971, Vol. 6, issue 1, s. 2-7 [cit. 2014-11-25]. ISSN 0018-9200. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1050151>
- [24] BROKAW, A.P.. A simple three-terminal IC bandgap reference. In: *IEEE Journal of Solid-State Circuits* [online]. 1974, Vol. 9, issue 6, s. 388-393 [cit. 2014-11-25]. ISSN 0018-9200. Dostupné z: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1050532>
- [25] NING, Zhi-hua a Le-nian HE. A low drift curvature-compensated bandgap reference with trimming resistive circuit. *Journal of Zhejiang University SCIENCE C*. 2011, Vol. 12, issue 8, s. 698-706. ISSN 1869-1951. Dostupné z: <http://www.springerlink.com/index/10.1631/jzus.C1000440>

SEZNAM ZKRATEK A SYMBOLŮ

A/D	Analogově - digitální
ASIC	Aplication specific integrated circuit – zákaznický obvod
BiCMOS	Technologie kombinující bipolární a CMOS tranzistory
CMOS	Complementary Metal-Oxide-Semiconductor – výrobní techn.
CTAT	Complementary to absolute temp. – nepřímo úměrný teplotě
D/A	Digitálně – analogový
DC	Direct current - stejnosměrný proud
DRAM	Dynamic Random Access Memory – druh paměti
FLASH	Druh paměti
GBW	Gain bandwidth – šířka pásma
HIPOR	High ohmic poly resistor – vysokorezistivní rezistor
LED	Light Emitting Diode – světlo emitující dioda
MOS	Metal-Oxide-Semiconductor – struktura a typ tranzistoru
NDMOS	Diffused Metal-Oxide-Semiconductor – typ tranzistoru s kanálem typu N
NMOS	MOS transistor s kanálem typu N
OTA	Operační transkonduktanční zesilovač
OZ	Operační zesilovač
PDMOS	Diffused Metal-Oxide-Semiconductor – typ tranzistoru s kanálem typu P
PM	Phase margin – fázová rezerva
PMOS	MOS transistor s kanálem typu P
ppm	Parts per million – jedna miliontina celku
PSRR	Power supply rejection ratio – potlačení napájecího napětí
PTAT	Proportional to absolute temperature – přímo úměrný teplotě

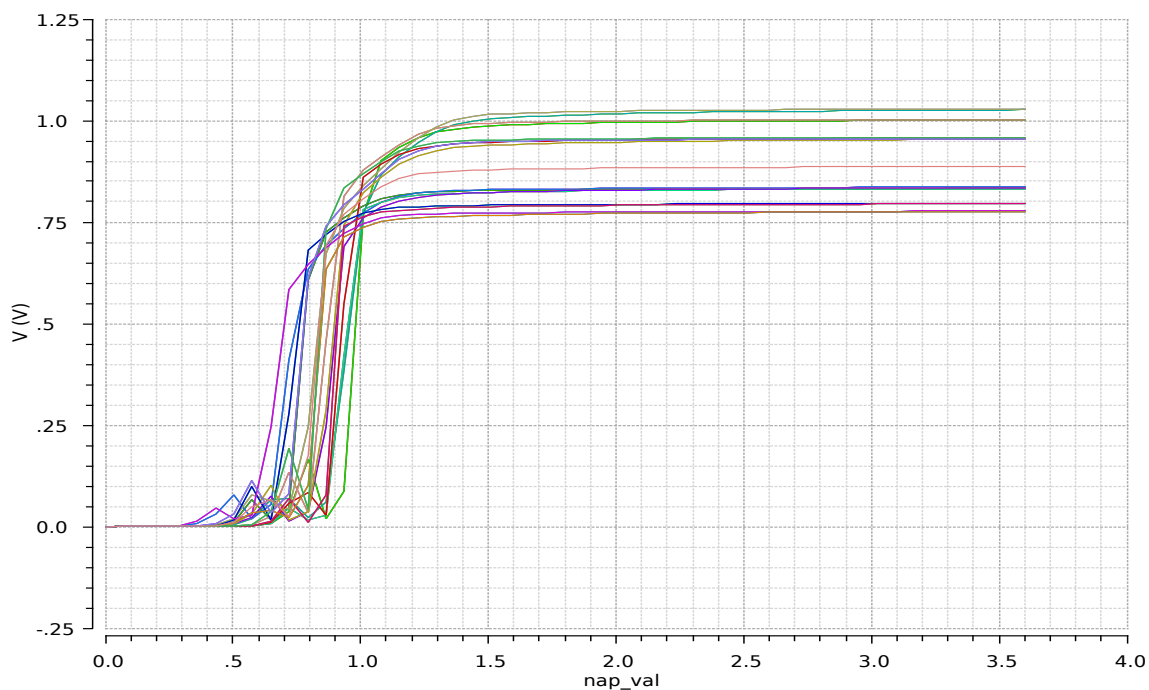
μ_n	$[\text{m}^2\text{V}^{-1}\text{s}^{-1}]$	Pohyblivost elektronů
D_n	$[\text{m}^2\text{s}^{-1}]$	Difúzní koeficient elektronů
I_b	$[\text{A}]$	Proud báze bipolárního tranzistoru
I_C	$[\text{A}]$	Kolektorový proud
I_{DSAT}	$[\text{A}]$	Saturační proud
I_S	$[\text{A}]$	Saturační proud bipolárního tranzistoru
J_C	$[\text{A}\text{m}^{-2}]$	Proudová hustota kolektorového proudu
k	$[\text{JK}^{-1}]$	Boltzmannova konstanta
KP	$[\text{AV}^2]$	Transkonduktanční parametr
L	$[\mu\text{m}]$	Délka kanálu MOS tranzistoru
L_p	$[\text{m}]$	Střední difúzní délka děr
m_e	$[\text{kg}]$	Efektivní hmotnost elektronu
m_h	$[\text{kg}]$	Efektivní hmotnost děr
N_D	$[\text{m}^{-3}]$	Koncentrace donorů
n_i	$[\text{m}^{-3}]$	Intrinzická koncentrace nosičů náboje
q	$[\text{C}]$	Elektrický náboj elektronu
T	$[\text{K}]$	Termodynamická teplota
T_0	$[\text{°C}]$	Referenční teplota
TC	$[\text{K}^{-1}]$	Teplotní koeficient
U_{BE}	$[\text{V}]$	Napětí přechodu báze – emitor
U_{BS}	$[\text{V}]$	Napětí mezi bulk a source MOS tranzistoru
U_{CC}	$[\text{V}]$	Napájecí napětí
U_{DD}	$[\text{V}]$	Napájecí napětí
U_{DS}	$[\text{V}]$	Napětí mezi drain a source MOS tranzistoru
U_{E}	$[\text{V}]$	Earlyho napětí
U_{G0}	$[\text{V}]$	Napětí zakázaného pásu při teplotě 0 K
U_{GS}	$[\text{V}]$	Napětí mezi gate a source MOS tranzistoru

U_{ref}	[V]	Referenční napětí
U_{t}	[V]	Teplotní napětí
U_{th}	[V]	Prahové napětí
U_{thn}	[V]	Prahové napětí NMOS tranzistoru
U_{thp}	[V]	Prahové napětí PMOS tranzistoru
W	[μm]	Šířka kanálu MOS tranzistoru
β	[-]	Proudový zesilovací činitel

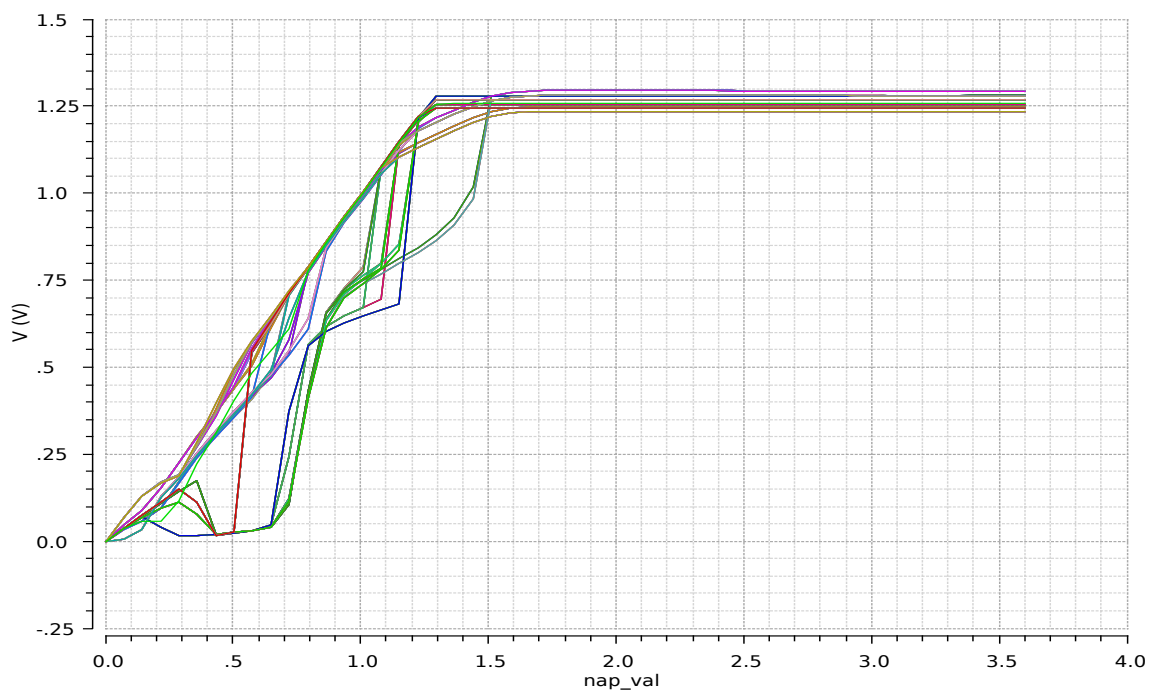
SEZNAM PŘÍLOH

P1	Doplňující simulace	I
P2	Doplňující simulace navržené reference	VII
P3	Schémata navržené reference	XI
P4	Layout	XVI

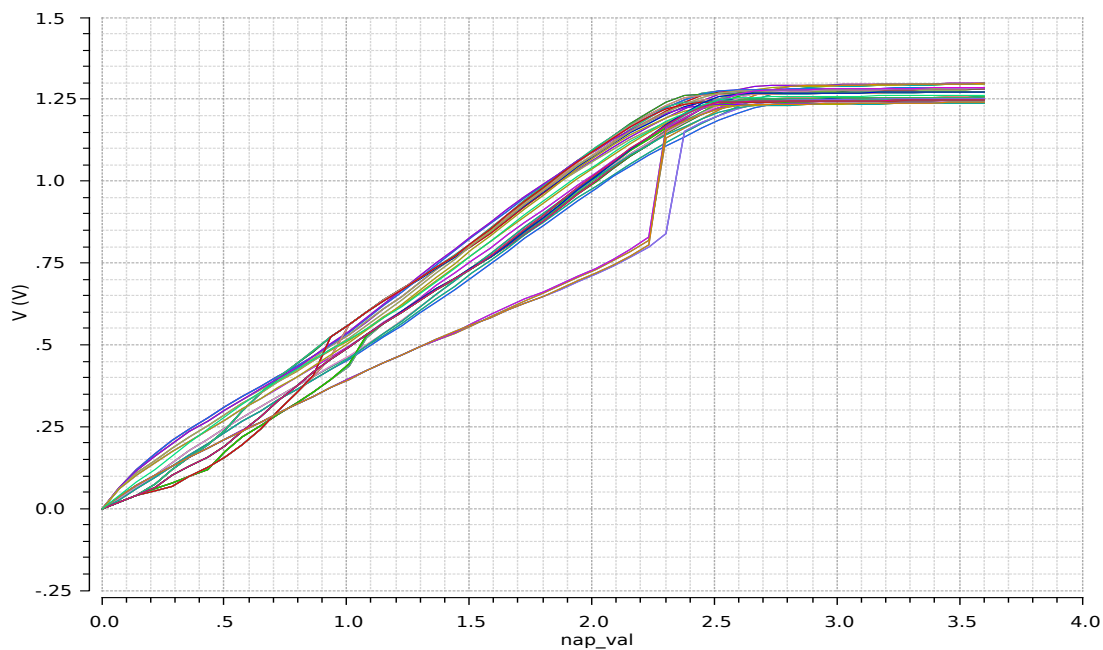
P1 DOPLŇUJÍCÍ SIMULACE



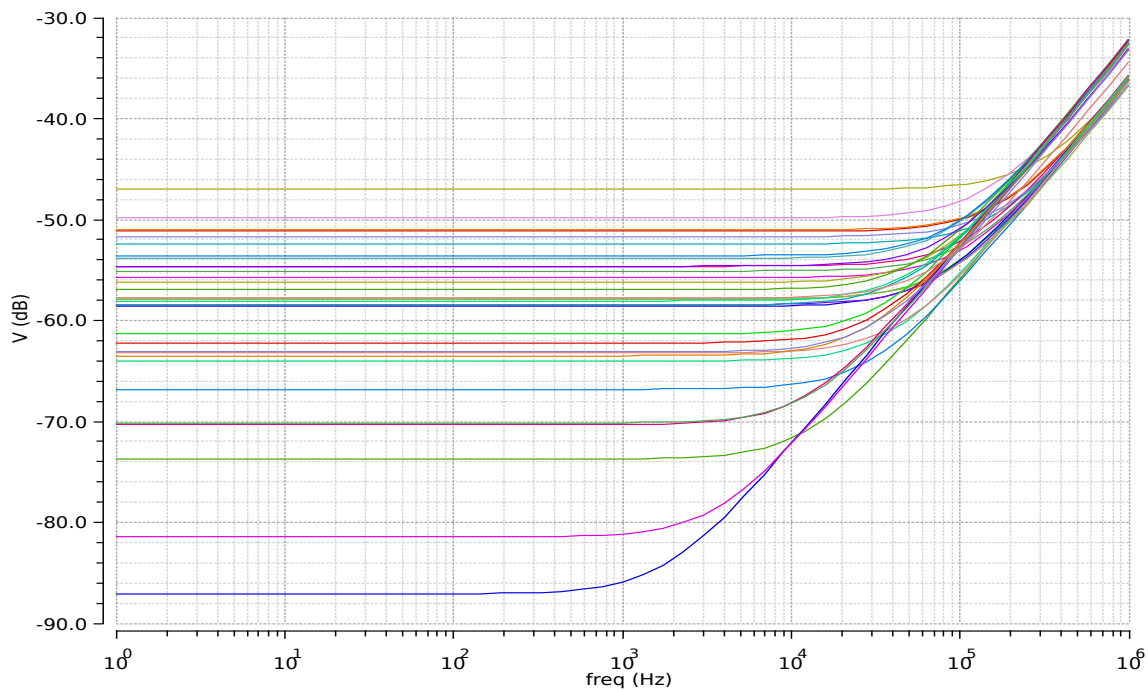
Obr. P1.5: Závislost výstupního napětí CMOS reference na napájení



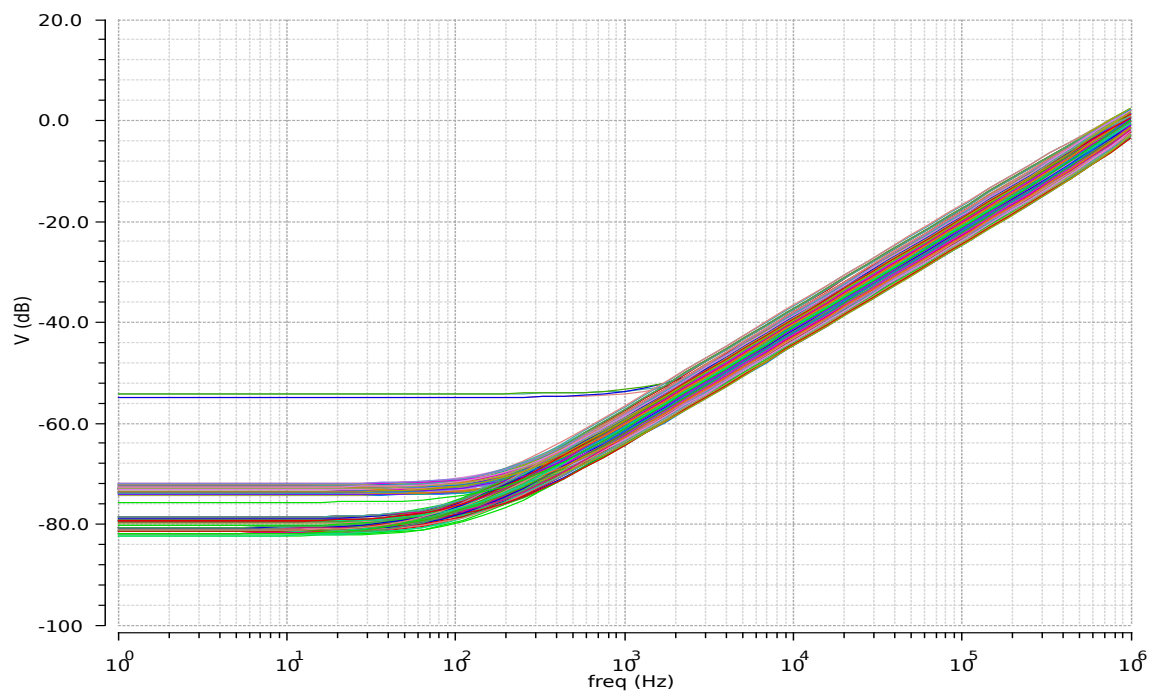
Obr. P1.6: Závislost výstupního napětí Brokawovy reference s OZ na napájení



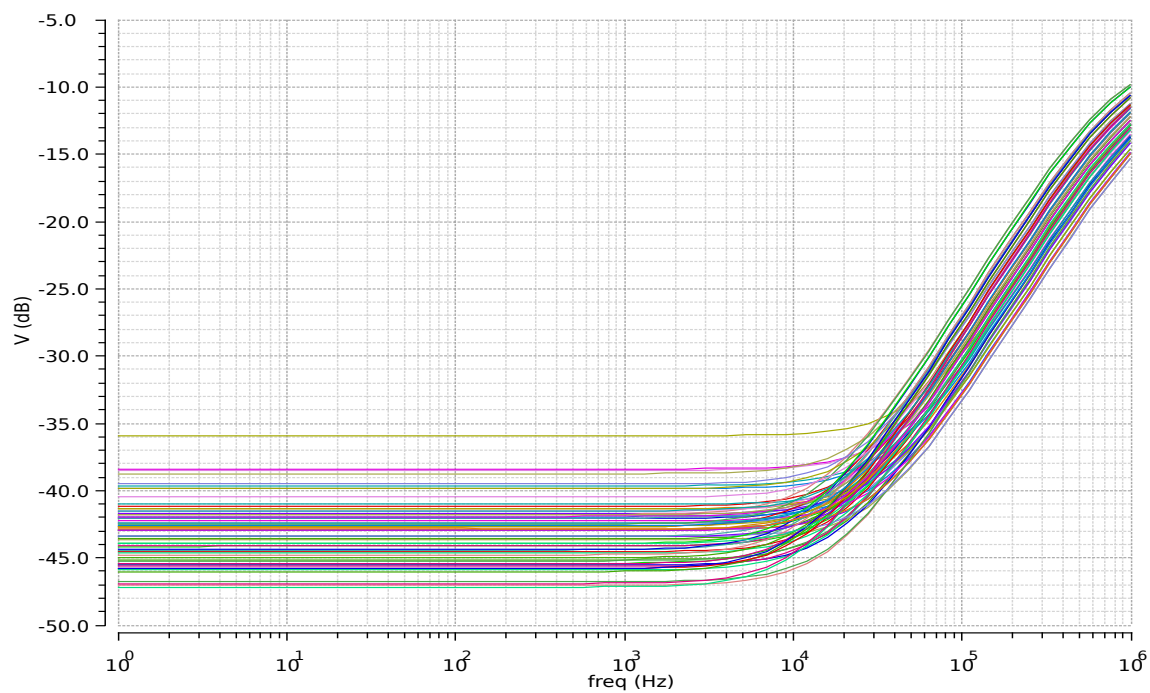
Obr. P1.7: Závislost výstupního napětí Brokawovy reference bez OZ na napájení



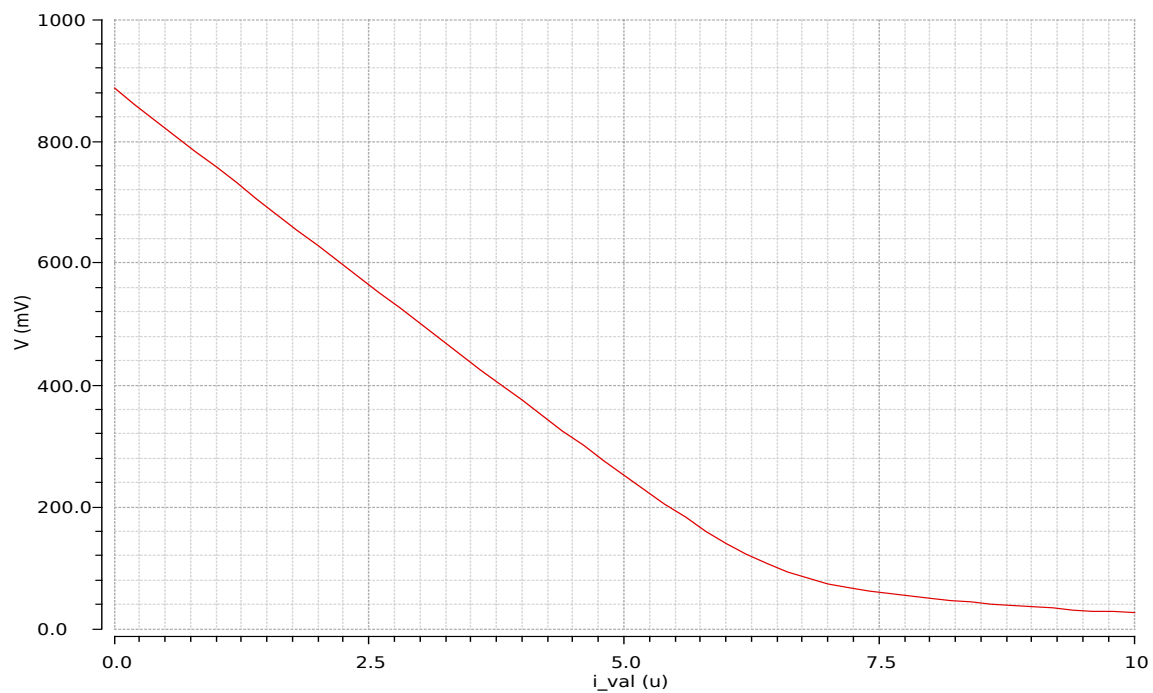
Obr. P1.8: Závislost $PSRR$ CMOS reference na frekvenci v corner simulaci



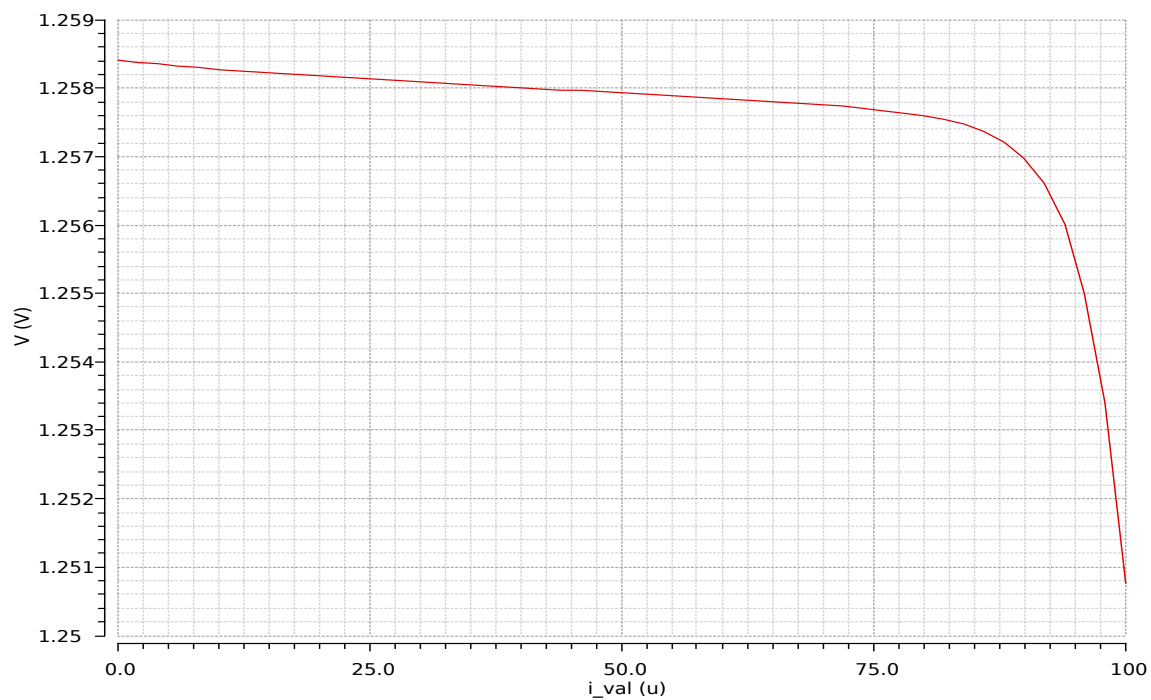
Obr. P1.9: Závislost *PSRR* Brokawovy reference s OZ na frekvenci v corner simulaci



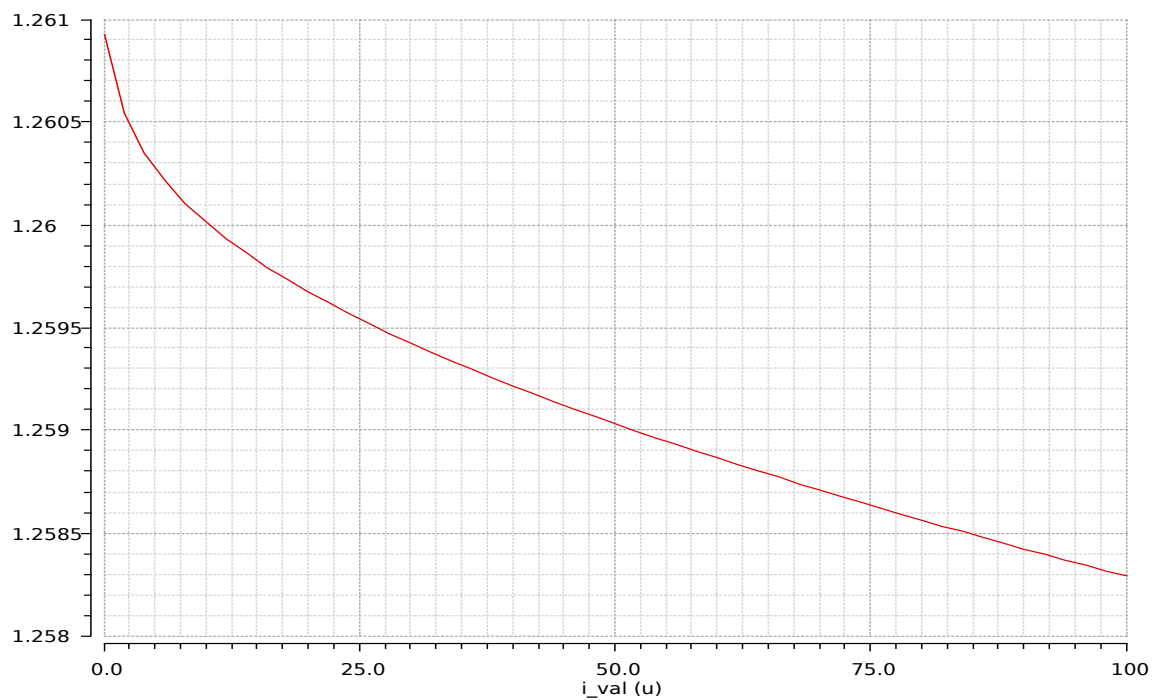
Obr. P1.10: Závislost *PSRR* Brokawovy reference na frekvenci v corner simulaci



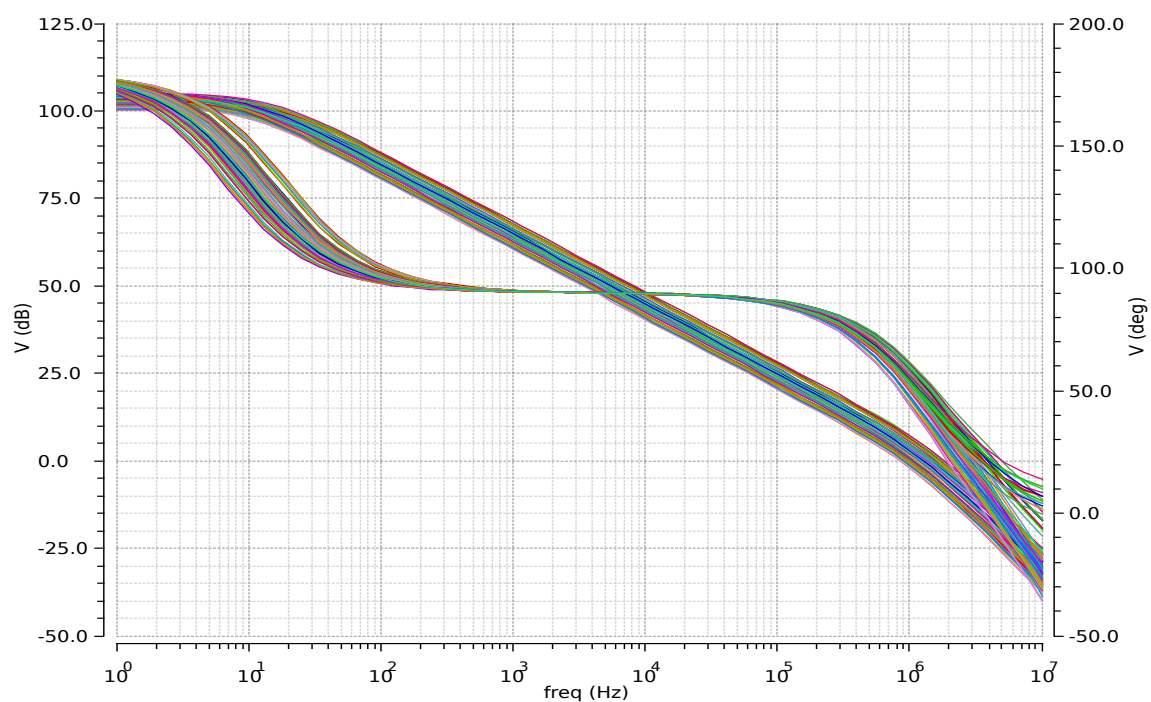
Obr. P1.11: Závislost výstupního napětí CMOS reference na odebíraném proudu



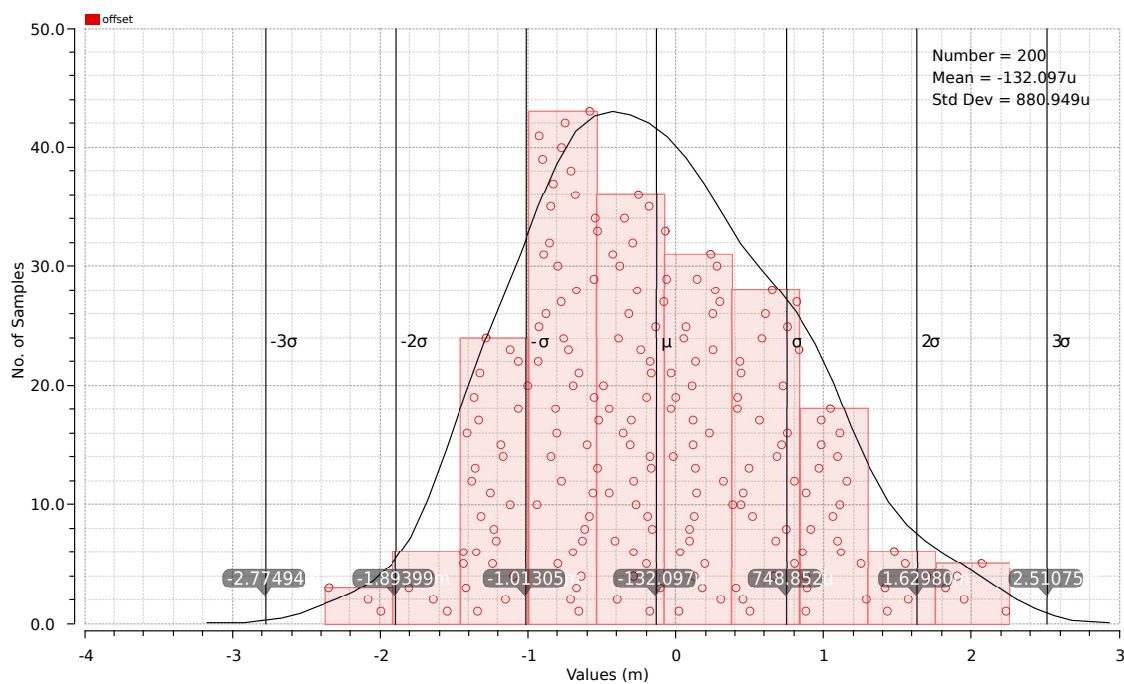
Obr. P1.12: Závislost výstupního napětí Brokawovy reference s OZ na odebíraném proudu



Obr. P1.13: Závislost výstupního napětí Brokawovy reference na odebíraném proudu

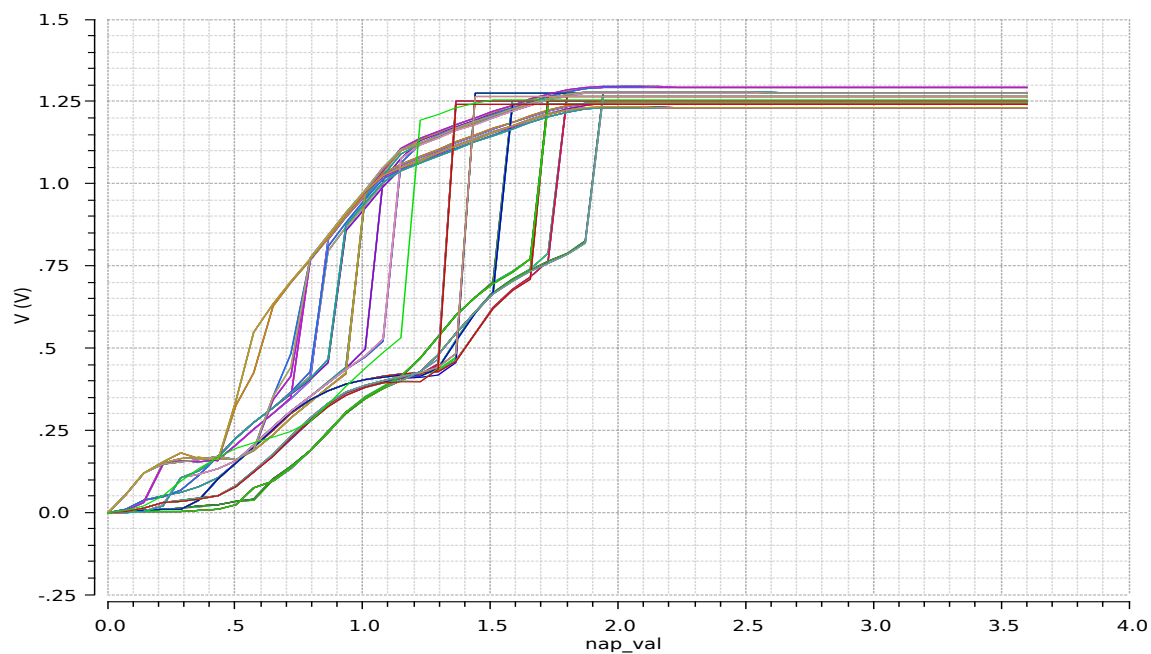


Obr. P1.14: Kmitočtová charakteristika OZ z corner analýzy

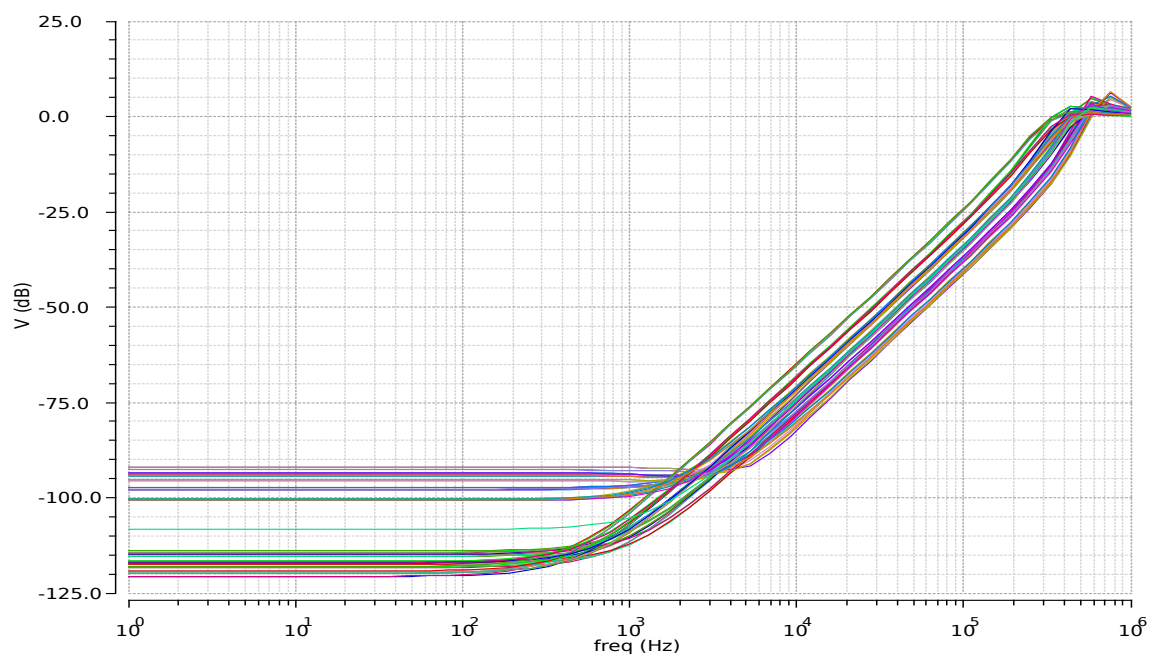


Obr. P1.15: Statistické rozložení napěťové nesymetrie OZ

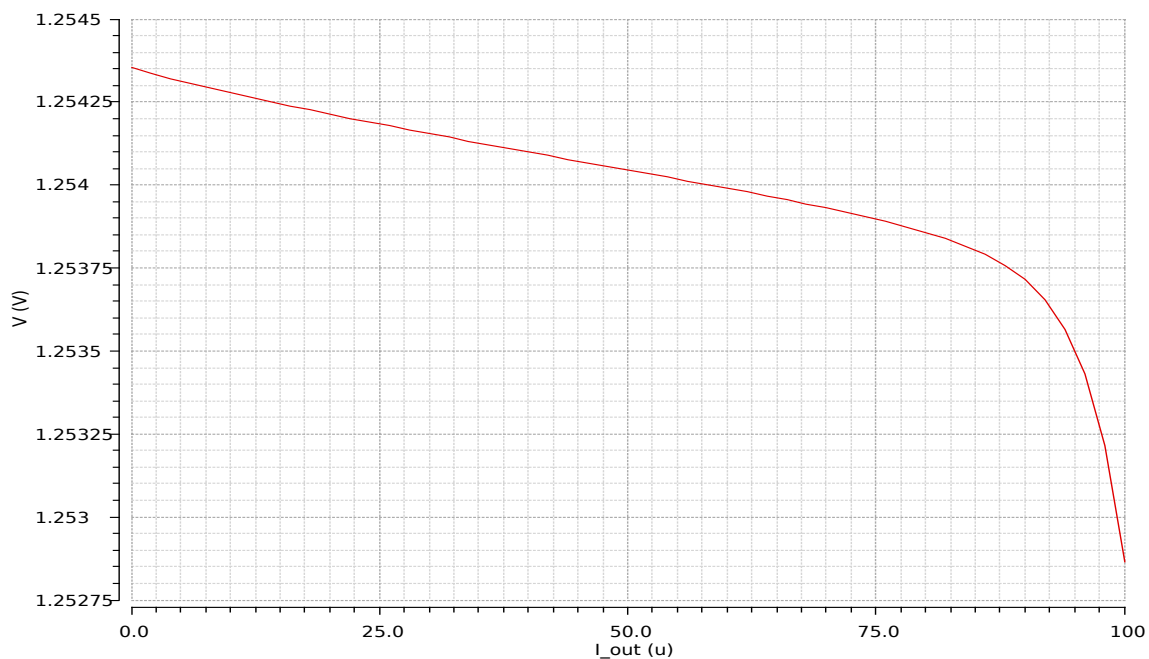
P2 DOPLŇUJÍCÍ SIMULACE NAVRŽENÉ REFERENCE



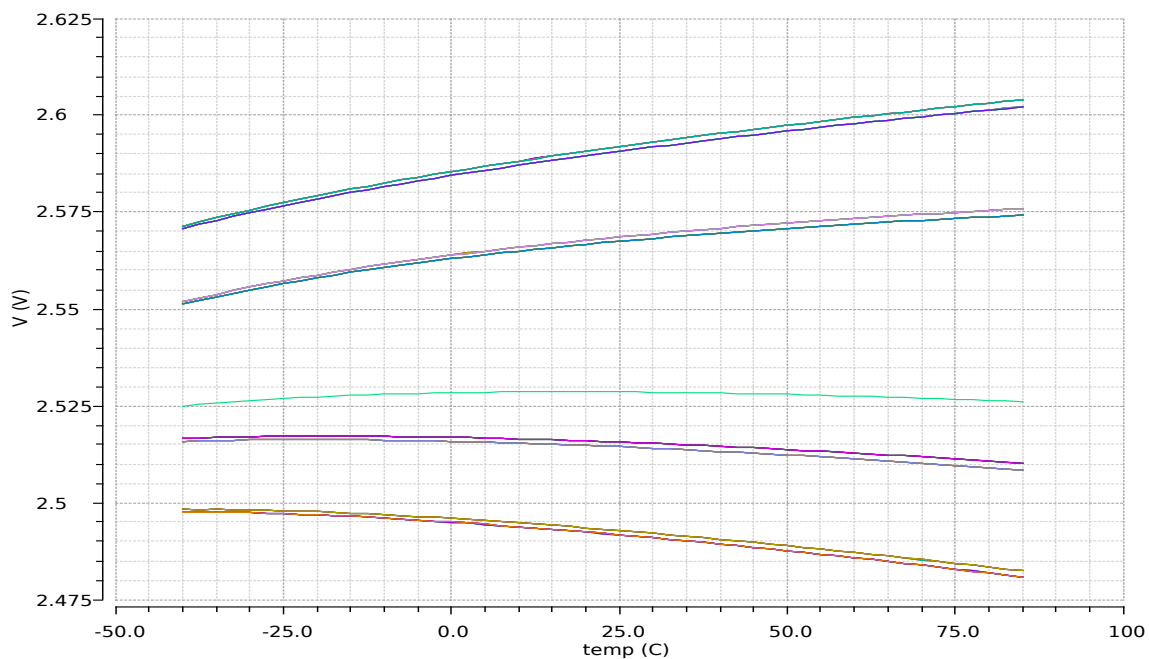
Obr. P2.16: Závislost výstupního napětí reference na napájení (corner analýza)



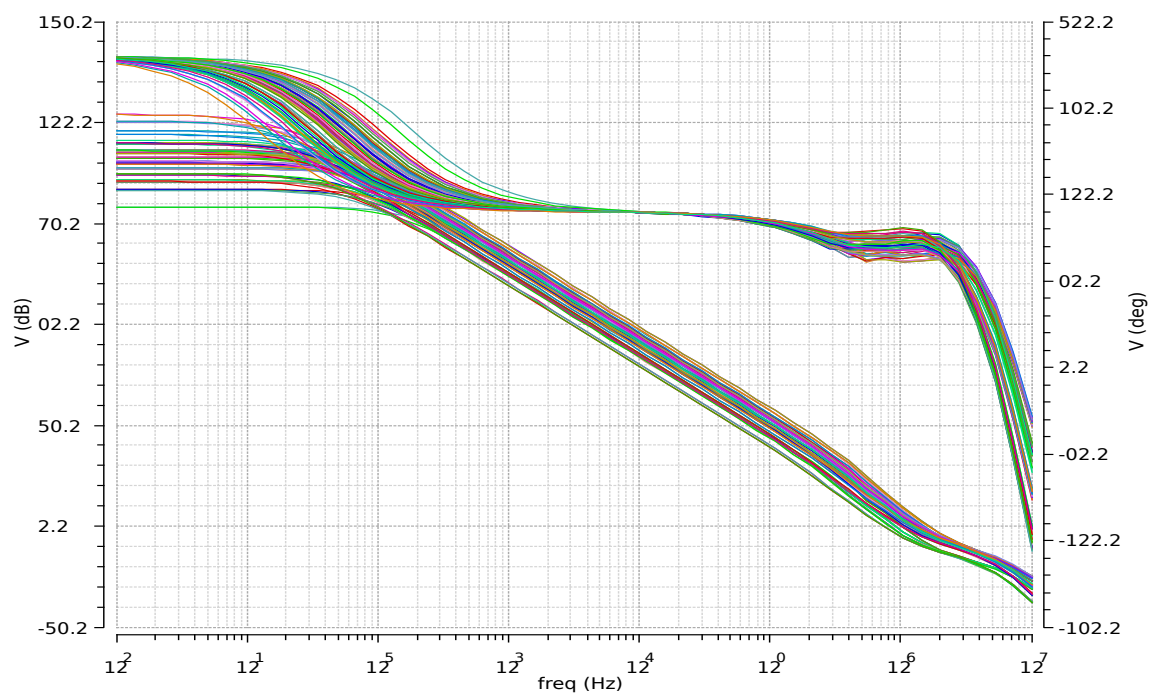
Obr. P2.17: Závislost $PSRR$ reference na frekvenci (corner analýza)



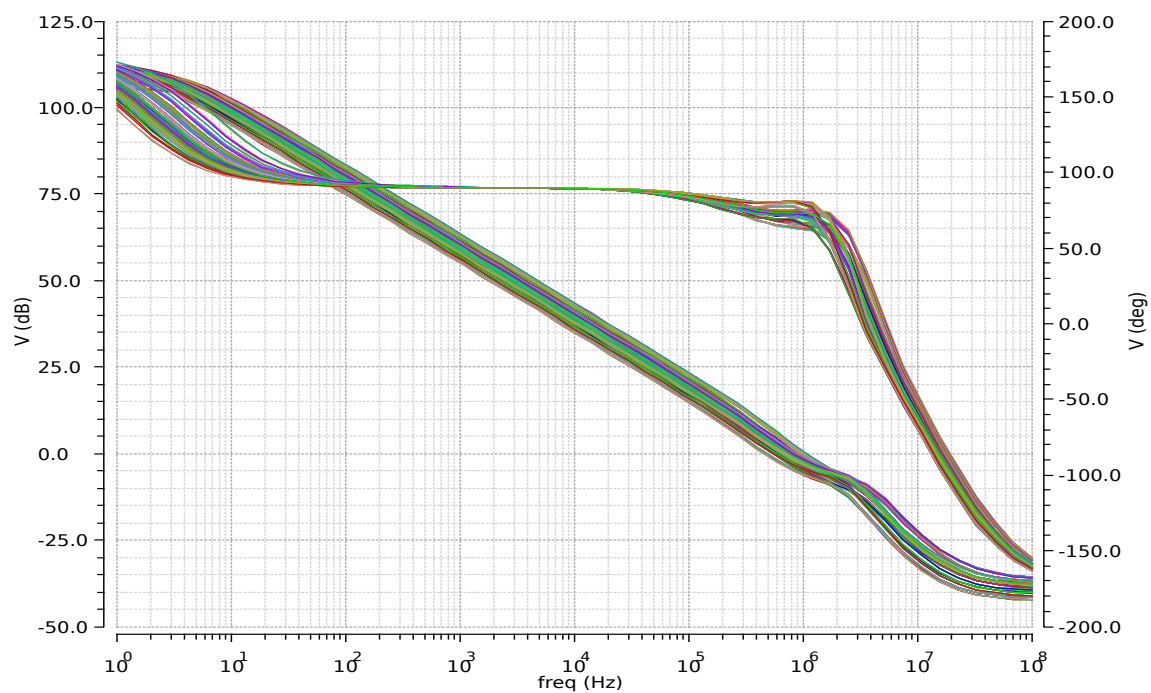
Obr. P2.1: Závislost výstupního napětí reference na odebíraném proudu (typ. proces)



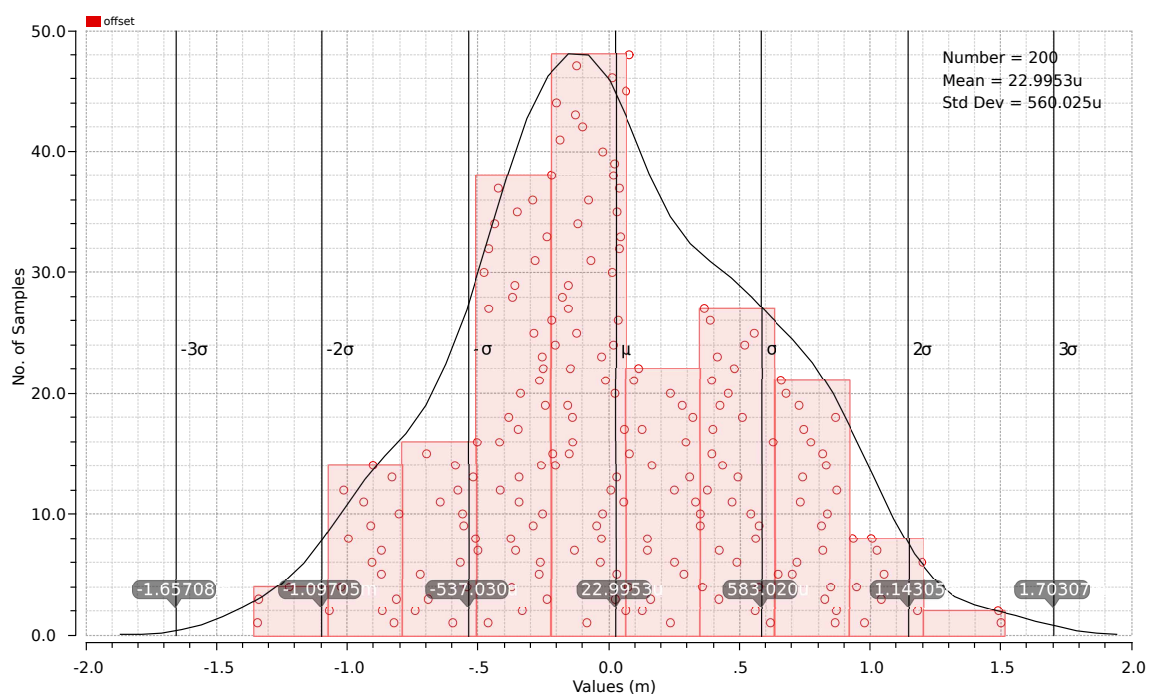
Obr. P2.2: Teplotní závislost výstupu předstabilizátoru z corner analýzy



Obr. P2.3: Frekvenční charakteristika otevřené smyčky zpětné vazby reference (corner analýza)

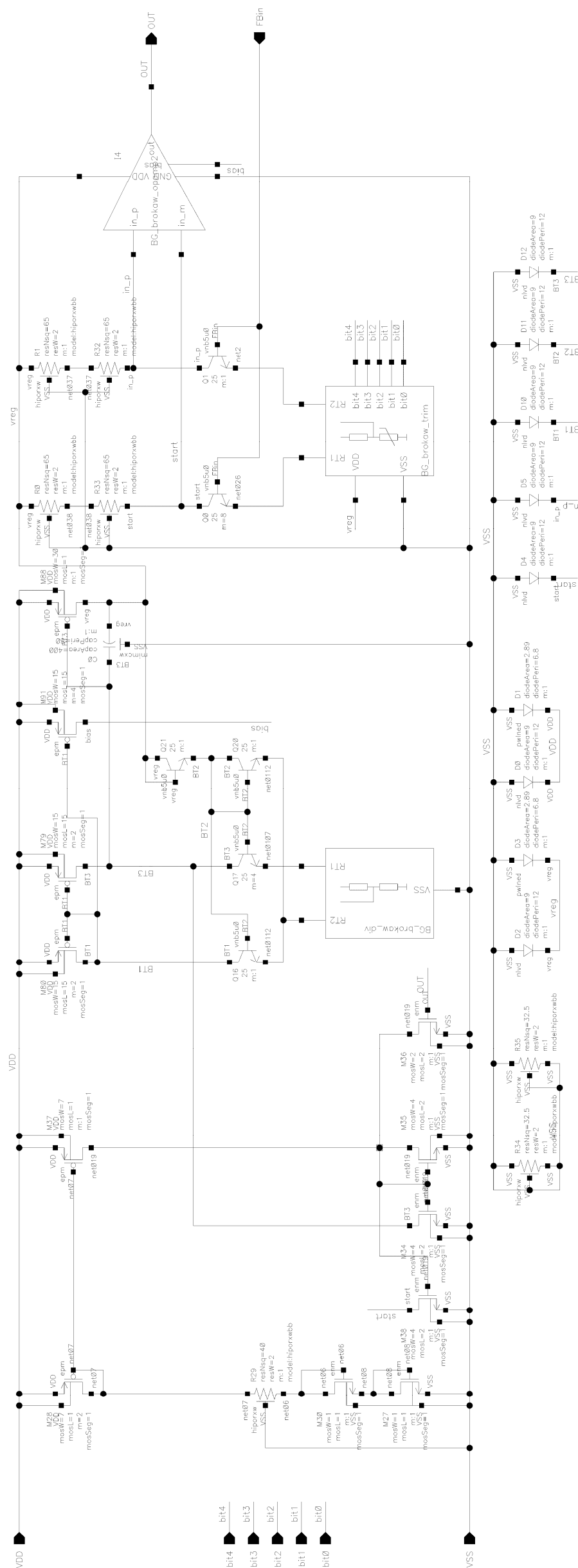


Obr. P2.4: Frekvenční charakteristika OZ (corner analýza)

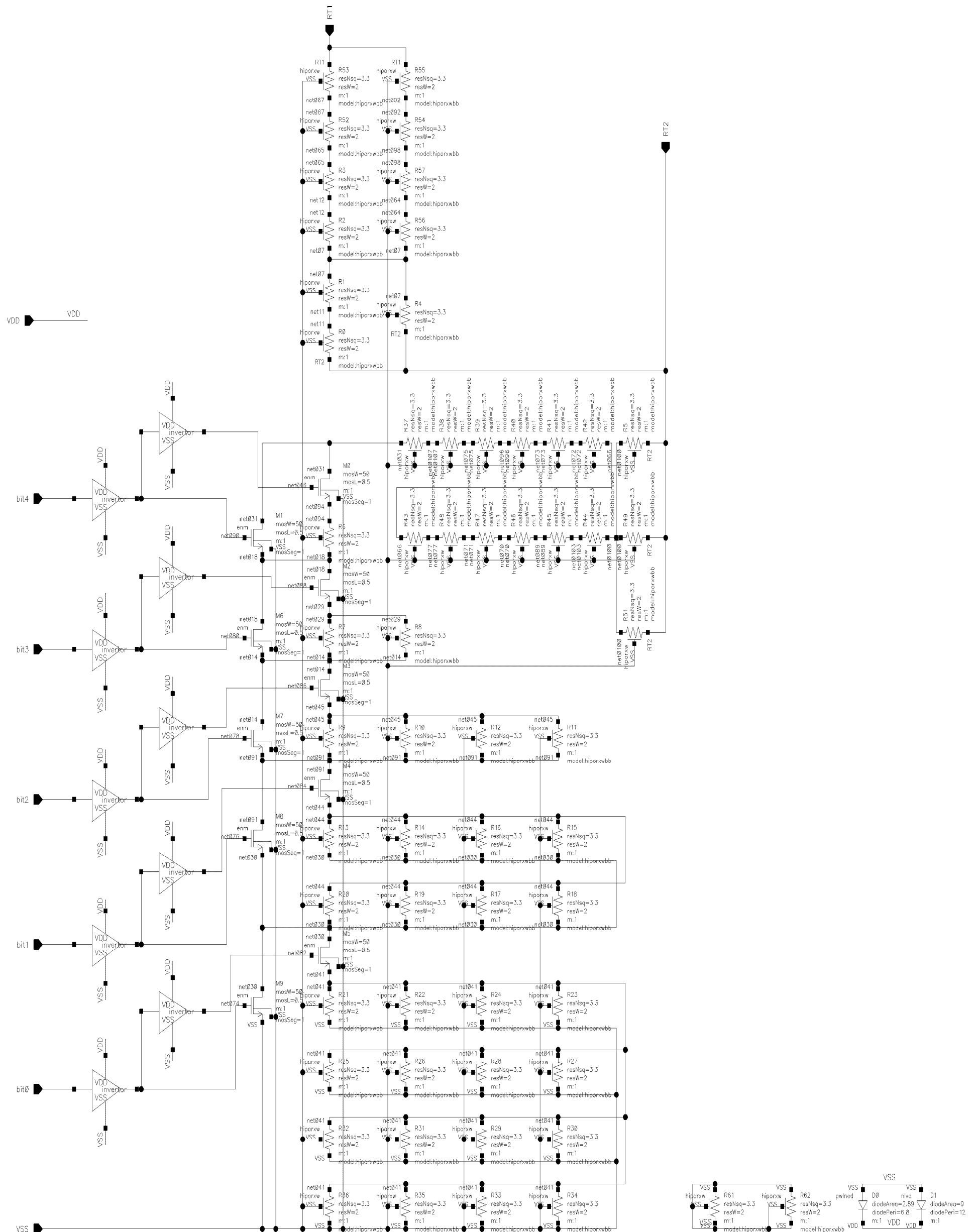


Obr. P2.5: Statistické rozložení napětové nesymetrie OZ (typ. proces)

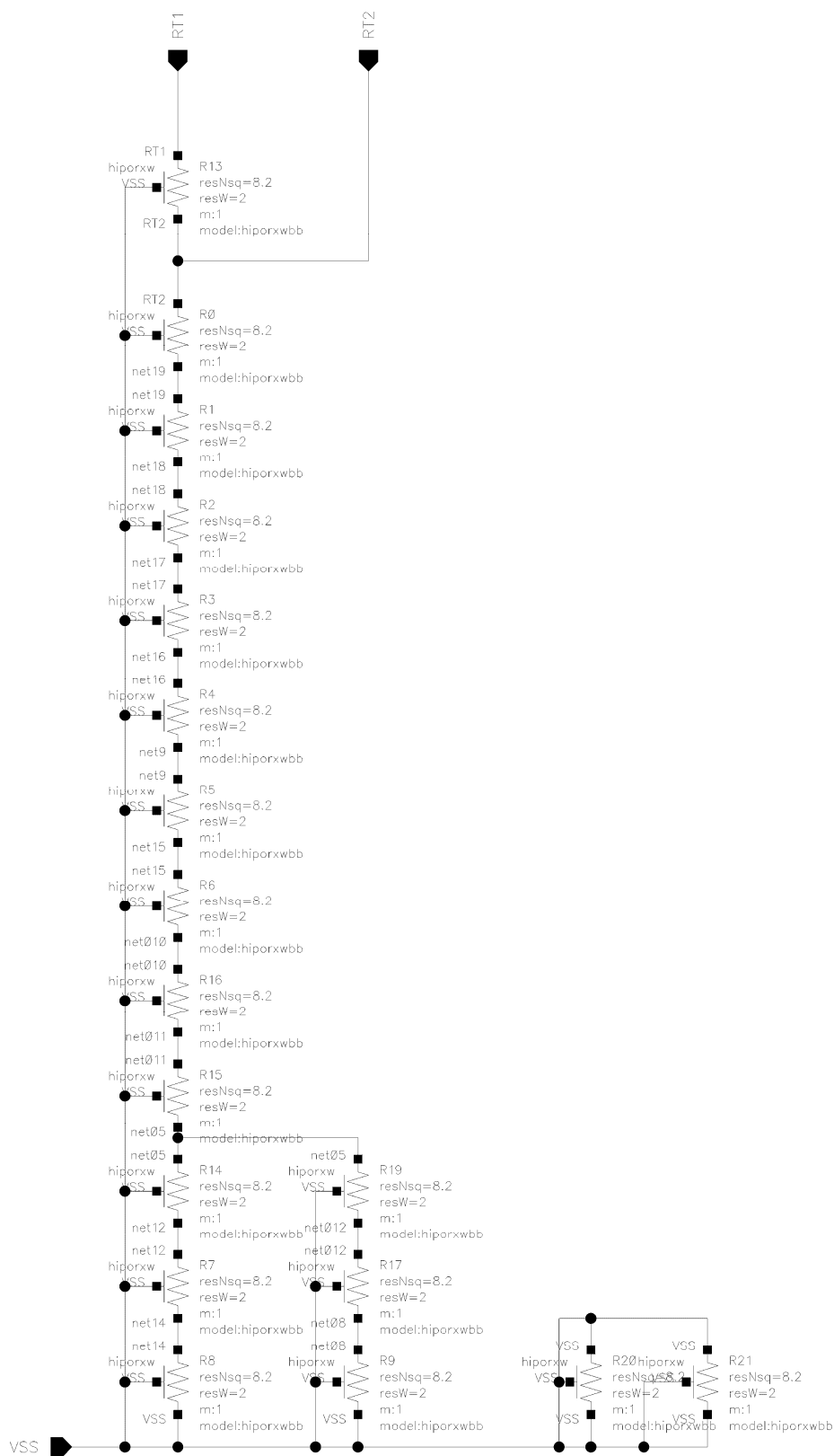
P3 SCHÉMATA NAVRŽENÉ REFERENCE



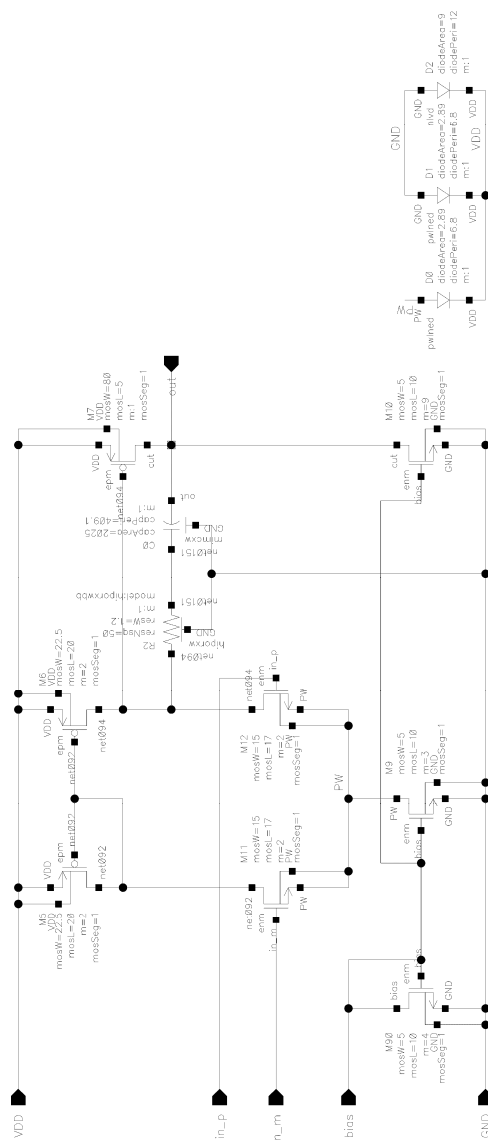
Obr. P3.1: Celkové schéma zapojení



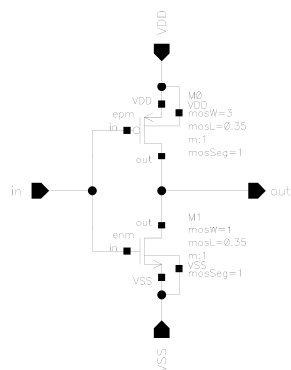
Obr. P3.2: Schéma buňky BG_brokaw_trim



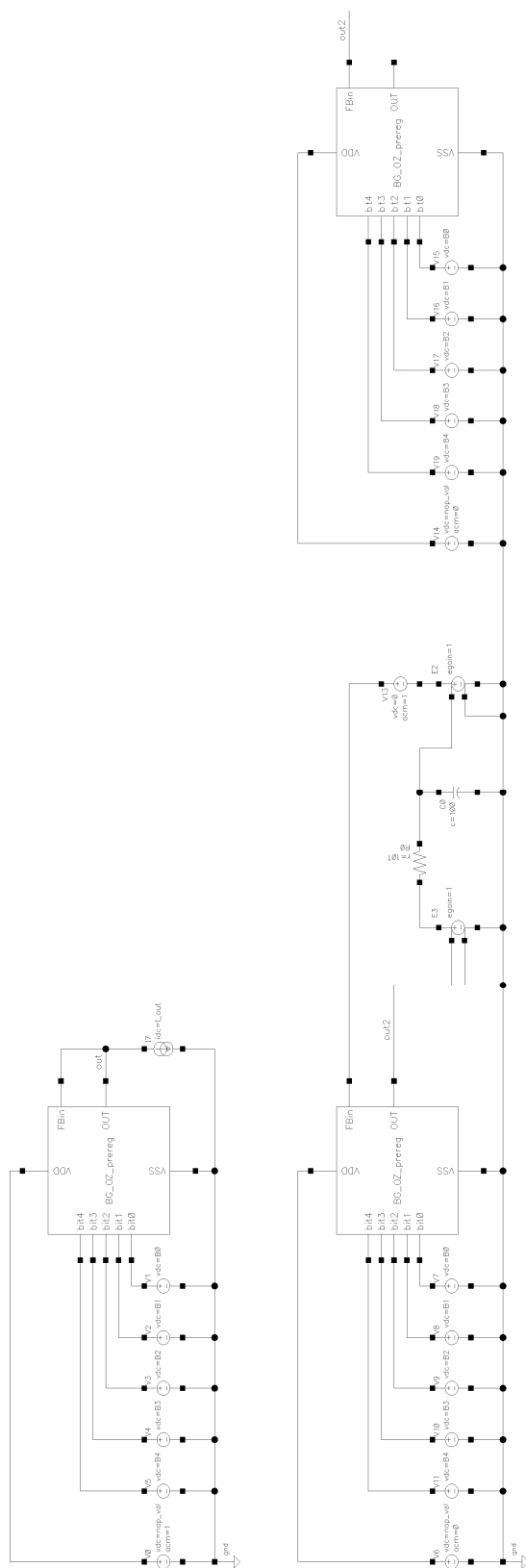
Obr. P3.3: Schéma buňky BG_brokaw_div



Obr. P3.4: Schéma buňky BG_brokaw_opamp



Obr. P3.5: Schéma buňky invertor



Obr. P3.6: Simulační schéma reference

P4 LAYOUT

