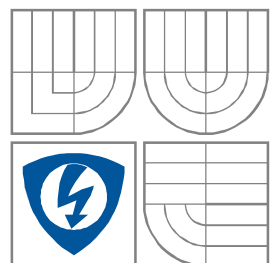


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

MODEL STÁRNUTÍ UNIPOLÁRNÍHO TRANZISTORU AGE EFFECT MODELING OF THE UNIPOLAR TRANSISTOR

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. PAVEL SOUKAL

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. JIŘÍ PETRŽELA, Ph.D.

BRNO, 2008

LICENČNÍ SMLOUVA

POSKYTOVANÁ K VÝKONU PRÁVA UŽÍT ŠKOLNÍ DÍLO

uzavřená mezi smluvními stranami:

1. Pan/paní

Jméno a příjmení: Bc. Pavel Soukal
Bytem: Dukelská 1059, Kopřivnice, 742 21
Narozen/a (datum a místo): 26. června 1984 v Novém Jičíně

(dále jen „autor“)

a

2. Vysoké učení technické v Brně

Fakulta elektrotechniky a komunikačních technologií
se sídlem Údolní 53, Brno, 602 00
jejímž jménem jedná na základě písemného pověření děkanem fakulty:
prof. Dr. Ing. Zbyněk Raida, předseda rady oboru Elektronika a sdělovací technika
(dále jen „nabyvatel“)

Čl. 1

Specifikace školního díla

1. Předmětem této smlouvy je vysokoškolská kvalifikační práce (VŠKP):

- ☐ disertační práce
- ☒ diplomová práce
- ☐ bakalářská práce
- ☐ jiná práce, jejíž druh je specifikován jako
(dále jen VŠKP nebo dílo)

Název VŠKP: Model stárnutí unipolárního tranzistoru

Vedoucí/ školitel VŠKP: Ing. Jiří Petržela, Ph.D.

Ústav: Ústav radioelektroniky

Datum obhajoby VŠKP: _____

VŠKP odevzdal autor nabyvateli*:

- ☒ v tištěné formě – počet exemplářů: 2
- ☒ v elektronické formě – počet exemplářů: 2

2. Autor prohlašuje, že vytvořil samostatnou vlastní tvůrčí činnost dílo shora popsané a specifikované. Autor dále prohlašuje, že při zpracovávání díla se sám nedostal do rozporu s autorským zákonem a předpisy souvisejícími a že je dílo dílem původním.

3. Dílo je chráněno jako dílo dle autorského zákona v platném znění.

4. Autor potvrzuje, že listinná a elektronická verze díla je identická.

* hodící se zaškrtněte

Článek 2

Udělení licenčního oprávnění

1. Autor touto smlouvou poskytuje nabyvateli oprávnění (licenci) k výkonu práva uvedené dílo nevýdělečně užít, archivovat a zpřístupnit ke studijním, výukovým a výzkumným účelům včetně pořizování výpisů, opisů a rozmnoženin.
2. Licence je poskytována celosvětově, pro celou dobu trvání autorských a majetkových práv k dílu.
3. Autor souhlasí se zveřejněním díla v databázi přístupné v mezinárodní síti
 - ☒ ihned po uzavření této smlouvy
 - ☐ 1 rok po uzavření této smlouvy
 - ☐ 3 roky po uzavření této smlouvy
 - ☐ 5 let po uzavření této smlouvy
 - ☐ 10 let po uzavření této smlouvy(z důvodu utajení v něm obsažených informací)
4. Nevýdělečné zveřejňování díla nabyvatelem v souladu s ustanovením § 47b zákona č. 111/ 1998 Sb., v platném znění, nevyžaduje licenci a nabyvatel je k němu povinen a oprávněn ze zákona.

Článek 3

Závěrečná ustanovení

1. Smlouva je sepsána ve třech vyhotoveních s platností originálu, přičemž po jednom vyhotovení obdrží autor a nabyvatel, další vyhotovení je vloženo do VŠKP.
2. Vztahy mezi smluvními stranami vzniklé a neupravené touto smlouvou se řídí autorským zákonem, občanským zákoníkem, vysokoškolským zákonem, zákonem o archivnictví, v platném znění a popř. dalšími právními předpisy.
3. Licenční smlouva byla uzavřena na základě svobodné a pravé vůle smluvních stran, s plným porozuměním jejímu textu i důsledkům, nikoliv v tísní a za nápadně nevýhodných podmínek.
4. Licenční smlouva nabývá platnosti a účinnosti dnem jejího podpisu oběma smluvními stranami.

V Brně dne: 30. května 2008

.....

Nabyvatel

.....

Autor

Bibliografická citace dle ČSN ISO 690

SOUKAL, P. *Model stárnutí unipolárního tranzistoru*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2008. 73 s. Vedoucí diplomové práce
Ing. Jiří Petržela, Ph.D.

Prohlášení

Prohlašuji, že svou diplomovou práci na téma Model stárnutí unipolárního tranzistoru jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 30. května 2008

.....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Jiřímu Petrželovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne 30. května 2008

.....
podpis autora

OBSAH

1	Úvod.....	- 8 -
2	Unipolární tranzistory.....	- 9 -
2.1	Rozdělení polovodičů.....	- 9 -
2.1.1	Polovodič typu N.....	- 9 -
2.2	Základní rozdělení unipolárních tranzistorů.....	- 10 -
2.3	Tranzistory s izolovaným hradlem IGFET.....	- 11 -
2.4	Tranzistory řízené elektrickým polem.....	- 14 -
2.4.1	Tranzistor řízený elektrickým polem s přechodovým hradlem (JFET)	- 14 -
2.4.2	Tranzistory řízený elektrickým polem s izolovaným hradlem.....	- 17 -
2.4.2.1	Tranzistor MISFET s vodivým kanálem.....	- 17 -
2.4.2.2	Tranzistor MISFET s indukovaným kanálem	- 19 -
2.4.2.3	Tranzistor MESFET se Schottkyho kontaktem.....	- 20 -
2.5	Historie vývoje MOSFET tranzistorů	- 20 -
2.6	Historie modelování tranzistorů	- 21 -
3	Stárnutí unipolárních tranzistorů	- 22 -
3.1	Měkké selhání v ultratenkých oxidech bran.....	- 23 -
3.2	Mechanismy vstřikování horkých nosičů.....	- 25 -
3.3	Matematický model vstřikování horkých nosičů	- 28 -
3.3.1	NMOS DC model.....	- 28 -
3.3.2	PMOS DC model	- 29 -
3.3.3	NMOS/PMOS AC model.....	- 30 -
3.4	Teplotní nestabilita pracovního bodu	- 30 -
3.5	Extrakce a modelování	- 32 -
3.6	Výzvy v konstruování.....	- 34 -
4	Modelování MOS Tranzistorů.....	- 35 -
4.1	Výběr MOSFET modelu pro aplikace.....	- 35 -
4.2	Parametry a použité konstanty modelů LEVEL 1-3	- 35 -
4.3	LEVEL 1 (“Shichman-Hodges“).	- 38 -
4.3.1	Charakteristiky modelu LEVEL 1.....	- 40 -
4.4	LEVEL 2 (“Grove-Frohman“)	- 41 -
4.4.1	Charakteristiky modelu LEVEL 2.....	- 44 -
4.5	LEVEL 3 („Empirický model“)	- 45 -
4.5.1	Charakteristiky modelu LEVEL 3.....	- 48 -
5	Metody extrakce parametrů	- 50 -
5.1	Výběr extrakčního algoritmu.....	- 52 -
5.1.1	Levenberg – Marquardt algoritmus (LMA)	- 52 -
5.2	Proces extrakce parametrů.....	- 53 -
5.3	Výběr minimalizační a optimalizační funkce.....	- 54 -

6	Extrakce parametrů MOS tranzistoru.....	- 56 -
6.1	Minimalizace a extrakce parametrů modelu LEVEL 1.....	- 57 -
6.1.1	NMOS tranzistory	- 57 -
6.1.2	PMOS tranzistory	- 61 -
6.2	Minimalizace a extrakce parametrů modelu LEVEL 2.....	- 63 -
6.2.1	NMOS tranzistory	- 63 -
6.2.2	PMOS tranzistory	- 65 -
6.3	Minimalizace a extrakce parametrů modelu LEVEL 3.....	- 67 -
6.3.1	NMOS tranzistory	- 67 -
6.3.2	PMOS tranzistory	- 68 -
6.3	Zhodnocení modelů	- 71 -
7	Závěr	- 72 -

1 Úvod

Tranzistory jsou používané ve velké míře v analogových a digitálních elektronických obvodech. V analogových obvodech jsou tranzistory používané pro zesílení výkonu který je řízen buď vstupním napětím (tranzistory řízené polem - FET) nebo elektrickým proudem (bipolární tranzistor - BJT). V číslicových obvodech jsou tranzistory používané pro spínací účely a téměř pro libovolnou digitální komponentu obsahující tranzistory. Tranzistory jsou užívané k tomu, aby vytvořily a) brány - základní stavební blok číslicových obvodů a b) paměti - statická paměť s náhodným přístupem (Static Random Access Memory - SRAM) obvykle užívána jako L1 cache, nebo například LCD displeje (Liquid Crystal Display - LCD) které obsahují 4 tranzistory na jeden pixel a podobně. Dnešní procesory obsahují stovky tisíc tranzistorů. Tranzistorový téměř zcela nahradily elektronky, které jsou stále ještě používané ve speciálních aplikacích jako zvukové zesílení. Největšími výhodami pro tranzistory oproti elektronkám jsou významně menší rozměrové velikosti, nevyžadují "dobu k zahřátí" a mají znatelně větší životnost. "Doba k zahřátí" je interval po kterém je elektronka připravena k použití (může dosahovat i 1 minuty pro nejsložitější elektronky). Jedinou nevýhodou tranzistorů je jejich mnohem menší odolnost proti elektromagnetickým pulzům.

Tranzistor je polovodičová součástka, kterou tvoří dvojice přechodů PN. Jedná se v podstatě o spojení dvou polovodičových diod v jedné součástce. Většinu vlastností tranzistoru však dvojicí diod nahradit nelze.

Tranzistorový efekt byl objeven a tranzistor vynalezen 16. prosince 1947 v Bellových laboratořích týmem ve složení William Shockley, John Bardeen a Walter Brattain. Za tento objev jim byla roku 1956 udělena Nobelova cena za fyziku, jednalo se o velmi významný objev, který vedl k faktickému vědeckotechnickému převratu v oblasti aplikované elektrotechniky, v praxi se to projevuje zejména obrovskou mírou miniaturizace jednotlivých součástek a tím i neustálým zvyšováním koncentrace polovodičových součástek vztaženou na jednotku plochy.

Každý tranzistor má (nejméně) tři elektrody, které se u bipolárních tranzistorů označují jako *kolektor*, *báze* a *emitor*, u unipolárních jako *drain*, *gate* a *source*. Podle uspořádání použitých polovodičů typu *P* nebo *N* se rozlišují dva typy bipolárních tranzistorů, NPN a PNP (prostřední písmeno odpovídá *bázi*). Unipolární tranzistory jsou označovány jako NFET nebo PFET.

2 Unipolární tranzistory

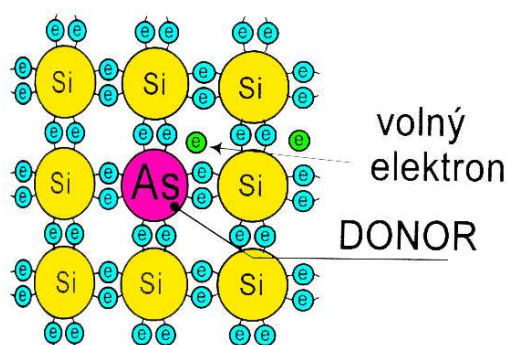
2.1 Rozdělení polovodičů

Polovodič je pevná látka, jejíž elektrická vodivost závisí na vnějších nebo vnitřních podmínkách, a dá se změnou těchto podmínek snadno ovlivnit. Změna vnějších podmínek znamená dodání některého z druhů energie – nejčastěji tepelné nebo světelné, změnu vnitřních podmínek představuje příměs jiného prvku v polovodiči.

Mezi polovodiče patří prvky křemík, germanium, selen, sloučeniny arsenid galia GaAs, sulfid olovnatý PbS a další. Většina polovodičů jsou krystalické látky, existují však také polovodiče amorfní.

2.1.1 Polovodič typu N

Přidáme-li do čistého čtyřmocného křemíku pětimocný prvek (fosfor, arsen nebo antimon) vznikne nám polovodič typu N. Prvku příměsí, který má o jeden elektron více, říkáme donor (dárce – daruje elektron). Obecně: $A^{IV} + B^V > N$



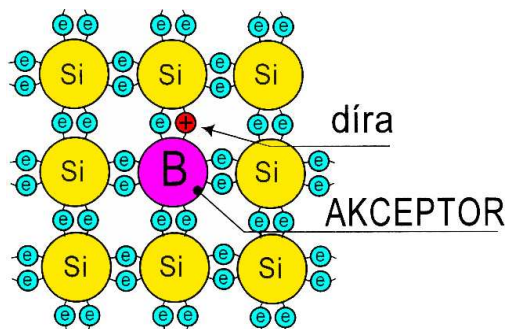
Obr 2.1 – Polovodič typu N

Čtyři valenční elektrony arsenu se naváží se sousedními atomy křemíku, ale jeden elektron partnera nenajde, proto se může velmi snadno uvolnit z vazby s vlastním atomem a pohybovat se prostorem krystalové mřížky. Tyto zbylé volné elektrony dárce zprostředkovávají svým pohybem záporných (negativních) nábojů elektronovou vodivost (nevlastní vodivost typu N). Elektronů, které jsou do polovodiče dodány, je mnohem více, než vlastních nosičů náboje polovodiče a proto jsou většinovými (majoritními) nosiči náboje.

Polovodič typu N obsahuje také i díry, ale ty vznikají jako produkt působení teploty, jsou to vlastní nosiče náboje. Jejich množství je závislé na teplotě polovodiče (s rostoucí teplotou roste). Tyto díry jsou v polovodiči menšinovými (minoritními) nosiči náboje. Připojíme-li polovodič typu N ke zdroji napětí, jsou volné elektrony usměrněny elektrickým polem a pohybují se od záporného pólu ke kladnému pólu zdroje.

2.1.2 Polovodič typu P

Budeme-li dotovat čtyřmocný křemík trojmocným prvkem (bór, hliník, galium nebo indium) vznikne nám polovodič typu P. Prvku příměsi, který má o jeden elektron méně, říkáme akceptor (příjemce – přijme (akceptuje) do své valenční sféry jeden volný elektron uvolněný teplem). Obecně: $A^{IV} + B^{III} > P$



Obr 2.2 – Polovodič typu P

Při použití trojmocného prvku chybí jeden elektron k tomu, aby se mohla vytvořit kovalentní vazba vytvořená ze čtyř dvojic elektronů. Toto volné místo po chybějícím elektronu se chová jako díra (defektní elektron). Tyto díry cizího atomu způsobují děrovou vodivost polovodiče (nevlastní vodivost typu P). Děry, které jsou do polovodiče dodány, je mnohem více, než vlastních nosičů náboje polovodiče a proto jsou většinovými (majoritními) nosiči náboje.

Polovodič typu P obsahuje také i volné elektrony, ale ty vznikají jako produkt působení teploty, jsou to vlastní nosiče náboje. Jejich množství je závislé na teplotě polovodiče (s rostoucí teplotou roste). Tyto elektrony jsou v polovodiči menšinovými (minoritními) nosiči náboje. Pokud na polovodič typu P přiložíme zdroj napětí, volné elektrony budou přeskakovat do děr směrem od záporného pólu zdroje ke kladnému a díry se budou pohybovat od kladného pólu zdroje k zápornému.

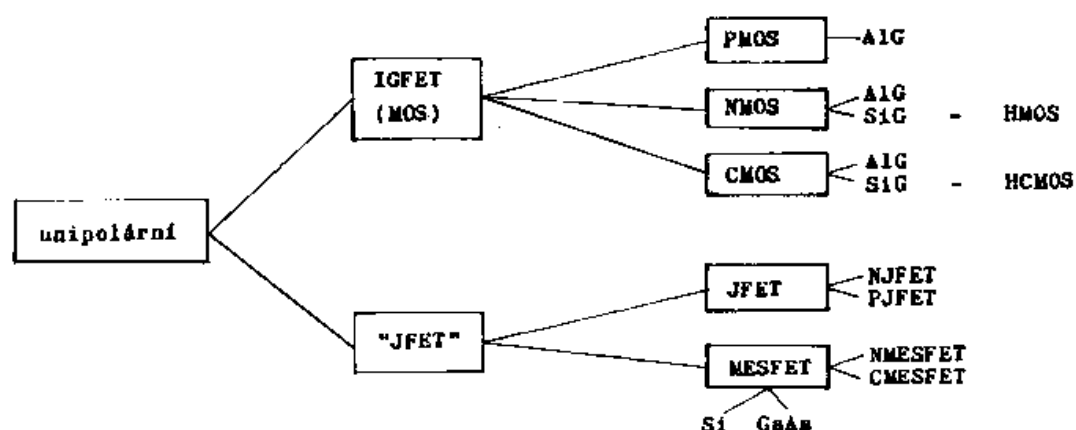
2.2 Základní rozdělení unipolárních tranzistorů

Unipolární tranzistor je založen na principu řízení pohybu nosičů náboje elektrickým polem, přičemž vedení proudu se uskutečňuje v tzv. kanále pouze jedním typem nosičů náboje (proto unipolární). Mezi elektrody „source“ a „drain“ je vytvořen vodivý kanál (v polovodiči P nebo N), kterým protéká proud. Hradlo je kovová elektroda izolovaná od vodivého kanálu oxidem křemíku. Napětím přivedeným na hradlo se vodivý kanál zužuje nebo rozšiřuje a tím se tranzistor zavírá nebo otvírá.

Vodivost tohoto typu tranzistoru je na rozdíl od bipolárního tranzistoru, kde vodivost je řízena injekcí minoritních nosičů do báze, řízena dvojím způsobem:

- 1) změnou průřezu vodivého kanálu rozšiřováním depletiční vrstvy přechodu PN nebo MS pólovaného v závěrném směru rozšiřováním závěrné vrstvy, tj. účinkem prostorového náboje přechodu PN, nebo
- 2) změnou koncentrace majoritních nosičů v inverzním kanálu (inverzní povrchové vrstvě) pod izolační vrstvou dielektrika, tj. účinkem indukovaného náboje pod vrstvičkou izolantu.

Unipolární tranzistory IGFET, kterými se budeme v tomto dokumentu především zabývat mají strukturu *kov-izolant-polovodič* a odpovídá jim zkratka MISFET (zkráceně MIS). Ta se v praxi neujala a užívá se zkratka MOSFET a především její zkrácený tvar MOS.

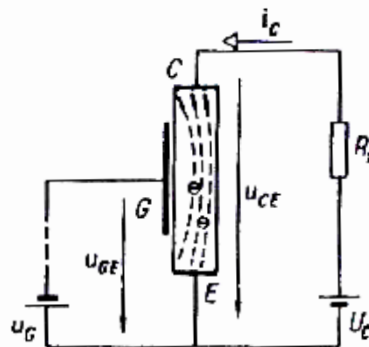


Obr 2.3 – Základní rozdělení unipolárních tranzistorů

2.3 Tranzistory s izolovaným hradlem IGFET

Podle typu tranzistorů se MOSFET (IGFET – Insulated Gate FET) označuje **NMOS** (využívá NMOS tranzistory), **PMOS** (využívá PMOS tranzistory) a **CMOS** (využívá oba typy tranzistorů v tzv. komplementárním zapojení).

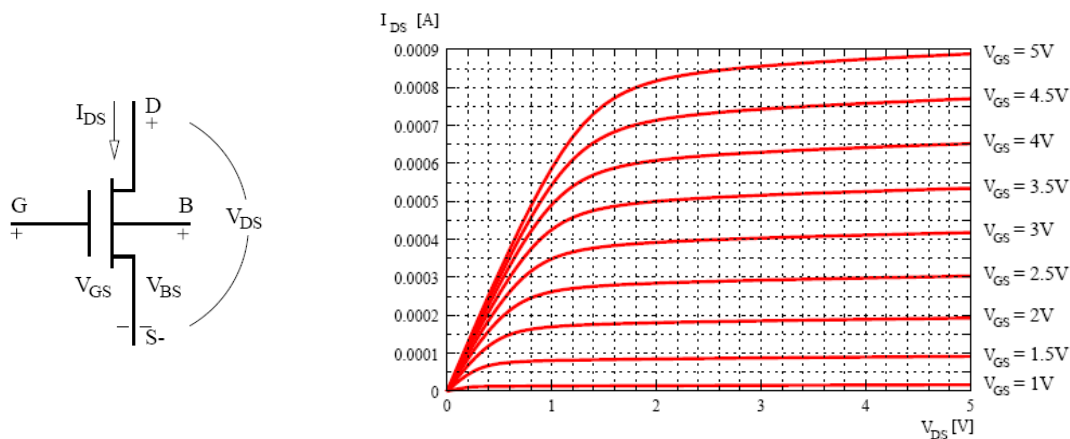
- **PMOS (Positive Metal Oxid Semiconductor):** nositeli proudu jsou *díry*. Je to technologie používající unipolární tranzistor MOS s pozitivním vodivostním kanálem. Díky tomu, že MOS tranzistory jsou řízeny elektrickým polem a nikoliv elektrickým proudem jako u technologie TTL, redukuje nároky na spotřebu elektrické energie. Jedná se však o pomalou a dnes nepoužívanou technologii.



Obr 2.4 - Principiální uspořádání unipolárních tranzistorů. Schematicky je znázorněn vliv elektrického pole pod elektrodou G, která vyvolává změnu průřezu nebo koncentrace

- **NMOS (Negative Metal Oxid Semiconductor):** nositeli proudu jsou *elektrony*. Je to technologie, která využívá jako základní stavební prvek unipolární tranzistor MOS s negativním vodivostním kanálem. Tato technologie se používala zhruba do začátku 80. let. Jedná se o levnější a efektivnější technologii než TTL a rychlejší než PMOS.
- **CMOS (Complementary Metal Oxid Semiconductor):** technologie spojující v jednom návrhu prvky tranzistorů PMOS i NMOS. Tyto obvody mají malou spotřebu a tato technologie je používána pro výrobu velké části dnešních moderních integrovaných obvodů.

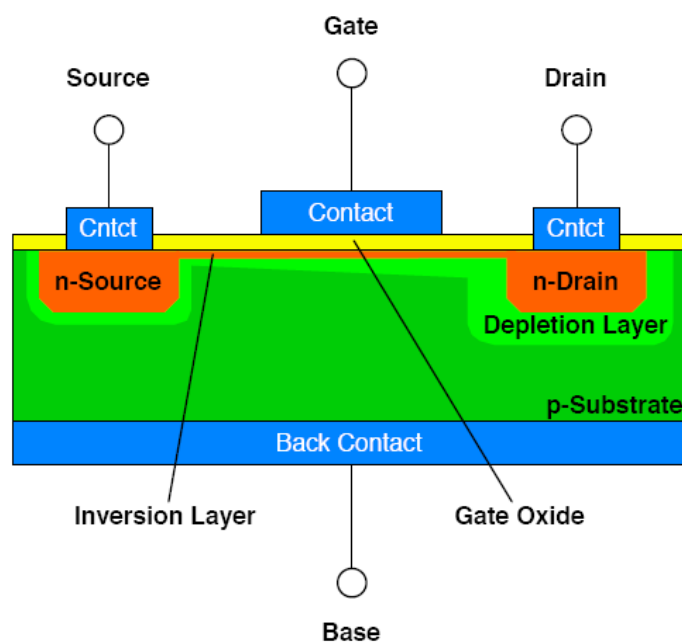
Detailní popis práce MOSFET tranzistoru je užitečný pro pochopení významu některých parametrů, které se můžou objevit v jeho matematickém modelu. Parametry a rovnice budou uvedeny v další části práce (kapitola 4). Typický MOSFET je zobrazený na **Obr. 2.6**. Centrální oblast je nazývána kanálem a pro N-MOSFET tranzistor je vyrobena ze substrátu *typu p*. Další dvě části, které jsou ve většině případech položeny souměrně jsou elektrody *source* (S) a *drain* (D) a jsou vyrobeny z polovodičů *typu n*. Neděláme mezi nimi rozdíl v označování pokud jsou ekvivalentní. Elektroda *gate* (G) je obvykle zhotovena z oxidu křemíku (SiO_2) a izoluje vývod řídicí elektrody od substrátu a proto je MOSFET také nazýván IGFETem (Insulated Gate FET).



Obr 2.5 - Tranzistor N-MOSFET s charakteristikami

Jestliže přivedeme na *gate* elektrodu kladné napětí u_{GS} a ostatní elektrody uzemníme, vytvoří se elektrické pole, které nutí *elektrony* vytlačovat *díry*. Od této chvíle je oxid křemíku izolátor a elektrony nemohou projít skrz kvůli napětí, které je menší než prahové napětí a vytváří elektrické pole známé jako „*inverzní vrstva*“, která spojuje elektrody *drain* a *source* a uzavírá elektrický obvod. Elektrický proud nyní může téct mezi elektrodami *source* a *drain* a navíc *drain* (případně *source*) může poskytnout více elektronů. V závislosti na hodnotách u_{DS} a u_{BS} se mění tvar „*inverzní vrstvy*“ a elektrony směřují ke kladnému zdroji. Nyní se soustředíme na elektrodu *drain* pro kterou bychom mohli říci to samé jako pro *source*, ale v opačném pořadí. Jakmile je elektrické napětí na elektrodě *drain* menší než definované prahové napětí, je tvar inverzní vrstvy pravoúhlý a říká se, že zařízení je v *lineárním módu*. Jestliže pokračujeme ve zvyšování napětí na elektrodě *source* nad prahové napětí, můžeme očekávat změnu tvaru inverzní vrstvy na trojúhelníkovou. Tranzistoru s trojúhelníkovou inverzní vrstvou se říká, že je v *saturaci* (také nazývan „*pinchoff*“ mód).

Schopnost FETů proudově zesilovat je snadno vysvětlitelná skutečností, že nepotřebujeme žádný proud na elektrodě *gate* k udržení inverzní vrstvy. Tranzistor má proto nekonečný proudový zisk v DC je nepřímo úměrný frekvenci signálu. Napětíový zisk MOSFET tranzistorů je způsoben skutečností, že proud saturuje až na vyšších napětích u_{DS} , a proto malé změny *drain* proudu můžou způsobit velké změny napětí na *source* elektrodě.



Obr 2.6 – Interní pohled do MOSFET tranzistoru

Protože proud v unipolárních tranzistorech je přenášen majoritními nosiči, jsou tyto prvky odolnější vůči změnám teploty a dopadajícímu ionizujícímu záření než bipolární tranzistory. Pro nepřítomnost minoritních nosičů jsou zapínací a vypínací doby unipolárních

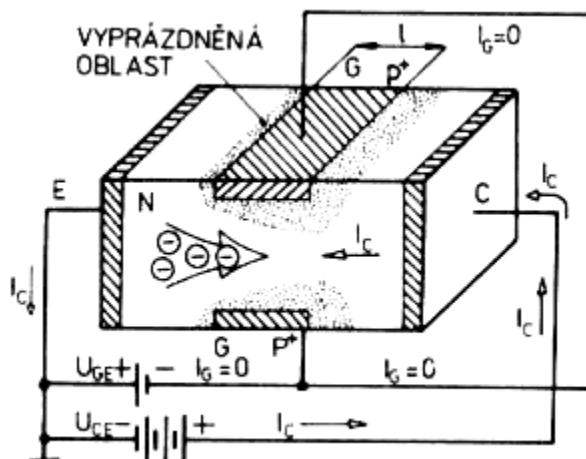
struktur dány především parazitními kapacitami, které musí být nabity a vybity při každém sepnutí a vypnutí. Tyto kapacity jsou teplotně nezávislé, a proto ani časy t_{ON} a t_{OFF} nejsou teplotně závislé, což je velká výhoda oproti bipolárním součástkám. Nesetkáváme se tedy s jevy akumulace (hromadění) minoritních nosičů a jejich postupnou rekombinací.

DC charakteristiky můžeme vidět na **Obr. 2.5**. Zajímáme se, jak hodnota proudu I_{DS} závisí na hodnotách u_{GS} , u_{DS} , a u_{BS} a na dalších parametrech tranzistoru, jako je dotování substrátu, tloušťka oxidu, rozměry bran, prahová napětí a tak dále. Hodnota I_{DS} je transformována prostřednictvím matematického modelu, ve kterém zadáme všechny známé informace a pomocí matematického modelování zkonstruujeme závislou funkci. Taková funkce je nazývána *matematický model* a kromě „fyzických“ parametrů často uvádí „nefyzické“ parametry, které ovšem nezbytně nepotřebujeme k výpočtu. Takové „nefyzické“ parametry jsou často spojovány v jeden nebo více „fyzických“ parametrů.

2.4 Tranzistory řízené elektrickým polem

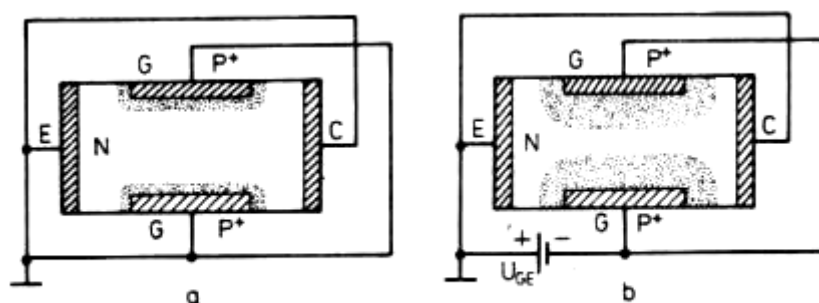
2.4.1 Tranzistor řízený elektrickým polem s přechodovým hradlem (JFET)

Uspořádání tohoto typu tranzistoru. je schématicky znázorněno na Obr 1.4. Základem je polovodičová destička s nevlastní vodivostí typu N opatřena na obou koncích neusměrňovacími kovovými kontakty, které slouží k přivádění proudu a mají význam emitoru (E) a kolektoru (C). Do horní i dolní stěny základní destičky je v délce l vytvořena difúzí, silně dotovaná vrstva obráceného typu vodivosti (P^+) nazvaná hradlo (G). Obě části hradla jdou spolu vodivě spojeny. Hradlo tvoří řídicí elektrodu tranzistoru. Prostor mezi částmi hradla se nazývá kanál. Jsou-li hradlo i kolektor spojeny s kolektorem ($U_{CE} = U_{GE} = 0$) (**Obr 2.8a**), tvoří se v okolí hradla vyprázdněná oblast znázorněná na **Obr 2.8** tečkovanými plochami. Tloušťku vyprázdněné oblasti je možné měnit napětím přiloženým k přechodu. Připojíme-li tedy mezi hradlo a emitor napětí U_{GE} (**Obr 2.8b**), tak, aby přechod byl polarizován ve zpětném směru, můžeme obě vyprázdněné oblasti rozšířit. Tím zúžíme vodivou část kanálu a zvětšíme jeho odpor. Je zřejmé, že odpor kanálu můžeme měnit velikostí napětí přiloženého ve zpětném směru mezi hradlo a emitor. Přitom přívodem hradla neprochází téměř žádný proud ($I_G = 0$, skutečný proud I_G je řádově jednotek pikoampérů).

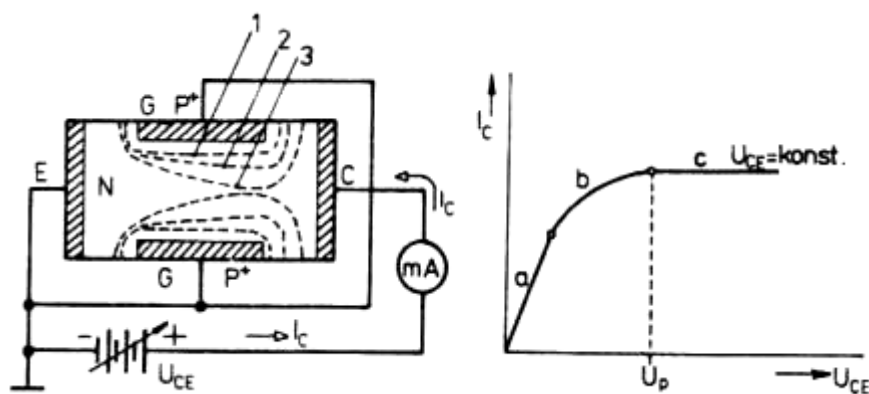


Obr 2.7 - Tranzistor řízený elektrickým polem s přechodovým hradlem (JFET)

Uvažujme nyní opět $U_{GE} = 0$. Připojíme-li mezi hradlo a emitor napájecí zdroj s polaritou vyznačenou na **Obr 2.9a**, jehož napětí budeme postupně od nuly zvětšovat objeví se kolektorový proud I_C . Při nulovém nebo velmi malém napětí U_{CE} je vyprázdněná oblast kolem částí hradla rovnoměrná a proud I_C se zvětšuje při vzrůstu napětí U_{CE} lineárně (**Obr. 2.9b**). Při dalším zvětšování napětí U_{CE} začíná kladné napětí připojené v místě kolektoru na kanál vodivosti N působit jako předpětí hradlo-kanál ve zpětném směru a s tím rozšiřovat vyprázdněnou oblast. Toto rozšíření je největší v blízkosti kolektoru, neboť napětí mezi kanálem a hradlem se v důsledku napěťového úbytku působeného proudem I_C od kolektoru k emitoru zmenšuje. Výsledkem je nerovnoměrné rozložení vyprázdněné oblasti podél hradla (**Obr 2.9a** a **Obr 2.7**).



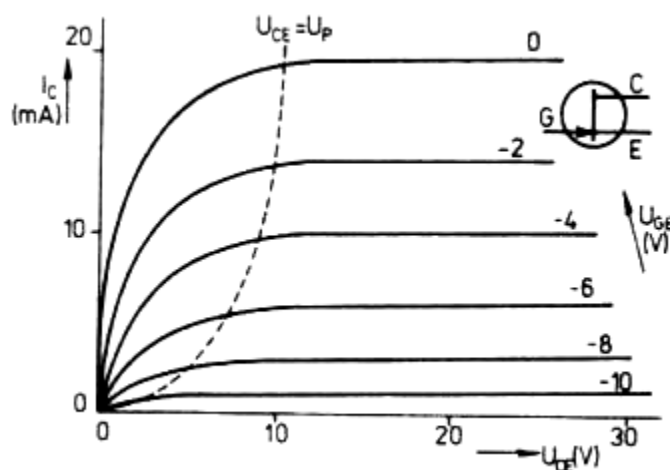
Obr 2.8 – Změna šířky vodivé části kanálu působením napětí U_{GE}



Obr 2.9 – a) Vliv napětí U_{CE} na rozložení vyprázdněné oblasti kolem části hradla
b) Závislost proudu I_C na napětí U_{CE} při $U_{GE} = \text{konst.}$

Vliv napětí U_{CE} na rozložení vyprázdněné oblasti má za následek zvětšování odporu kanálu při zvětšování napětí U_{CE} . Proud I_C proto roste při růstu napětí U_{CE} stále pomaleji (**Obr 2.9b**). Při dosažení napětí $U_{CE} = U_P$ se vyprázdněné oblasti obou částí hradla téměř vzájemně dotknou. K úplnému dotyku (uzavření kanálu) nedojde. Kanál se pouze v určitém místě zúží na velmi tenkou vrstvičku, která dovoluje průchod proudu I_C . Při dalším zvětšení napětí U_{CE} se úzká část kanálu prodlouží, odpor kanálu se zvětší a proud I_C již nevzroste. Dosahuje své nasycené hodnoty.

Nastavíme-li ve zpětném směru určité napětí U_{GE} , bude se při zvětšování napětí U_{CE} popsaná část opakovat. Vzrůst proudu I_C však bude od počátku pomalejší a k nasycení dojde již při menší hodnotě U_{CE} , neboť vlivem působícího napětí U_{GE} vycházíme nyní z užšího kanálu. Popsané průběhy výstupních charakteristik tranzistoru JFET jsou na **Obr 2.10**.



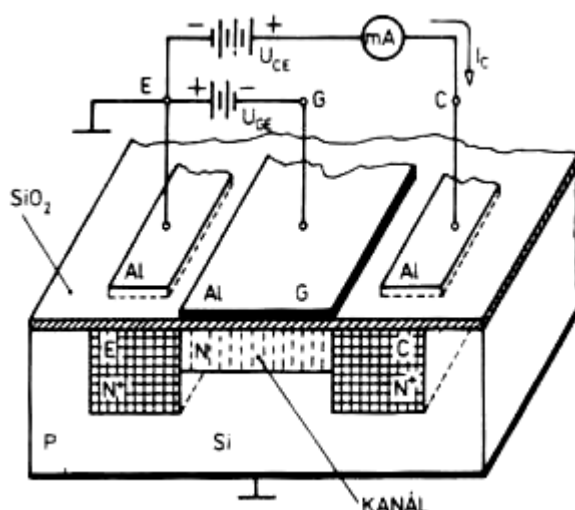
Obr 2.10 – Výstupní charakteristiky JFET tranzistoru a jeho schématická značka

2.4.2 Tranzistory řízený elektrickým polem s izolovaným hradlem

2.4.2.1 Tranzistor MISFET s vodivým kanálem

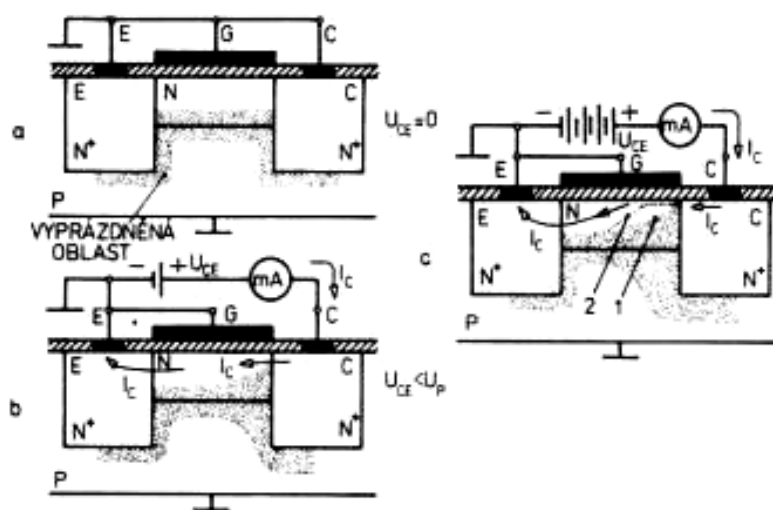
Do povrchu slabě dotované základní destičky z křemíku, která má vodivost P, jsou difúzí vhodné příměsi vytvořeny dva rovnoběžné příkopy se silnou koncentrací příměsí (N^+), které tvoří emitor a kolektor (**Obr 2.11**). Mezi nimi je tenčí, méně dotovaná vrstva N tvořící kanál. Celý povrch destičky je oksysličen. Vrstvou kysličníku procházejí pouze vývody emitoru a kolektoru. Na vrstvu kysličníku nad místem, ve kterém je vytvořen kanál, je napařena vrstva hliníku, která tvoří řídicí elektrodu (hradlo G). Protože kysličník křemičitý (SiO_2), je velmi dobrý izolant, je hrdlo od kanálu dobře izolováno.

Bude-li $U_{GE} = U_{CE} = 0$, vzniká v okolí přechodu PN na dolní hranici kanálu tenká vyprázdněná oblast rovnoměrného průřezu (**Obr 2.12a**). Zapojíme-li napájecí zdroj (stále při $U_{GE} = 0$) do obvodu kolektor – emitor a zvětšujeme-li postupně napětí U_{CE} začne kanálem poměrně prudce stoupat proud I_C neboť kanál je široký a jeho odpor je malý (**Obr 2.12b**, průběh $U_{GE} = 0$, oblast a na **Obr 2.13**). Kladné napětí U_{CE} však působí mezi základní deskou spojenou s emitorem a kanálem typu N jako předpětí na přechodu PN ve zpětném směru. Jeho růst způsobuje podobně jako v tranzistoru s přechodovým hradlem rozšiřování vyprázdněné oblasti v blízkosti kolektoru a tím omezuje růst proudu I_C (**Obr 2.12c**, oblast b na **Obr 2.13**). Při dostatečném napětí ($U_{CE} = U_p$) se vyprázdněná oblast v blízkosti kolektoru rozšíří téměř přes celou tloušťku kanálu. Pro průchodu proudu zbývá podobně jako při činnosti tranzistoru JFET jen tenká vodivá vrstvička na povrchu materiálu. Při dalším růstu napětí U_{CE} již proud I_C neroste, neboť délka tenké vodivé vrstvičky na povrchu kanálu se v důsledku dalšího rozšiřování vyprázdněné oblasti prodlužuje a odpor kanálu se zvětšuje (**Obr 2.12c**). Kolektorový proud je nasycen (oblast c na **Obr 2.13**).



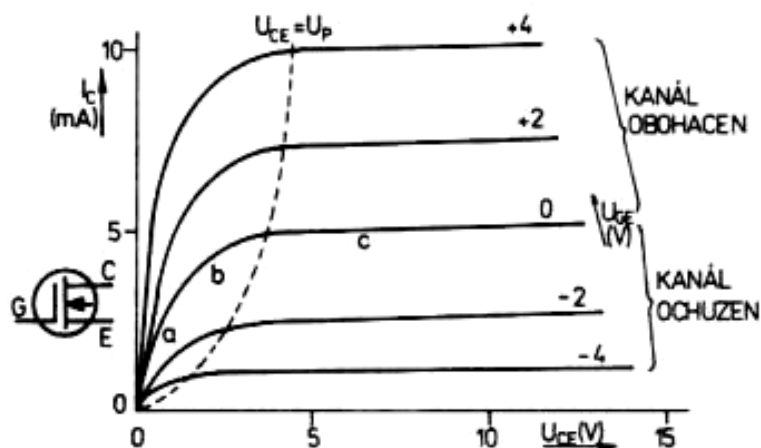
Obr 2.11 - Tranzistor řízený elektrickým polem typu MISFET s vodivým kanálem

Přiložíme-li na hradlo záporné napětí proti emitoru $U_{GE} < 0$, nedojde k průchodu proudu v obvodu hradlo-kanál-základní destička, neboť hradlo je od kanálu izolováno. Elektrické pole pouze vytlačí z prostoru kanálu určité množství volných elektronů. Proto se odpor kanálu zvětší a při zvětšování napětí U_{CE} stoupá proud I_C mírněji než při nulovém předpětí hradla. Říkáme, že tranzistor pracuje v režimu *ochuzení* (ochuzení kanálu o volné nosiče náboje). Ostatní činnost tranzistoru je stejná jako při $U_{GE} = 0$. Čím je záporné předpětí hradla větší, tím více volných elektronů je z kanálu vytlačeno a proud I_C při určitém napětí U_{CE} je menší (**Obr 2.13**). Při tzv. *závěrném* předpětí U_{GEZ} vytlačí elektrické pole z kanálu všechny volné elektrony a proud I_C klesne na nulu. Bude-li předpětí hradla proti emitoru kladné, přitáhne naopak elektrické pole do prostoru kanálu volné elektrony (minoritní nosiče a elektrony příslušející vlastní vodivosti) ze základní destičky. Tím se zvětší vodivost kanálu a proud I_C vzroste. Za této situace pracuje tranzistor v režimu *obohacení*.



Obr 2.12 – Činnost tranzistoru MISFET s vodivým kanálem

- Vyprázdněná oblast rovnoměrného průřezu v okolí přechodu PN při $U_{CE} = U_{GE} = 0$
- Vliv napětí U_{CE} na vyprázdněnou oblast při $U_{GE} = 0$
- 1) Rozložení vyprázdněné oblasti při $U_{CE} = U_P$; 2) při $U_{CE} > U_P$

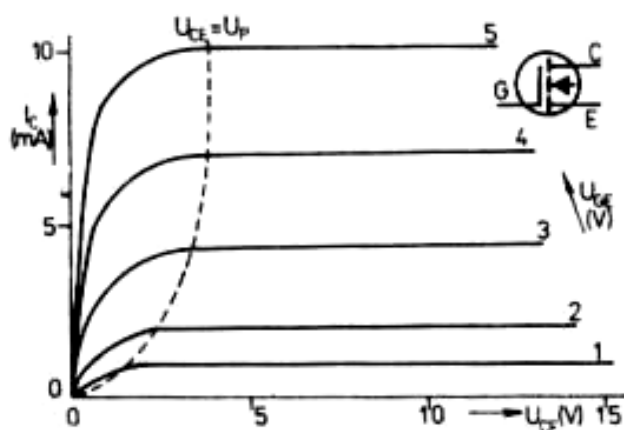


Obr 2.13 – Výstupní charakteristiky tranzistoru MISFET s vodivým kanálem

2.4.2.2 Tranzistor MISFET s indukovaným kanálem

Konstrukční uspořádání i činnost tohoto tranzistoru je velmi podobná tranzistoru MISFET s vodivým kanálem. Mezi difundovanými příkopy tvořícími emitor a kolektor není vytvořen vodivý kanál, a proto při $U_{GE} = 0$ neprochází mezi emitorem a kolektorem žádný proud.

Kanál vznikne vytlačeníím děr z prostoru mezi emitorem a kolektorem a přitažením volných elektronů ze základní destičky při přiložení kladného napětí na hradlo, tedy podobné jako v tranzistoru MISFET s vodivým kanálem při činnosti v režimu obohacení. V tenké vrstvě polovodiče těsně pod elektrodou G převládne počet elektronu nad děrami. Vznikne tzv. inverzní vrstva, která se chová podobně jako vodivý kanál s vodivostí typu N. Kolem inverzní vrstvy vzniká vyprázdněná oblast, jejíž průřez je ovlivňován napětím U_{CE} stejně jako při činnosti tranzistoru s vodivým kanálem. Rozdíl je pouze v tom, že v popisovaném typu tranzistoru dochází k vytváření kanálu a k vedení proudu pouze při kladném předpětí hradla ($U_{GE} > 0$).



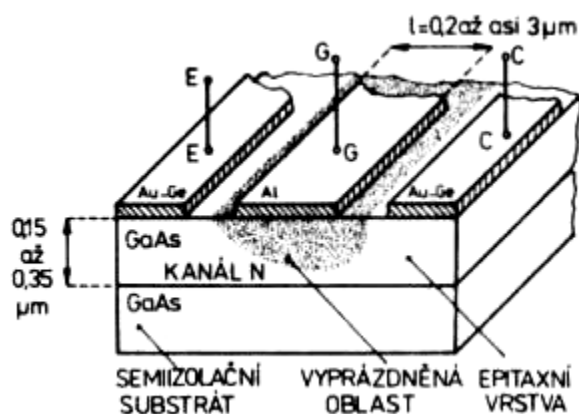
Obr 2.14 – Výstupní charakteristiky tranzistoru MISFET s indukovaným kanálem

Jak ukazují charakteristiky (**Obr 2.14**) dochází při zvětšení napětí U_{GE} ke vzrůstu proudu I_C , neboť při kladnějším napětí na hradle je indukovaný kanál tlustší a vodivější než při malém napětí U_{GE} .

Kdyby jednotlivé části popisovaných tranzistorů byli vyrobeny z polovodiče obráceného druhu nevlastní vodivosti, než který byl předcházejícím výkladu uvažován, šlo by o tranzistor s kanálem P. Principem činnosti se od vyložených tranzistorů neliší. Vyžadují však obrácenou polaritu všech používaných napětí.

2.4.2.3 Tranzistor MESFET se Schottkyho kontaktem

Uspořádání tranzistoru ukazuje **Obr 2.15**. Materiálem pro výrobu těchto tranzistorů je arzenid galia. Na základní destičce s velmi nízkou vodivostí (na tzv. semiizolačním substrátu) je epitaxní vrstva AsGa vodivosti typu N a tloušťky asi 0,15 – 0,35 μm . Neusměrňující kontakty emitoru a kolektoru jsou ze slitiny AuGe. Hradlo vyrobené napařením vrstvičky hliníku tvoří Schottkyho kontakt, který se polarizuje napětím U_{GE} ve zpětném směru (záporným napětím proti emitoru). Činnost je velmi podobná činnosti tranzistoru JFET. Představme si JFET podélně rozpůlený vodorovnou rovinou (**Obr 2.7**) a taky statické charakteristiky mají stejný průběh (**Obr 2.10**). Protože hradlo má délku pouze několik desetin až několik jednotek milimetrů a Schottkyho kontakt neobyčejně rychle ovládá velikost vyprázdněné oblasti pod hradlem je tento tranzistor schopen zpracovat signály s frekvencí až několik desítek GHz. Považuje se v současné době za nejperspektivnější součástku pro velmi vysoké frekvence.

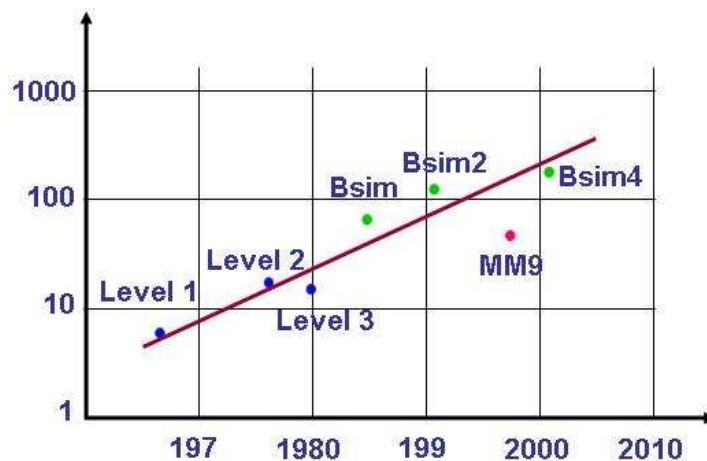


Obr 2.15 - Tranzistor řízený elektrickým polem se Schottkyho kontaktem (MESFET)

2.5 Historie vývoje MOSFET tranzistorů

První generace FETů označována jako **LEVEL 1** (technologie $> 10\mu\text{m}$), **LEVEL 2** a **LEVEL 3** (technologie - 0,8 μm až 10 μm) reprezentují ranná úsilí v modelování FETů, které byly popisovány jednoduchými, fyzikálně založenými parametry. Druhá generace modelů se nazývá **BSIM1**, **BSIM2** (technologie $< 0,8\mu\text{m}$), které představily velké množství empirických elektrických parametrů. Zdokonalení těchto obvodů vůči jejich předchůdcům bylo lepší odvození proudových rovnic, které jsou základem pro analogový návrh obvodů a také přinesly větší stabilitu modelovaných obvodů.

Třetí generace, v níž jsou zahrnuty verze **BSIM3** a **BSIM4** (technologie $< 0,12\mu\text{m}$) obsahuje jedinou proudovou a nabíjecí rovnici. Byl vytvořen pro potřeby "Ultra deep submicron" simulace a obsahuje přes 40 referenčních a 160 ostatních parametrů. BSIM4 počítá proudové, nábojové a šumové rovnice a obsahuje model pro zbytkové a závěrné proudy.



Obr 2.16 – Historie vývoje MOSFET tranzistoru

2.6 Historie modelování tranzistorů

Technologie polovodičových materiálů a součástek se stále vyvíjí čím dál rychleji kvůli zvýšeným požadavkům na větší výkon a menšími fyzickými rozměry. Pro vysoce kvalitní MOSFET tranzistory (Metal Oxid-Semiconductor FET) se technologie výroby stále redukuje a směřuje pod hranici $0,1 \mu\text{m}$ a je jen na obvodových návrhářích jak zužitkují potenciál moderní obvodové techniky. Tato zmenšování výrobní technologie FET tranzistorů však vedou k různým kanálovým problémům, které vedou k oslabení potenciálu mezi hradly. Takové kanálové jevy zvyšují svodové proudy, posunují prahové napětí a zapříčiňují efekt zvaný DIBL (Drain Induced Barrier Lowering).

MOSFET modelování se značně vyvíjelo v posledních 30-ti letech. Nejstarší modely měly velmi jednoduché a základní rovnice pro ampér-voltové charakteristiky a také měly velmi často minimum popsanych parametrů, které udávaly jen měřitelné fyzikální veličiny nebo měly silný fyzikální význam. Základní SPICE model prvních FETů proto udává jen tabulkový výpis parametrů, které popisují techniku a schopnost získání charakteristických rysů tranzistoru. Tyto parametry jsou pak zaneseny do rovnic tranzistoru a jsou použity pro řešení obvodové simulace. S novým vývojem technologie se modely, které popisují FET tranzistory, staly více komplexní a složitější. Dokonalejší výroba FETů s menšími kanály zajistila lepší popis složitějších účinků na tranzistor a použití více parametrů.

3 Stárnutí unipolárních tranzistorů

Již v počátcích návrhu tranzistorů a integrovaných obvodů je potřeba počítat s různými problémy (např. oxidace bran a změna rozměrů bran) při jejich dlouhodobém používání. Některé z těchto problémů mohou způsobit *teplotní nestabilitu pracovního bodu* (Negative Bias Temperature Instability - **NBTI**) a *vstřikování horkých nosičů* (Hot Carrier Injection - **HCI**). NBTI efekt má velmi negativní účinky v PMOS zařízeních ve kterých vede k proudové degradaci, ztrátu zisku a celkovou nefunkčnost integrovaných obvodů. HCI efekt má v první řadě vliv na NMOS zařízení, ale v dnešní době začínají být náchylné i PMOS zařízení. HCI je způsoben rychlými nosiči v oxidu, které způsobují jeho poškozování a následně vzniká proudová degradace, posun charakteristik tranzistoru, zvýšení svodových proudů atd.

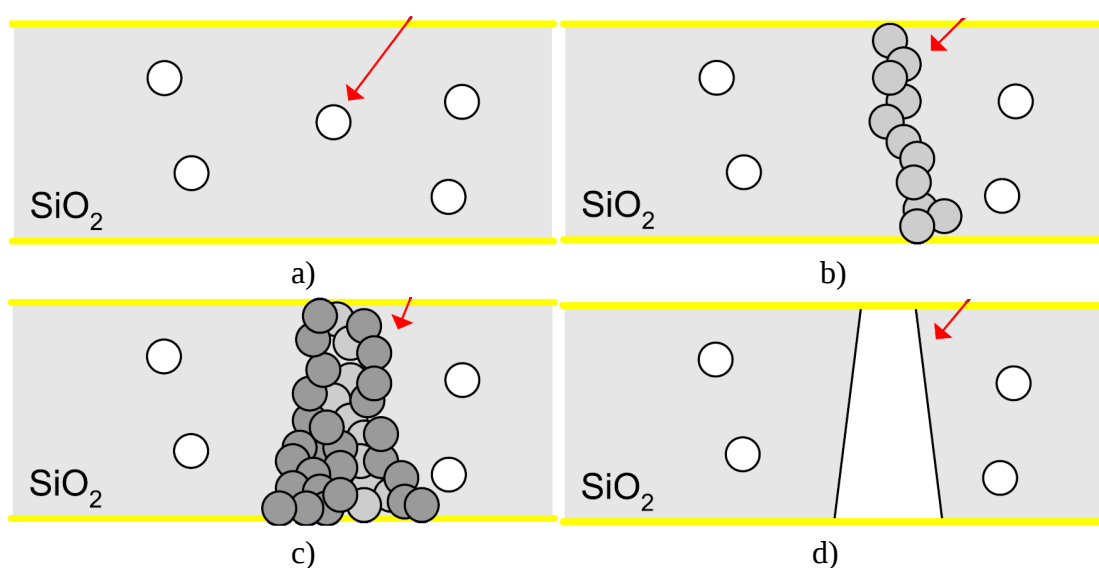
CMOS tranzistory mají postupem času stále menší výrobní technologii. Například před koncem roku 2003 byly mikroprocesory vyráběny 90nm technologií, v roce 2005 65nm technologií a produkce 32nm technologie je plánována na rok 2010 společností IBM. Mezní frekvence dnešních CMOS tranzistorů dosahuje 150 GHz. S čím dál menšími geometriemi se zařízení stává více náchylné na HCI a NBTI efekt.

Proto jsou velmi očekávanými tranzistory RF-CMOS (Radio Frequency Complementary Metal-Oxide Semiconductor), které by mohly v blízké budoucnosti nahradit křemíkové bipolární tranzistory a GaAs MESFET tranzistory v mobilních a telekomunikačních zařízeních. RF-CMOS je velice často srovnáván s křemíkovým bipolárním tranzistorem a GaAs MESFET kvůli jeho nižším výrobním nákladům, nižšímu příkonu a vysoké integraci. Nicméně, efekty rychlého vstřikování nosičů, "měkkého selhání" a oxidace bran se vyskytují bohužel u každé technologie a tím limitují modelování zařízení, obzvláště v RF obvodech. Je důležité porozumět dopadu na RF výkon obvodu, které používají výrobní technologii v řádech mikrometru. Ve srovnání s "tvrdým selháním" se "měkké selhání" stává více převažující pro tranzistory s tenkými oxidy při relativně nižších napětích. Efekt rychlého vstřikování nosičů navíc vyvolává více měkkých selhání. Výše uvedené efekty mohou způsobit závažné degradace v tranzistorech vedoucí ke snížení RF výkonu.

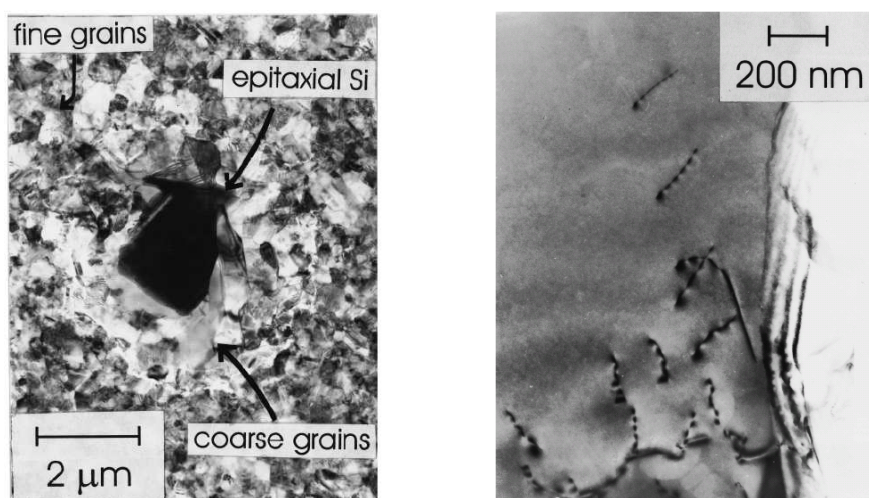
V průběhu času při kterém je zařízení v provozu se NBTI i HCI efekt nakonec projeví a vzniknou proudové degradace, které způsobí chyby v integrovaných obvodech. Proto musí konstruktéři obvodů uvážit tyto problémy již v ranném stádiu návrhu a zajistit zařízení bezproblémový provoz po celou dobu jeho existence. Pro modelování a předcházení těchto problémů se používají programy (Cadence, BSIMProPlus, Virtuoso UltraSim Full-chip Simulator), které zajistí kompletní řešení problému včetně určení spolehlivosti modelu a porovnání reálného chipu s počítačovou simulací. V této kapitole budou zhodnoceny fyzické mechanismy efekty rychlého vstřikování nosičů, měkkého selhání a teplotní nestability pracovního bodu.

3.1 Měkké selhání v ultratenkých oxidech bran

Porucha oxidu v bráně je jedním z ústředních témat CMOS spolehlivosti. Když je oxid tenčí než 5 nm, můžeme pozorovat dva druhy selhání: měkké (Soft Breakdown - SBD), které se stává častěji a tvrdé (Hard Breakdown - HBD) neboli průraz tranzistoru. Rozsáhlá studia o mechanismech těchto selhání vedla k založení asociace ke studii poruch v polovodičových součástkách. **Obr. 3.3** ukazuje podobnosti a rozdíly mezi SBD a HBD efekty pro ultratenké oxidy bran MOSFETů, které jsou způsobeny generacemi poruch v oxidu (tvorba „pastí“ pro elektrony (**Obr 3.1**)). Tyto I-V charakteristiky se mohou velmi lišit úrovní, tvarem proudu a napětí. SBD efekt nemusí vždy vést k selhání přístroje, ale pokud se v polovodiči objeví HBD efekt, dojde k přerušení provozu. Kritickým problémem u HBD a SBD je však vliv na výkon tranzistoru.



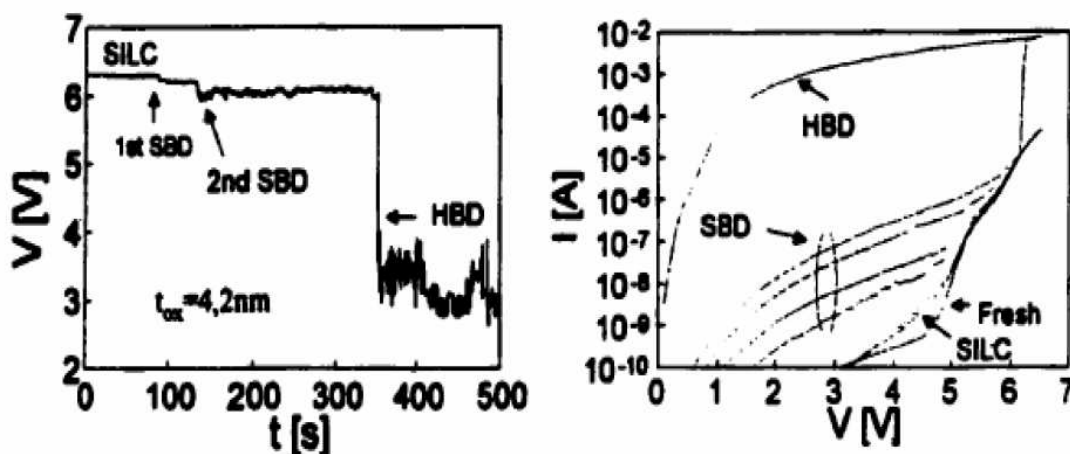
Obr 3.1 – a) Normální provoz, b) Elektrony začínají být zachycovány pastmi (SBD), c) Přechod se začíná zahřívat a vzniká více pastí, d) Křemík je znehodnocen a elektrony nemůžou procházet (HBD)



Obr 3.2 – Fotografie průřezu polovodiče pořízené mikroskopem

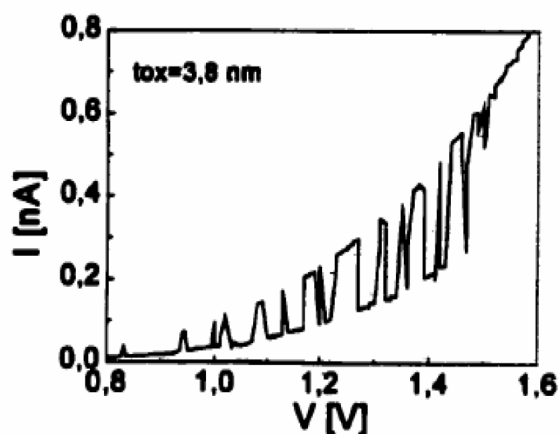
Výskyt měkkého selhání je identifikován podle šumu v signálu a začíná náhlou změnou vodivosti oxidu, která má řádově menší hodnoty. Někdy je tato změna nazývána kvazi-selhání. Setkáváme se se dvěma hlavními rysy výskytu SBD:

- 1) Obrovský svodový proud
- 2) Významné zvýšení hladiny šumu, někdy ve formě rozsáhlého víceúrovňového proudu nebo kolísání napětí (**Obr 3.4**)



Obr. 3.3 – Zobrazení SBD (tloušťka oxidu $t_{ox} < 5\text{nm}$) a HBD ($I_{HBD} \gg I_{SBD}$)

Můžeme říci, že SBD je způsobeno tvorbou několika cest nízkého odporu pro elektrony, které mají souvislost s defekty vzniklými během napěťového namáhání. Jen velmi těžko lze předvídat bez matematických modelů (např. termochemický model, E a 1/E model), které byly pro tuto problematiku navrženy, ve kterých místech a kdy se tyto problémy mohou objevit.



Obr 3.4 – Fluktuace u SBD

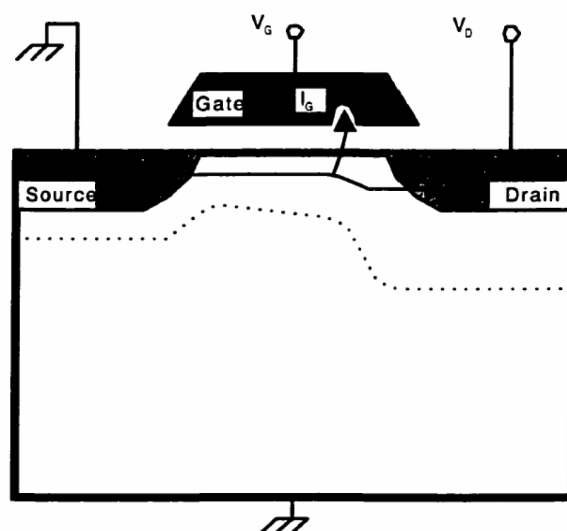
Otázkou je, jestli SBD a HBD v ultratenkých oxidech bran jsou opravdu různé mechanismy selhání. Obrovský rozdíl mezi měkkým a tvrdým selháním je v I-V charakteristikách (**Obr 3.3**) ve kterých vidíme problémové oblasti. HBD má ve své konečné fázi mnohonásobně větší kolektorový proud a viditelně nižší a nestabilní napětí než u SBD a tranzistor se stává prakticky nepoužitelným.

V prvních studiích problematiky ultratenkých oxidů se SBD nepovažoval za příčinu selhání tranzistoru. Bylo ukázáno, že pro velké zařízení jsou proudy na hradlu a substrátu po SBD stabilní a mají jedinečnou charakteristiku a pro menší zařízení jsou oba dva proudy nestabilní. Vědci vysvětlili tento rozdíl s různou dostupnou vylučovanou energií v saturaci při SBD. Také silně závisí na testované struktuře tranzistoru.

3.2 Mechanismy vstřikování horkých nosičů

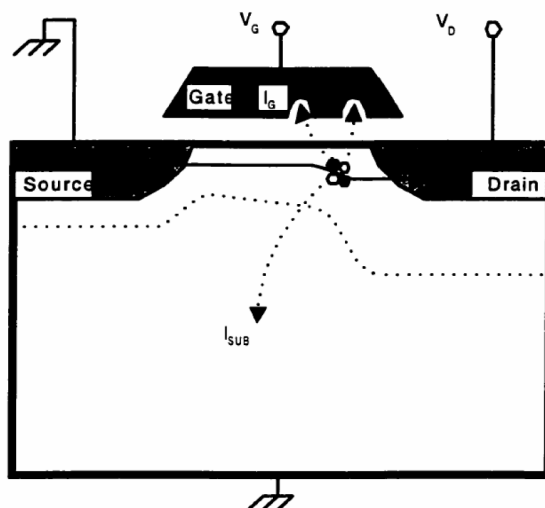
Efekt vstřikování horkých nosičů ve VLSI obvodech na bázi křemíku znázorňují jevy, které jsou způsobené nosiči s vysokou energií vytvořenými elektrickým polem na kanálu. Tyto nosiče můžou způsobit permanentní změny v nábojové distribuci na oxidovém rozhraní. Na zařízení se může vyskytnout zvýšená degradace kolektorového proudu. Akumulací zachycených nábojů se snižuje saturační proud I_{DSAT} , který způsobí odchylku na napětí V_T a sníží lineární oblast reálné strmosti. Protože se velikosti tranzistorů stále zmenšují, elektrické pole kanálu se stává čím dál vyšší (někteří výrobci integrovaných obvodů již ohlásili HCI problémy při 0,5 μm výrobní technologii). Nosiče v kanálu získají dost energie na to, aby se staly "horkými". Nejvíce pozornosti se soustřeďuje na efekt kanálového vstřikování horkých nosičů. Nicméně je zde několik dalších druhů vstřikování, které zapříčiňují degradaci ve VLSI obvodech:

- 1) **Kanálové vstřikování horkých nosičů** (Channel Hot-Electron injection - CHE). Na **Obr 3.5** můžeme vidět několik elektronů v kanálu, které můžou uniknout získáním dostatečné energie k překonání rozhraní Si – SiO₂ beze ztráty svojí energie. Tyto elektrony se nazývají kanálové horké elektrony a tvoří jednu z hlavní součástí proudu řídicí elektrody. Tyto elektrony také způsobují podstatnou degradaci oxidu a Si – SiO₂ rozhraní, obzvláště při nízkých teplotách.



Obr 3.5 – Schématický diagram kanálového vstřikování horkých nosičů

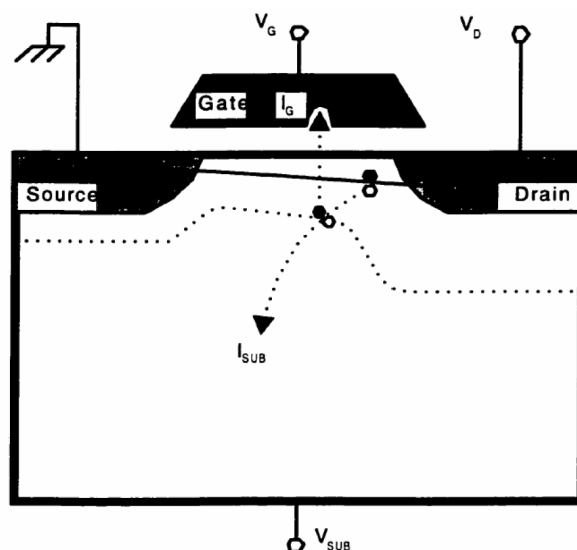
- 2) **Lavinový odtok horkých nosičů** (Drain Avalanche Hot-Carrier injection - DAHC) (**Obr 3.6**): Jestliže je napětí V_D velké, nastává zmenšení napětí V_G a elektrické pole na elektrodě *drain* nabývá na intenzitě. Nastává lavinové násobení způsobené ionizací nárazem a to může podstatně zvýšit zásobu horkých elektronů a horkých děr, které jsou vstřikovány do brány stejným způsobem jako CHE, při kterém dochází k nejzávažnější degradaci kolem pokojové teploty.



Obr 3.6 – Mechanismus lavinového odtoku horkých nosičů

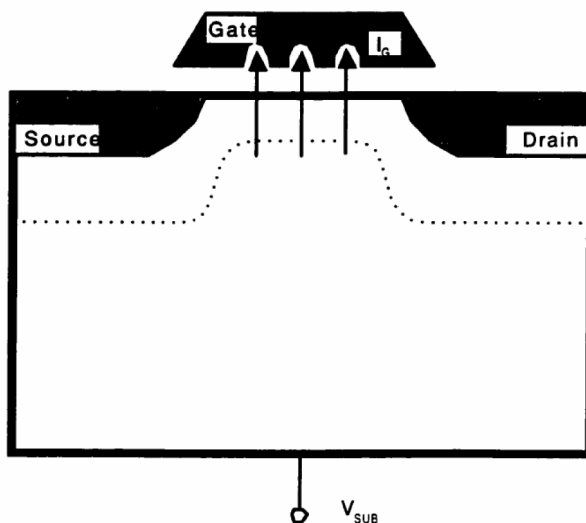
- 3) **Sekundární generování horkých elektronů** (Secondary Generated Hot-Electron - SGHE) (**Obr 3.7**): Když je elektrické pole velmi vysoké, vygenerované horké nosiče jsou schopny způsobit sekundární ionizaci nárazem v oblasti ochuzení během jejich cesty do substrátu. Elektrony vygenerované sekundární ionizací nárazem mohou také být

vstříkovány do brány a způsobit degradaci. Tento problém nastává jen pokud pracujeme s ultra-malými zařízeními.



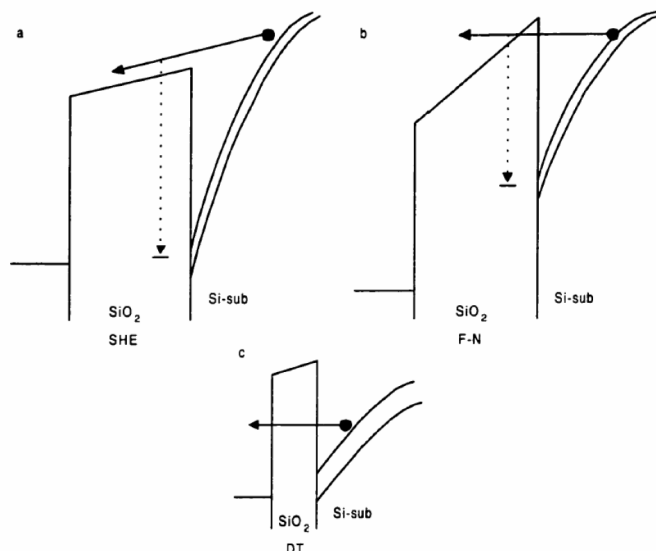
Obr 3.7 – Mechanismus generování sekundárních elektronů

- 4) **Substrátové vstříkování horkých nosičů** (Substrate Hot-Electron - SHE) (**Obr 3.8**): Analýza pastí pro elektrony a díry v SiO_2 je jednodušší než lavinový odtok horkých nosičů. Horké nosiče jsou teplotně vygenerovány nebo vstříknuty z p-n přechodu do substrátu, aby otestovaly kvalitu hradlového izolátoru (**Obr 3.9a**).



Obr 3.8 – Mechanismus substrátového vstříkování horkých nosičů

- 5) **Tunelové vstříkování Fowler-Nordheim** (Fowler-Nordheim - F-N): Horké elektrony jsou vstříkovány z kanálové inverzní vrstvy do dielektrika brány (**Obr 3.9b**). Tento injekční mechanismus je používán v EEPROM zařízeních a je také významnou příčinou dielektrického průrazu v tenkých izolantech.



Obr 3.9 – Mechanizmy vstřikování: a) Substrátové vstřikování horkých nosičů, b) Tunelové vstřikování Fowler-Nordheim, c) Přímé tunelové vstřikování

- 6) **Přímé tunelové vstřikování** (Direct Tunneling - DT): Při malých rozměrech MOS zařízení je izolátor velmi tenký (méně než 5 nm) a může trpět degradací kvůli tomuto vstřikování (**Obr 3.9c**).

Pro analogové a digitální zařízení s mikrometrovými rozměry pracující za normálních podmínek jsou největšími problémy kanálové vstřikování horkých nosičů a lavinový odtok horkých nosičů. Pro zařízení s velmi tenkým oxidem na bráně je problémem přímé tunelové vstřikování.

3.3 Matematický model vstřikování horkých nosičů

Při zasažení tranzistoru horkými nosiči nastává degradace v MOS strukturách a obvykle zaznamenáváme změny ve strmosti $\Delta g_m/g_m$, kolektorovém proudu $\Delta I_d/I_d$ a prahovém napětí ΔV_t a tak dále. Můžeme zobecnit všechny tyto degradace použitím symbolu ΔD .

Jako první byl vyvinut model degradace pro stejnosměrné napětí a ten byl poté rozšířen pro střídavé podmínky použitím aproximace.

3.3.1 NMOS DC model

Pro n-kanálový MOSFET pod DC zátěží, můžeme vyjádřit množství degradace jako funkci času:

$$\Delta D = (At)^n \quad (3.1)$$

Proměnná A popisuje míru degradace jako funkci horkých nosičů v MOS kanálu a závisí na proudu protékající substrátem:

$$A = \frac{I_{DS}}{H.W} \left(\frac{I_{SUB}}{I_{DS}} \right)^m \quad (3.2)$$

kde H je konstanta, a W je šířka kanálu.

Zavedením parametru „Age“ můžeme určit kvantitativně dobu zátěže horkými přepřavci:

$$Age = At \quad (3.3)$$

3.3.2 PMOS DC model

Pro p-kanálový MOSFET pod DC zátěží, můžeme vyjádřit množství degradace jako funkci času (uvědomme si, že parametr n není stejný jako u NMOS modelu):

$$\Delta D = (B.t)^n \quad (3.4)$$

Výraz pro výpočet proměnné B dovoluje degradaci buď způsobenou proudem řídicím elektrody vstřikovaným do oxidu ($W_g=1$) nebo kanálovým vstřikováním horkých nosičů ($W_g=0$). Parametr B a „Age“ vyjádříme:

$$B = W_g \cdot \frac{1}{H_g} \cdot \left(\frac{I_g}{W} \right)^{m_g} + (1 + W_g) \cdot \frac{I_{ds}}{H.W} \cdot \left(\frac{I_{sub}}{I_{ds}} \right)^m \quad (3.5)$$

$$Age = B.t \quad (3.6)$$

Parametry m , H , H_g a m_g jsou závislé na napětí U_{gd} . Můžeme je implementovat dvěma způsoby:

$$X = X_0 + X_{gd}.U_{gd} \quad (3.7, 3.8)$$

$$X = 10 + \sum_{i=1}^{10} X_{gdi}.U_{gd}^i$$

kde symboly X reprezentují parametry m , H , H_g a m_g .

3.3.3 NMOS/PMOS AC model

Použitím aproximace se pro NMOS tranzistor proměnná „Age“ změní na výraz:

$$Age = N \cdot \int_0^T \frac{I_{ds}}{H \cdot W} \cdot \left(\frac{I_{sub}}{I_{ds}} \right)^m dt \quad (3.9)$$

kde I_{ds} a I_{sub} jsou časově proměnné proudy a integrál je počítán pro periodu T , přičemž číslo N je počet opakování periody.

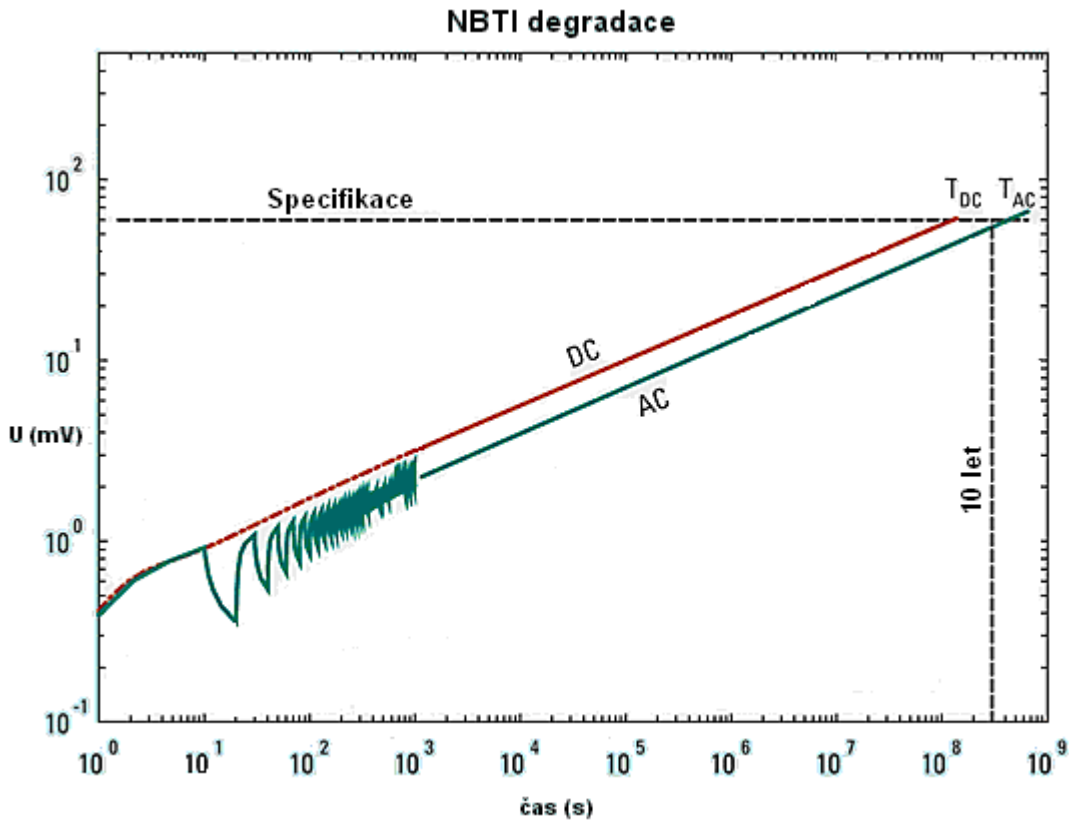
Pro PMOS zařízení je definice proměnné „Age“ sumou degradací způsobenou kanálovým vstřikováním horkých elektronů:

$$Age = N \cdot \int_0^T \left[W_g \cdot \frac{1}{H_g} \cdot \left(\frac{I_g}{W} \right)^{m_g} + (1 - W_g) \cdot \frac{I_{ds}}{H \cdot W} \cdot \left(\frac{I_{sub}}{I_{ds}} \right)^m \right] dt \quad (3.10)$$

3.4 Teplotní nestabilita pracovního bodu

Současné požadavky po vyšších budících proudech při nižších pracovních napětích vedou k většímu zájmu o teplotní nestabilitu pracovního bodu (NBTI), která významně posouvá prahové napětí a snižuje budicí proud. Ukazuje se, že NBTI se exponenciálně zhoršuje s tenčím oxidem na branách a posouvá napětí V_t o 20-50 mV, což přináší pro zařízení která pracují při nižších napětích než 1,2V vážné problémy. Proto se snažíme o vytváření modelů NBTI mechanismů k tomu, aby zabezpečily vysokou spolehlivost pro 90 nm a menší výrobní technologie. NBTI efekt posouvá v CMOS zařízeních prahové napětí po dobu měsíců nebo let, v závislosti na operačních podmínkách zařízení. Například při práci mikroprocesoru při teplotě 100°C se může posunout prahové napětí již v průběhu měsíců. NBTI je nejvíce problematické pro zařízení s vysokou garantovanou spolehlivostí. U analogových zařízení jsou tyto problémy vnímány citlivěji než u digitálních zařízení.

NBTI mechanismus je elektrochemická reakce která vyžaduje elektrické pole, díry, křemíkovo-vodíkové vazby a vyšší teplotu. Během NBTI degradace jsou křemíkovo-vodíkové vazby v přechodu Si/SiO₂ rozbity přičemž je celá reakce omezena difúzí vodíku. Pasti na rozhraní jsou vytvořeny, když díry rozbíjí Si-H vazbu, která působí společně s dírami v inverzním vrstvě nebo oblasti *source-drain*. Z rozbité vazby se uvolní vodík (atom, molekula nebo iont) a ten vytvoří past na Si/SiO₂ rozhraní. Vzniká stálý pozitivní náboj N_{OT} . Pro ultratenké oxidy je změna V_t způsobena nahromaděním pastí podél hradla.



Obr 3.10 – NBTI degradace při DC a AC zatěžování

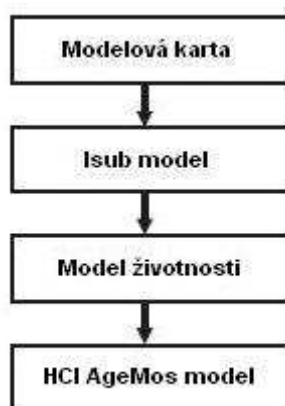
Teplotní nestabilita přechodu pod trvalým stejnosměrným napětím (DC) způsobuje generaci pastí (N_{IT}) mezi oxidem hradla a substrátem křemíku, které posunou prahové napětí a sníží budicí proud. NBTI efekt je více kritický pro PMOS tranzistory než NMOS tranzistory kvůli přítomnosti děr v PMOS inverzní vrstvě. Obvyklé namáhání přechodu DC napětím vede k rychlé degeneraci parametrů tranzistorů. Pokud však budeme namáhat přechod AC napětím, které bude periodicky přerušované, můžeme dosáhnout menší degradace (**Obr 3.10**), protože pasti vygenerované během zapnutého stavu jsou částečně zaceleny, když je zařízení ve vypnutém stavu. A proto testujeme-li zařízení pod DC napětím, hrubě podceňujeme jeho celkovou životnost. Kvůli podstatnému elektrickému zotavovacímu účinku pastí na rozhraní v pMOSFET tranzistoru může být dynamické NBTI zatěžování mnohem delší než testování pod statickým NBTI.

$$\Delta N_{IT}(E_{ox}, T, t, t_{ox}) = 9 \cdot 10^{-4} E_{ox}^{1,5} t^{0,25} e^{\frac{-0,2}{kT}} e^{\frac{-0,15}{kT}} \quad (3.11, 3.12)$$

$$\Delta N_{OT}(E_{ox}, T, t) = 490 E_{ox}^{1,5} t^{0,14} e^{\frac{-0,15}{kT}}$$

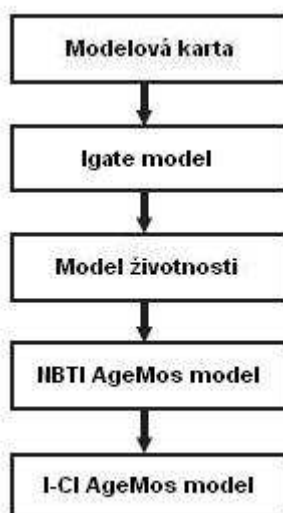
3.5 Extrakce a modelování

Při modelování HCI efektu v NMOS technologii (**Obr 3.11**) začíná proces extrakce určením modelové karty např. BSIM3 nebo BSIM4. K těmto NMOS parametrům přidáme některé další parametry pro velmi přesné I_{SUB} (svodový proud z N+ vrstvy do substrátu) modelování. S pomocí jednoho z parametrů (např. saturační proud, I_d lineární, prahové napětí) získaného z měření a monitorování určíme životnost modelu. V posledním kroku získáme extrakcí všech parametrů *AgeMos model*, který můžeme použít v jakémkoliv SPICE simulátoru pro výpočty stárnutí tranzistorů.



Obr 3.11 – NMOS (HCI) extrakce AgeMos modelu

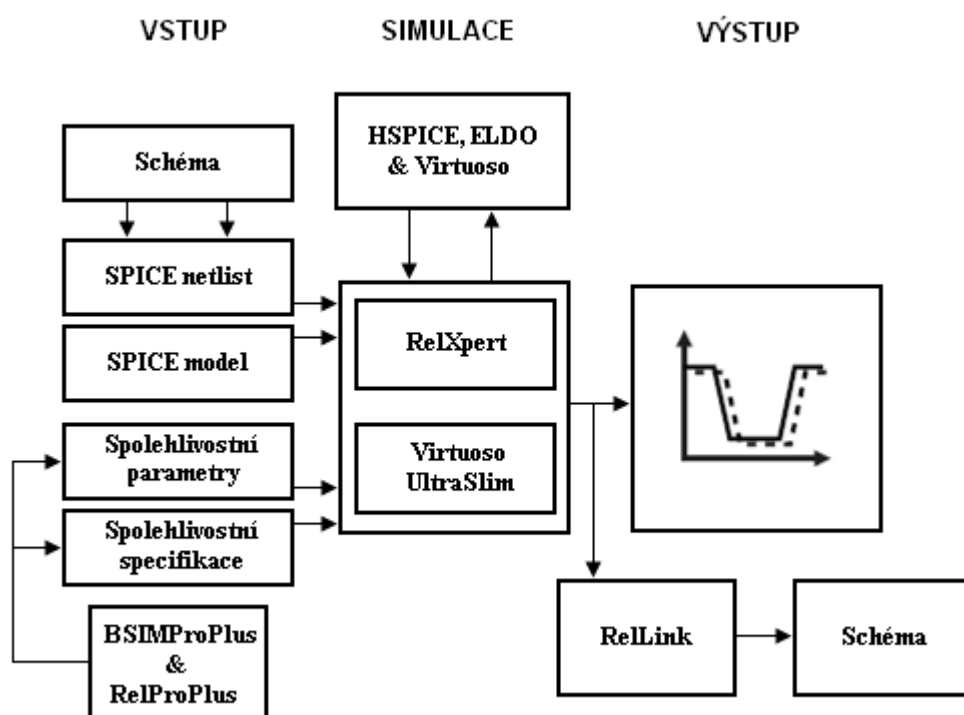
Při modelování NBTI efektu v PMOS technologii (**Obr 3.12**) je proces extrakce velmi podobný. Pro zjištění životnosti modelu se používá namísto proudu v substrátu proud řídící elektrody.



Obr 3.12 – PMOS (NBTI) extrakce AgeMos modelu

Pro mnoho společností existují určitá pravidla pro spolehlivost obvodů, která nesmí konstruktéři porušit. Kontrola spolehlivosti HCI/NBTI simulace je provedena před dokončením chipu po vyrobení prvních prototypů. Pokud nenastane shoda mezi simulací a integrovaným obvodem musí být proveden zcela nový návrh, a proto se prodej chipů o 6 nebo více měsíců zpožďuje.

Pro simulaci obvodu můžeme použít jednu ze dvou možností – „Virtuoso UltraSim Full-chip Simulator“ nebo SPICE simulátor RelXpert s analýzou HCI a NBTI, životnosti a počítání degradace. Ten generuje netlist, který dovoluje simulaci stárnutí tranzistoru.



Obr 3.13 – Simulace spolehlivosti použitím programu *Virtuoso UltraSim* nebo *RelXpert*

Uživatelé programu „Virtuoso UltraSim“ nabízí uživatelům použití izomorfního FastSPICE simulátoru, který může snadno vypořádat s velkými analogovými i digitálními obvody a může provést HCI/NBTI simulaci. „Virtuoso UltraSim“ proto může provést simulaci paměti o velikosti 1GB DRAM s více než jednou miliardou tranzistorů.

Se spolehlivostní analýzou můžeme znát predikci stárí každého MOS tranzistoru, žádat simulátor o predikci degradace po několika letech provozu a také generovat degradovaný tranzistor (např. 10 let), žádat simulátor o predikci životnosti a spolehlivosti pokud dosáhne tranzistor určitého procenta degradace (např. 10% degradace) a vybírat HCI i NBTI simulaci ve stejný čas, nebo každou zvlášť.

3.6 Výzvy v konstruování

HCI a NBTI efekty zavádějí zvýšení prahového napětí nebo změnu transkonduktance pro modely MOS, které mohou být problémové pro signálové analogové a digitální aplikace. Tyto problémy mění zisk tranzistoru se kterými konstruktéři nemusejí při návrhu zcela počítat. S HCI a NBTI obvodovou analýzou je mohou detekovat a lokalizovat možné problémy. Obvodoví návrháři mohou zlepšit robustnost modelu zvětšením jejich délky, protože HCI efekt je závislý na horizontálním elektrickém poli. Může se také objevit exponenciální snížení množství rychlých nosičů se snížením napájecího napětí.

NBTI efekty se problematičtěji odstraňují. Návrháři mohou kontrolovat překročení napětí aby se vyhnuli poškození, které způsobuje NBTI efekt. Mohou se rozhodnout, jestli zvýší kapacitní zátěž a zvýší transkonduktanci, nebo sníží napájecí napětí. Vytváření robustních HCI/NBTI obvodů je nová výzva pro analogově/digitální návrháře obvodů, kteří by se měli dostatečně vzdělávat v provádění přídatných spolehlivostních analýz.

4 Modelování MOS Tranzistorů

4.1 Výběr MOSFET modelu pro aplikace

Výběr MOSFET modelu obvykle závisí na elektrických parametrech, které použijeme v analýze. Modely LEVEL 1 jsou nejčastěji používány pro simulace rozsáhlých číslicových obvodů ve kterých nejsou potřebné detailní analogové modely. Proto tyto modely nabízejí nízkou dobu na výpočet simulace a relativně vysokou přesnost vzhledem k rychlosti výpočtu. Pokud je požadovaná vysoká přesnost výpočtu můžeme použít například LEVEL 6 model, nebo jeden z BSIM modelů (LEVEL 13, 39 nebo 49), které přesně modelují integrované obvody a berou v úvahu změny parametrů modelu, citlivost a geometrické parametry IO. BSIM modely také dokážou zachovat náboj na hradle pro přesné modelování kapacitních účinků. Tyto vyšší modely (LEVEL XX) jsou pouze interním označením výrobců.

LEVEL 2 modely berou mimo jiné v úvahu proudové účinky na různých hradech. LEVEL 3 modely vyžadují méně času na simulaci, poskytují přesnost srovnatelnou s modelem LEVEL 2 a mají větší tendenci k lepší konvergenci. LEVEL 6 modely jsou kompatibilní s modely původně vyvinuté s ASPEC. Pro modelování proudu vytvořeného fotoelektrickou metodou můžeme použít například SOSFET model (LEVEL 27) nebo LEVEL 5 a LEVEL 38 pro ochuzené MOS obvody.

4.2 Parametry a použité konstanty modelů LEVEL 1-3

Parametry používané v LEVELu 1, 2 a 3 jsou zobrazeny v **Tab 4.1** a předpokládá se, že parametry modelu byly určeny nebo měřené ve jmenovité teplotě. Modely 1, 2 a 3 mají mnoho společného. Tyto modely vyhodnocují stejně kapacity na polovodičových přechodech i parazitní odpory, ale liší se v postupu pro vyhodnocení částečně se překrývajících kapacit (CGD, CGS a CGB), které se používají k určení ampér-voltové charakteristiky aktivní oblasti tranzistoru. Tyto kapacity jsou velmi důležité k popisu funkčnosti MOSFET tranzistoru. Parametry MOSFETů 1, 2 a 3 se dělí do tří kategorií: *absolutní* parametry, *měřitelné a procesní* parametry a *geometrické* parametry. Ve většině případů jsou absolutní parametry odvozeny z měřitelných a geometrických parametrů.

Pro časté opakování některých konstant při výpočtu jednotlivých modelů si zde uvedeme ty nejzákladnější z nich:

Boltzmannova konstanta [J/K]	k = 1.38062e-23
Náboj elektronu [C]	q = 1.60212e-19
Permitivita silikonu [F/m]	$\epsilon_{si} = 1.0359 \cdot 10^{-10}$
Teplota okolí [°K]	t
Parametr „ Δt “ [°K]	t - tnom
Teplota okolí [°C]	TNOM
Parametr „tnom“ [°K]	273.15 + TNOM

Parametr	Popis	Jednotka
AF	exponent blikavého šumu	-
CBD	kapacita na "B-D" přechodu při nulovém předpětí	F
CBS	kapacita na "B-S" přechodu při nulovém předpětí	F
CGBO	"G-B" kapacita v závislosti na délce kanálu	F/m
CGDO	"G-D" kapacita v závislosti na šířce kanálu	F/m
CGSO	"G-S" kapacita v závislosti na délce kanálu	F/m
CJ	měrná kapacita PN přechodu (dna)	F/m ²
CJSW	měrná kapacita PN (postranní)	F/m
DELTA	činitel vlivu W na U _T	-
DELVTO	změna prahového napětí	V
ETA	statická zpětná vazba (pouze LEVEL 3)	-
FC	koeficient pro ztrátu na kapacitách	-
GAMMA	substrátový činitel	$\sqrt{V}$
IS	velikost proudu na přechodu při saturaci	A
JS	velikost proudu v oblasti přechodu při saturaci	A/m ²
KAPPA	saturační činitel (pouze LEVEL 3)	-
KF	koeficient blikavého šumu	-
KP	zesilovací parametr	A/V ²
LAMBDA	koeficient modulace kanálu (pouze LEVEL 1,2)	1/V
LD	laterální difúze	m
LEVEL	číslo modelu	-
MJ	exponent závislosti CJ	-
MJSW	exponent závislosti CJSW	-
NSUB	koncentrace příměsí	cm ⁻³
NFS	rychlá povrchová hustota	cm ⁻²
NEFF	koeficient celkového náboje na kanálu (pouze LEVEL 2)	-
PB	celkové napětí na přechodu	V
PHI	povrchové napětí	V
RD	ohmický odpor na "D"	Ω
RS	ohmický odpor na "S"	Ω
RSH	plošný odpor mezi aktivní oblasti	Ω
THETA	proměnlivost modulace (pouze LEVEL 3)	1/V
TOX	tloušťka oxidu (nepoužívaná pro LEVEL 1)	m
TPG	typ hradlového materiálu	-
UCRIT	kritická intenzita, vliv na μ (pouze LEVEL 2)	V/cm
UEXP	exponent vlivu na μ (pouze LEVEL 2)	-
UO	pohyblivost elektronů	cm ² /Vs
UTRA	transverzální činitel μ (pohyblivost) (pouze LEVEL 1 a 3)	-
VMAX	maximální driftová rychlost nosičů	m/s
VTO	prahové napětí	V
XJ	metalurgická hloubka PN přechodu	m

Tab 4.1 – Parametry modelů MOS 1, 2, 3

Pokud parametry PHI, GAMMA a VTO, které jsou používány na výpočet prahového napětí, nejsou definovány musí se určit z rovnic a parametrů uvedených níže (v praxi se obvykle nepočítají z analytických vztahů a jsou určovány jako parametry modelu pro danou technologii z experimentálních měření). Tyto rovnice platí pro všechny existující modely s výjimkou modelu LEVEL 5. Důležitým parametrem je teplota okolí „TNOM“ a koncentrace příměsí „NSUB“.

$$PHI = 2 * v_t * \ln\left(\frac{NSUB}{ni}\right) \quad (4.1, 4.2)$$

$$GAMMA = \frac{\sqrt{2 * q * \epsilon_i * NSUB}}{COX}$$

když energetická mezera eg , vnitřní koncentrace nosičů ni a nominální hodnota teploty v Kelvinech $tnom$ je definována:

$$eg = 1,16 - 7,02 * 10^{-4} * \frac{tnom^2}{tnom + 1108} \quad (4.3, 4.4)$$

$$ni = 1,45 * 10^{10} * \left(\frac{tnom}{300}\right)^{\frac{3}{2}} * e^{\left[\frac{q * eg}{2k} * \left(\frac{1}{300} - \frac{1}{tnom}\right)\right]}$$

Pokud není VTO specifikováno platí:

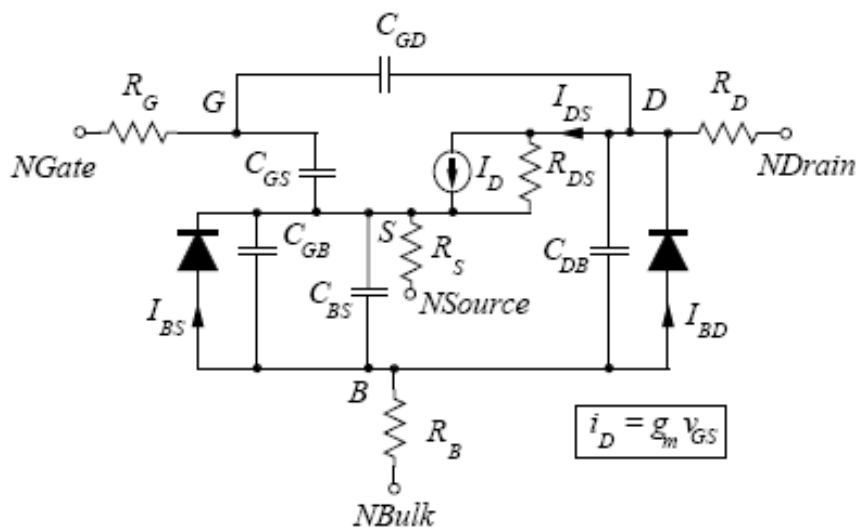
$$VTO = u_{fb} + type * (GAMMA * \sqrt{PHI} + PHI) \quad (4.5)$$

kde

$$u_{fb} = \phi_{ms} - \frac{q * NSS}{COX} + DELVTO \quad (4.6)$$

$$\phi_{ms} = -\frac{eg}{2} - type * PHI - 0,05$$

pokud je elektroda *gate* vyrobena z hliníku. Parametr *type* umožňuje volbu mezi modelem s n-kanálem (hodnota +1) a p-kanálem (hodnota -1)



Obr 4.1 – Schéma zapojení MOS modelů **LEVEL 1, 2, 3.**

V_{GS} , V_{DS} , V_{GD} , V_{GB} , V_{DB} a V_{BS} jsou napětí mezi bránami „Gate“ (G), „Drain“ (D), „Bulk“ (B) a „Source“ (S).

4.3 LEVEL 1 (“Shichman-Hodges“)

Tento model byl první SPICE MOSFET model a byl vyvinut v roce 1968. Je to ten nejzákladnější model, má omezené modelovací schopnosti a měl by být používán tam, kde je důležitější doba simulace než přesnost výpočtu. To znamená například zjednodušení v pozvolné kanálové aproximaci, konečná hodnota výstupní vodivosti nebo zavedená metoda nejmenších čtverců pro satureovaný kolektorový proud. LEVEL 1 je vhodný pro větší zařízení s hradlovými délkami většími než $4\mu\text{m}$. Jeho hlavní výhoda je v tom, že pro specifikaci obvodu potřebujeme jen několik málo parametrů, a proto se hodí na předběžné analýzy a výpočty.

Parametr LAMBDA (modulace délky kanálu v saturaci) udává míru výstupního odporu tranzistoru v saturaci. Je implementovaný i ve vztahu pro lineární režim z důvodu spojitosti charakteristiky. Pokud je tento parametr zadán, má tranzistor konečnou a stálou výstupní vodivost. Pokud však zadán není je výstupní vodivost rovna nule.

Nyní určíme vztahy pro tranzistor MOS pro velké signály, platné současně pro obohacovací (E) i ochuzovací (D) typ. V praxi se běžně, i když to není úplně exaktní, používají i pro tranzistor PMOS vztahy pro tranzistor NMOS, přičemž se uvažuje opačná polarita napětí a proudů.

a) Kolektorový proudový model

Rozeznáváme tři základní oblasti činnosti pro model LEVEL 1:

- oblast **uzavření** $U_{GS} < U_{TH}$
- oblast **lineární**: $U_{GS} > U_{TH}$ a $U_{DS} < U_{GS} - U_T$
- oblast **saturace**: $U_{GS} > U_{TH}$ a $U_{DS} > U_{GS} - U_T$

kde U_{GS} je napětí na řídící elektrodě *gate-source* (GS) s ohledem na zdroj, U_{DS} je napětí na elektrodě *drain-source* (DS) a U_{TH} je prahové napětí modelu. Pokud je napětí U_{GS} menší než U_{TH} je tranzistor zavřen a kolektorový proud je nula.

Proud v **lineární** oblasti je definován:

$$I_{DS, Lin} = KP \frac{W_{EFF}}{L_{EFF}} \left[(u_{gs} - u_t) u_{ds} - \frac{u_{ds}^2}{2} \right] (1 + LAMBDA * u_{ds}) \quad (4.7)$$

a v oblasti **saturace** :

$$I_{DS, Sat} = \frac{KP}{2} \frac{W_{EFF}}{L_{EFF}} (u_{gs} - u_t)^2 (1 + LAMBDA * u_{ds}) \quad (4.8)$$

Pro výpočet proudů I_{DS} je potřeba znát efektivní šířku a délku kanálu W_{EFF} a L_{EFF} :

$$L_{EFF} = L_{scaled} * L_{MLT} + XL_{scaled} - 2(LD_{scaled} + DEL_{scaled}) \quad (4.9)$$

$$W_{EFF} = M(W_{scaled} * W_{MLT} + XW_{scaled} - 2WD_{scaled})$$

Člen $LAMBDA * U_{DS}$ ve vztazích (4.7) a (4.8), charakterizující konečný výstupní odpor MOS tranzistoru (fyzikálně modulaci délky kanálu) se při řešení statických poměrů v obvodech často zanedbává, navíc pro MOS tranzistory s kanálem delším jako přibližně 5 μm je chyba určení I_D obvykle pod 10 %. Rozdíl v hodnotách i_D , určených uvedenými vztahy a vypočítaných programem SPICE s použitím modelu druhé úrovně je nezřídka podstatně větší, přestože model Shichmanna a Hodgesa nezahrnuje jevy druhého řádu.

b) Prahové napětí

Pro $u_{sb} > 0$

$$u_{th} = u_{bi} + GAMMA \sqrt{PHI + u_{sb}} \quad (4.10)$$

Pro $u_{sb} < 0$

$$u_{th} = u_{bi} + GAMMA \left(\sqrt{PHI} + 0,5 \frac{u_{sb}}{\sqrt{PHI}} \right) \quad (4.11)$$

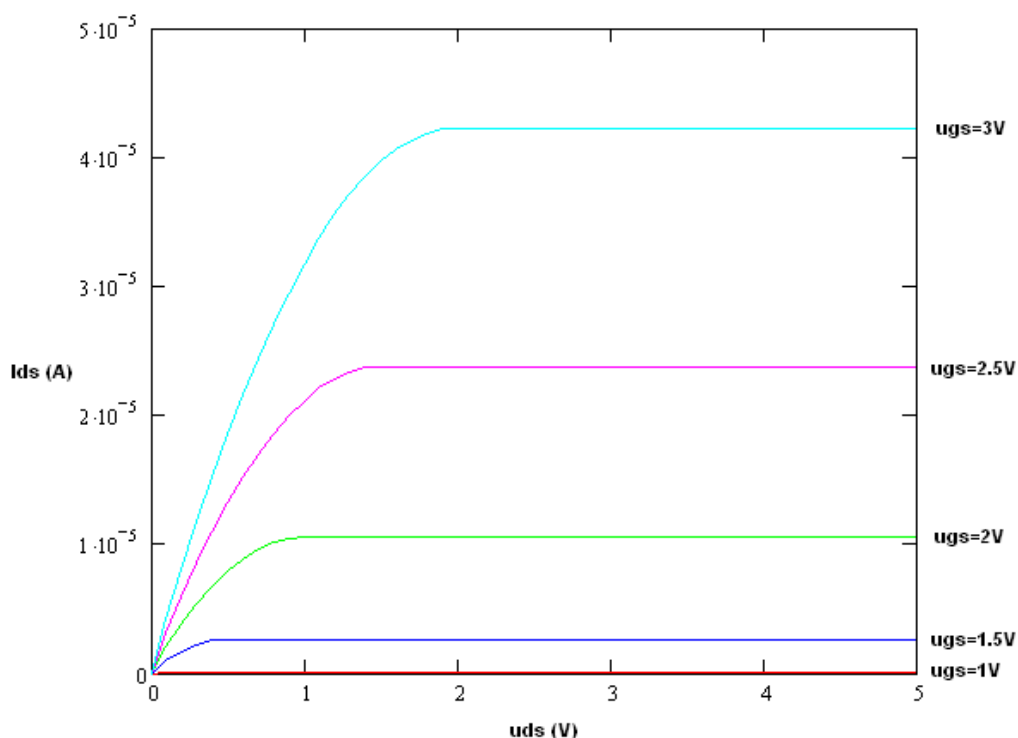
kde napětí u_{bi} (built-in) je definováno: $u_{bi} = VTO - GAMMA * \sqrt{PHI}$ (4.12)

Uvedené vztahy platí nejen pro statické úrovně, ale i pro proměnný signál, pokud jeho změna je dostatečně pomalá, resp. frekvence nízká. Hovoříme proto také o modelu pro velký signál, protože může dosahovat libovolnou reálnou úroveň. Při analýze dynamických vlastností za podmínky velkého signálu je potřebné kromě výše uvedených nelineárních vztahů uvažovat i intrinzické a parazitní kapacity MOS tranzistoru. Protože tyto kapacity jsou složitou funkcí okamžitých hodnot napětí resp. proudů, je možné jen velmi zjednodušené analytické řešení dynamických procesů pro velký signál.

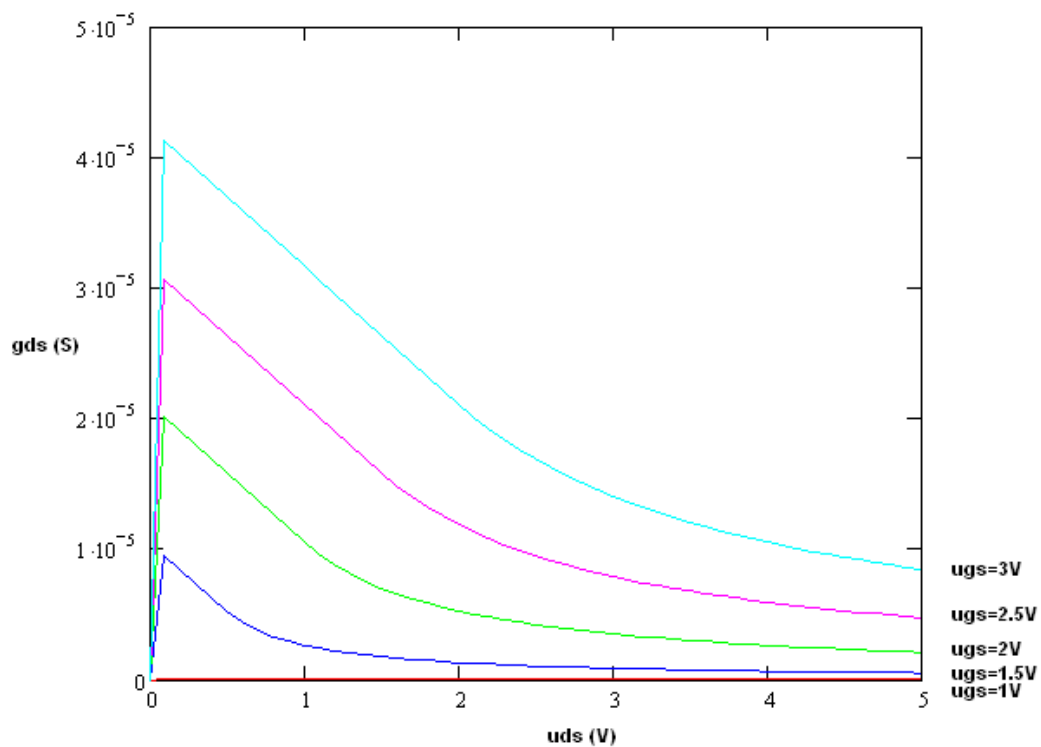
Je třeba ještě uvést, že ve vztazích byl zanedbaný vliv sériových odporů emitoru a kolektoru. I když mohou mít v praxi nezanedbatelný vliv, jejich implementace v modelech značně komplikuje a často prakticky znemožňuje analytické řešení analýzy obvodů.

Užitečnost tohoto modelu je nyní čistě naučná. Odvozené vzorce ukazují základní postupy k dosáhnutí analytických modelů MOS tranzistorů. Také proces parametrového vyjmutí je matematický a nekomplikovaný. Detailní analýza může být nalezená v [2], [3]. Veškeré matematické analýzy, výpočty a grafy budou zpracovávány v programu *MathCAD* verze 13. Zdrojový kód může být nalezen v přílohách této práce.

4.3.1 Charakteristiky modelu LEVEL 1



Obr 4.2 – Závislost proudu I_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS}=0$ modelu LEVEL 1 (*)



Obr 4.3 – Závislost vodivosti g_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS} = 0$ modelu LEVEL 1 (*)

(*) při parametrech: $V_{TO} = 1 \text{ V}$, $L = 0,1 \cdot 10^{-4} \text{ m}$, $W = 0,1 \cdot 10^{-4} \text{ m}$, $L_D = 0,1 \cdot 10^{-6} \text{ m}$, $K_P = 2,0718 \cdot 10^{-5} \text{ A/V}^2$, $N_{SUB} = 1 \cdot 10^{15} \text{ cm}^{-3}$, $COX = 3,453 \cdot 10^{-4} \text{ F/m}^2$, $TOX = 1 \cdot 10^{-7} \text{ m}$, $LAMBDA = 0 \text{ V}^{-1}$, $TNOM = 25^\circ\text{C}$

Při zobrazení závislosti proudu I_{DS} na napětí u_{DS} bylo zjištěno, že v lineární oblasti již nedochází ke zvětšování proudu na přechodu „GS“ pokud není nastaven parametr LAMBDA. Pro napětí $u_{GS} = 1 \text{ V}$ se tranzistor vůbec neotevře a proto je proud I_{DS} nulový. Oblast, kde model přechází z lineárního módu do saturačního, byla různá. Hodnota vodivosti se v pracovní oblasti pohybovala v řádech 10^{-5} S a měla klesající tendenci se vzrůstajícím napětím u_{DS} . Jak již bylo řečeno, tento model je nejjednodušší a pracuje s minimem parametrů, avšak pro rychlé výpočty a analýzy zcela postačuje.

4.4 LEVEL 2 (“Grove-Frohmán“)

MOS 2 je analytický model, který používá kombinaci zpracování parametrů a geometrie modelu. Model LEVEL 2 má oproti svému staršímu předchůdci zvětšený počet rovnic, podle kterých se tranzistor chová. Základní proudová rovnice se zvýšeným výkonem byla vyvinuta v roce 1964, dále byla přidána v roce 1965 vlastnost a parametr "modulace na délce kanálu" a parametr *ECRIT* v roce 1978. Nejvýznamnější vývojový skok oproti modelu LEVEL 1 je zlepšené ošetření kapacit v závislosti na kanálovém náboji. Model se vyrábí od

roku 1980 a je použita 2 μ m nebo vyšší výrobní technologie. Model LEVEL 2 měl časté problémy s konvergencí, a proto je pomalejší a méně přesný než model LEVEL 3, z toho důvodu, že LEVEL 2 je více matematicky složitější. Model LEVEL 2 byl první pokus o popis chování MOS tranzistoru s malými kanály. Nábojový model bere v potaz jen překrývání *source* a *drain* hradel v oblasti ochuzení a ignoruje jejich nábojové sdílení mezi nimi. Můžeme také použít mnoho možností pro model saturačního napětí. LEVEL 3 je však považován za více robustní a lépe použitelný.

a) Kolektorový proudový model I_{DS}

Na rozdíl od modelu LEVEL 1 definujeme jen dvě základní oblasti činnosti, tzn. v tomto modelu se nerozeznává, jestli je v saturačním nebo lineárním módu.

- oblast **uzavření** $U_{GS} < U_{TH}$
- oblast **otevření**: $U_{GS} > U_{TH}$

Pokud je prahové napětí menší nebo stejné než napětí na hradlu „GS“ je tranzistor uzavřen a neprochází jím žádný kolektorový proud. Jestliže se napětí na hradlu „GS“ zvýší nad úroveň prahového napětí, platí rovnice:

$$I_{DS} \sim \beta \left\{ \left(u_{gs} - u_{bi} - \frac{\eta * u_{de}}{2} \right) u_{de} - \frac{2}{3} \gamma \left[(PHI + u_{de} + u_{sb})^{\frac{3}{2}} - (PHI + u_{sb})^{\frac{3}{2}} \right] \right\} \quad (4.13)$$

kde napětí u_{de} nepřímo definuje rozmezí mezi lineárním a saturačním režimem. Platí:

$$u_{de} = \min(u_{ds}, u_{dsat}) \quad (4.14)$$

$$\eta = 1 + DELTA * \frac{\pi * \epsilon_{si}}{4COX * W_{eff}} \quad (4.15)$$

$$\beta = KP * \frac{W_{eff}}{L_{eff}} \quad (4.16)$$

Pro výpočet proudů I_{DS} je potřeba znát efektivní šířku a délku kanálu, která je stejně definovaná jako u modelu LEVEL 1:

$$L_{EFF} = L_{scaled} * LMLT + XL_{scaled} - 2(LD_{scaled} + DEL_{scaled})$$

$$W_{EFF} = M(W_{scaled} * WMLT + XW_{scaled} - 2WD_{scaled}) \quad (4.17, 4.18)$$

b) Prahové napětí u_{th}

Efektivní prahové napětí z něhož je extrapolován parametr VTO bere ohled i na rozměry tranzistoru a napětí na svorkách. Platí:

$$u_{th} = u_{bi} + \gamma \sqrt{PHI + u_{sb}} \quad (4.19, 4.20)$$

$$u_{bi} = VTO - GAMMA * \sqrt{PHI} + (\eta - 1) * (PHI + u_{sb})$$

Jestliže je specifikován parametr DELTA je efekt zúženého hradla obsažen v hodnotách u_{bi} a η . Pokud chceme definovat efekt krátkého kanálu parametrem γ musí být parametr XJ větší než nula. Platí:

$$\gamma = GAMMA * \left[1 - \frac{XJ_{scaled}}{2L_{EFF}} * \left(\sqrt{1 + \frac{2W_S}{XJ_{scaled}}} + 1 + \frac{2W_D}{XJ_{scaled}} \right) - 2 \right] \quad (4.21)$$

Šířky ochuzených oblastí W_S a W_D jsou definovány:

$$W_S = \sqrt{\frac{2\epsilon_{si}}{q * NSUB} * (PHI + u_{sb})} \quad (4.22, 4.23)$$

$$W_D = \sqrt{\frac{2\epsilon_{si}}{q * NSUB} * (PHI + u_{ds} + u_{sb})}$$

c) Saturační napětí u_{dsat}

Jestliže není parametr VMAX specifikován, pak program vypočítá saturační napětí pomocí přiškrcení kanálu na elektrodě *drain* i s korekcí při použití modelů s velmi malými rozměry.

$$u_{sat} = \frac{u_{gs} - u_{bi}}{\eta} + \frac{1}{2} \left(\frac{\gamma}{\eta} \right)^2 * \left[1 - \sqrt{4 \left(\frac{\eta}{\gamma} \right)^2 * \left(\frac{u_{gs} - u_{bi}}{\eta} + PHI + u_{sb} \right)} \right] \quad (4.24, 4.25)$$

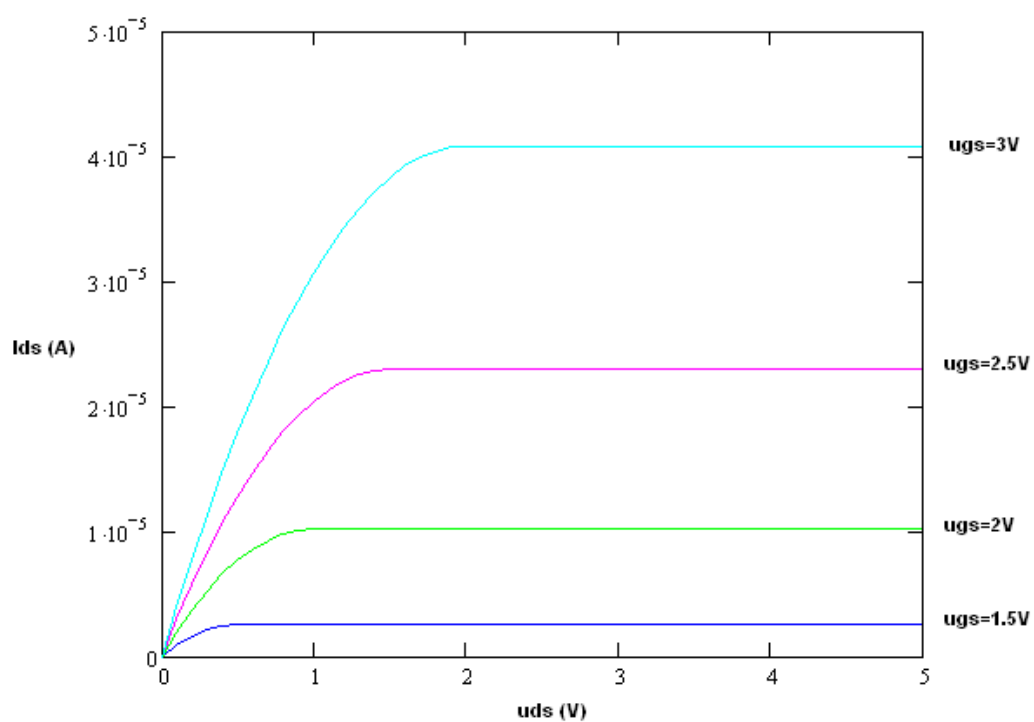
$$u_{dsat} = u_{sat}$$

d) Modulace délky kanálu LAMBDA

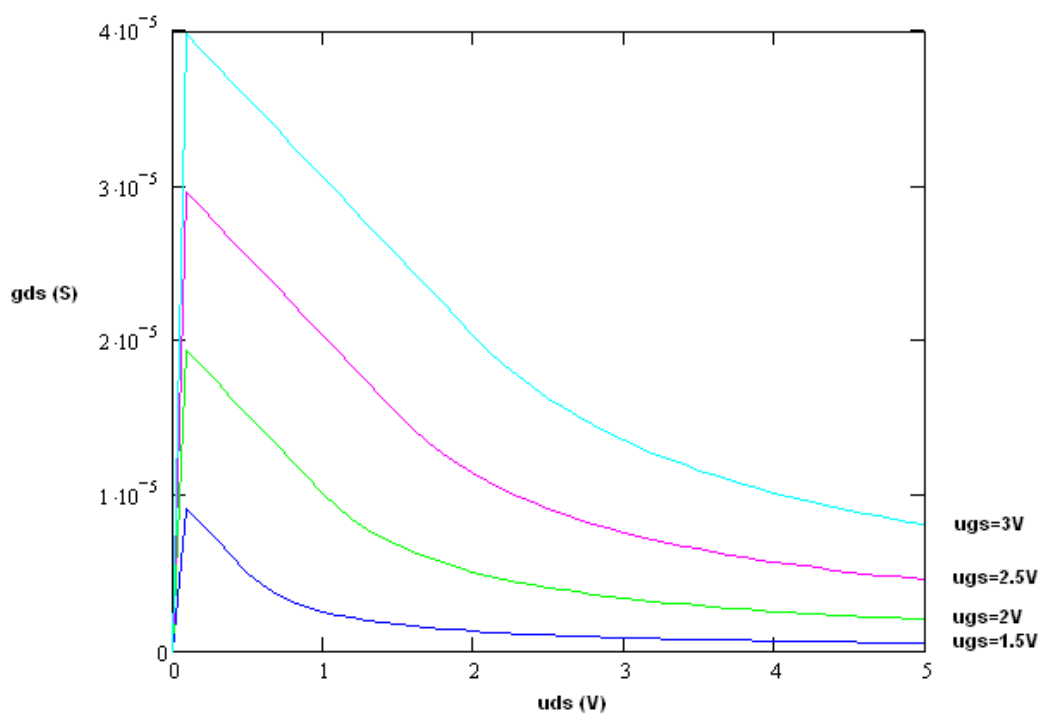
LEVEL 2 model definuje modulaci délky kanálu pomocí parametru LAMBDA modifikací proudu I_{DS} následovně:

$$I_{DS} = \frac{I_{DS}^{\sim}}{1 - \lambda * v_{DS}} \quad (4.26)$$

4.4.1 Charakteristiky modelu LEVEL 2



Obr 4.4 – Závislost proudu I_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS} = 0$ modelu LEVEL 2 (*)



Obr 4.5 – Závislost vodivosti g_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS} = 0$ modelu LEVEL 2 (*)

(*) při parametrech: $V_{TO} = 1 \text{ V}$, $L = 0,1 \cdot 10^{-4} \text{ m}$, $W = 0,1 \cdot 10^{-4} \text{ m}$, $L_D = 0,1 \cdot 10^{-6} \text{ m}$, $X_J = 0,5 \cdot 10^{-6} \text{ m}$, $K_P = 2 \cdot 10^{-5} \text{ A/V}^2$, $N_{SUB} = 1 \cdot 10^{15} \text{ cm}^{-3}$, $COX = 3,453 \cdot 10^{-4} \text{ F/m}^2$, $TOX = 1 \cdot 10^{-7} \text{ m}$, $LAMBDA = 0 \text{ V}^{-1}$, $V_{MAX} = 0$, $T_{NOM} = 25^\circ\text{C}$

Tento model má v lineárním režimu podobný výstupní proud I_{DS} jako LEVEL 1. Zvýšila se jen jeho obvodová složitost a počet parametrů, které můžeme zadat při výpočtu. Hodnota vodivosti se v lineárním režimu opět pohybuje okolo 10^{-5} S . Tento model je pomalejší než LEVEL 1, avšak odstraňuje některé nedostatky (definice podprahového proudu I_{DS} , rozšířený kapacitní model) a nevýhody předchozího modelu.

4.5 LEVEL 3 („Empirický model“)

MOS 3 je polo-empirický model vyvinutý v roce 1980. Stejně jako u modelu LEVEL 2 je užíván pro $2\mu\text{m}$ a větší výrobní technologii. Parametry tohoto modelu jsou určeny experimentálně a proto je přesnější než modely LEVEL 1 a 2, které používají více nepřímých procesních parametrů. Tento model je kvůli své jednoduchosti a provozní spolehlivosti velmi často nasazován do výroby různých digitálních zařízení. Bohužel se zde objevuje náhlá změna charakteristik z lineární oblasti do oblasti nasycení, která vede k nespojitosti proudů, a proto model poskytuje v okamžiku nelinearity chybná data (**Obr 4.8**). Má však lepší výpočetní a účinnější vlastnosti a nahrazuje proudovou rovnici svého předchůdce Taylorovým rozvojem prvního řádu. Tento model dokáže fyzikálně modelovat například hloubku přechodu a místa s ochuzeným substrátem. Podrobněji v [1].

a) Kolektorový proudový model I_{DS}

Tak jako u modelu LEVEL 2 rozeznáváme pouze dvě oblasti činnosti. Rozeznáváme:

- oblast **uzavření** $U_{GS} < U_{TH}$
- oblast **otevření**: $U_{GS} > U_{TH}$

Model LEVEL 3 pro oblast otevření počítá proud I_{DS} podle rovnic:

$$I_{DS} = \beta * \left(u_{gs} - u_{th} - \frac{1 + f_B}{2} * u_{de} \right) * u_{de} \quad (4.27)$$

když

$$\beta = K_P \frac{W_{eff}}{L_{eff}} = u_{eff} * COX \frac{W_{eff}}{L_{eff}} \quad (4.28)$$

$$u_{de} = \min(u_{ds}, u_{dsat}) \quad (4.29, 4.30)$$

$$f_B = f_N + \frac{GAMMA * f_s}{4\sqrt{PHI + u_{sb}}}$$

Pro výpočet proudů I_{DS} je potřeba znát efektivní šířku a délku kanálu, která je stejně definovaná jako u modelu LEVEL 1 či LEVEL 2:

$$L_{EFF} = L_{scaled} * LMLT + XL_{scaled} - 2(LD_{scaled} + DEL_{scaled})$$

$$W_{EFF} = M(W_{scaled} * WMLT + XW_{scaled} - 2WD_{scaled}) \quad (4.31, 4.31)$$

Efekt zúženého hradla je definován parametrem f_N :

$$f_N = \frac{DELTA}{W_{eff}} * \frac{1}{4} * \frac{2\pi}{COX} \quad (4.32)$$

Matematický parametr f_s vyjadřuje efekt krátkého kanálu a je definován:

$$f_s = 1 - \frac{XJ_{scaled}}{L_{eff}} * \left[\frac{LD_{scaled} + W_C}{XJ_{scaled}} * \sqrt{1 - \left(\frac{W_P}{XJ_{scaled} + W_P} \right)^2} - \frac{LD_{scaled}}{XJ_{scaled}} \right] \quad (4.33)$$

$$W_P = X_d * \sqrt{PHI + u_{sb}} \quad (4.34)$$

$$W_C = XJ_{scaled} * \left[0,0631353 + 0,8013292 * \left(\frac{W_P}{XJ_{scaled}} \right) - 0,01110777 * \left(\frac{W_P}{XJ_{scaled}} \right)^2 \right] \quad (4.35)$$

$$X_d = \sqrt{\frac{2 * \epsilon_{si}}{q * NSUB}} \quad (4.36)$$

b) **Prahové napětí u_{th}**

Efektivní prahové napětí z něhož je extrapolován parametr VTO bere ohled i na rozměry přístroje a napětí na svorkách. Platí:

$$u_{th} = u_{bi} - \frac{8,14 * 10^{-22} * ETA}{COX * L_{eff}^3} * u_{ds} + GAMMA * f_s * \sqrt{PHI + u_{sb}} + f_N * \sqrt{PHI + u_{sb}} \quad (4.37)$$

$$u_{bi} = VTO - GAMMA * \sqrt{PHI} \quad (4.38)$$

c) **Saturační napětí u_{dsat}**

Pro model LEVEL 3 se saturační napětí určuje zaškrcením kanálu na straně elektrody *drain* a také používá parametr VMAX k zahrnutí redukce saturačního napětí kvůli rychlosti nosičů.

$$u_{sat} = \frac{u_{gs} - u_{th}}{1 + f_B} \quad (4.39)$$

$$u_{dsat} = u_{sat} + u_c - \sqrt{u_{sat}^2 + u_c^2} \quad (4.40)$$

$$u_c = \frac{VMAX * L_{eff}}{u_s} \quad (4.41)$$

Jestliže není parametr VMAX definován je povrchová pohyblivost u_s definována takto:

$$u_s = \frac{UO}{1 + THETA * (u_{gs} - u_{th})} \quad (4.42)$$

d) **Modulace délky kanálu KAPPA**

Modulace délky kanálu je počítána pouze pro napětí $u_{DS} > u_{DSAT}$ a záleží také na tom, jestli je parametr VMAX zadán nebo ne. Platí:

VMAX = 0

$$\Delta L = X_d * \sqrt{KAPPA * (u_{DS} - u_{DSAT})} \quad (4.43)$$

VMAX > 0

$$\Delta L = -\frac{E_p * X_d^2}{2} + \sqrt{\left(\frac{E_p * X_d^2}{2}\right)^2 + KAPPA * X_d^2 * (u_{DS} - u_{DSAT})} \quad (4.44)$$

kde E_p je postranní elektrické pole. Jeho hodnota je aproximována jako:

$$E_p = \frac{u_c * (u_c + u_{DSAT})}{L_{EFF} * u_{DSAT}} \quad (4.45)$$

Proud I_{DS} je poté počítán podle vzorce:

$$I_{DS} = \frac{I_{DS}}{1 - \frac{\Delta L}{L_{EFF}}} \quad (4.46)$$

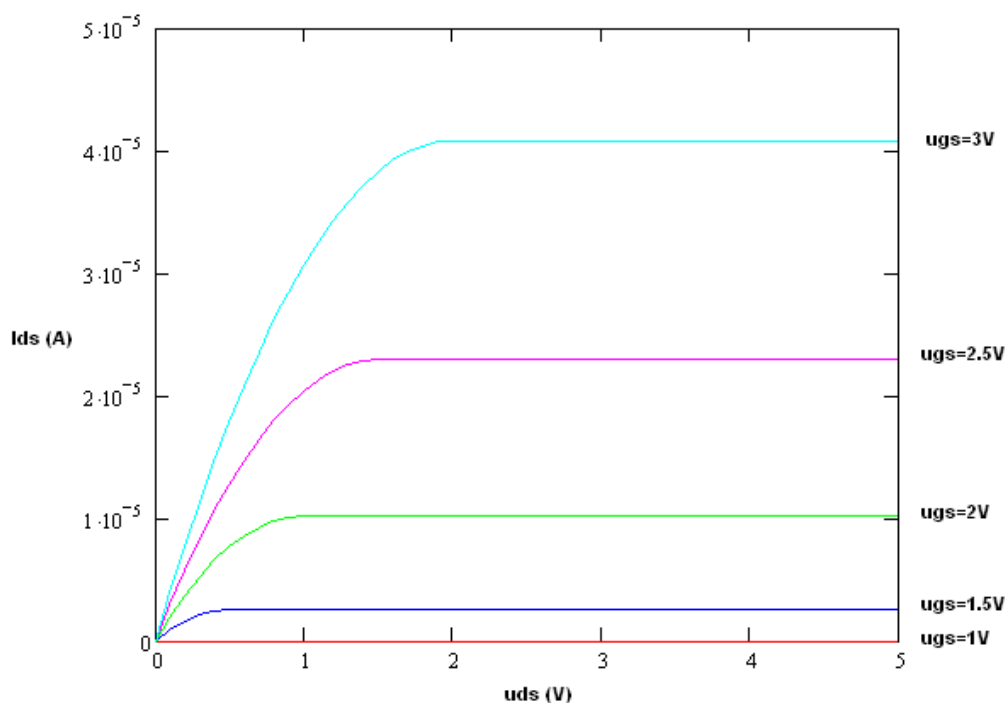
Model také kontroluje vypočítaný parametr ΔL proto, aby nedošlo k situaci, kdy jmenovatel předchozí rovnice bude roven nule. Jestliže platí:

$$\Delta L > \frac{L_{EFF}}{2} \quad (4.47)$$

pak

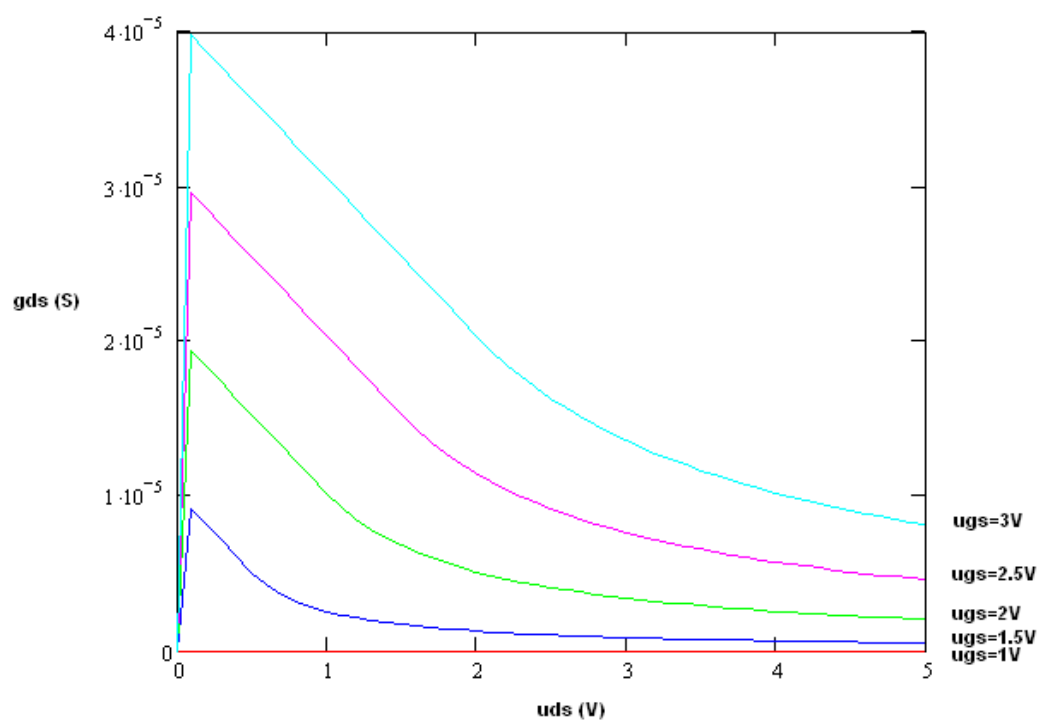
$$\Delta L = L_{EFF} - \frac{\left(\frac{L_{EFF}}{2}\right)^2}{\Delta L} \quad (4.48)$$

4.5.1 Charakteristiky modelu LEVEL 3

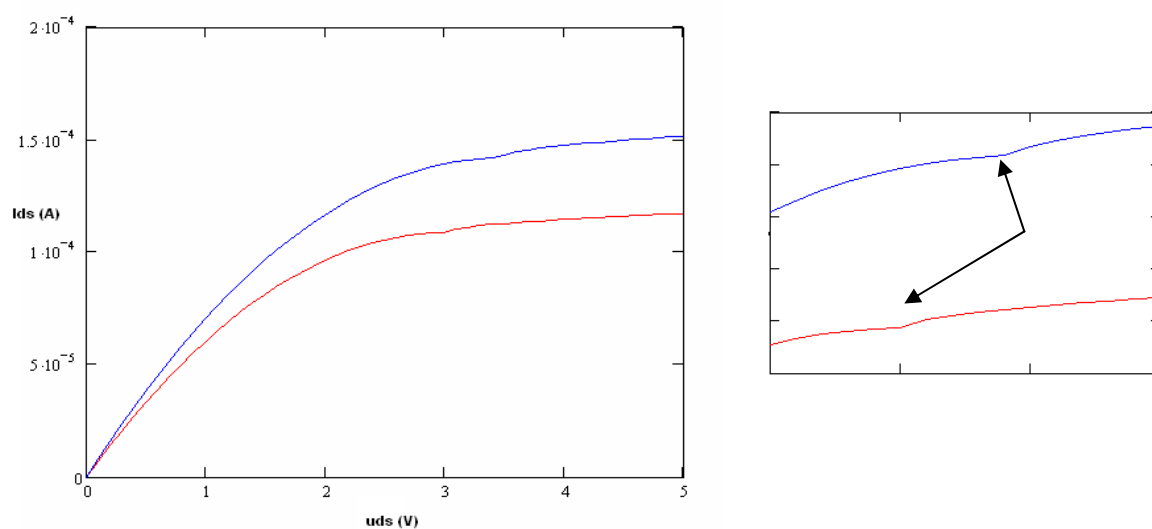


Obr 4.6 – Závislost proudu I_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS} = 0$ modelu LEVEL 3 (*)

(*) při parametrech: $V_{TO} = 1$ V, $L = 0,1 \cdot 10^{-4}$ m, $W = 0,1 \cdot 10^{-4}$ m, $L_D = 0,1 \cdot 10^{-6}$ m, $X_J = 0,5 \cdot 10^{-6}$ m, $K_P = 2 \cdot 10^{-5}$ A/V², $N_{SUB} = 1 \cdot 10^{15}$ cm⁻³, $COX = 3,453 \cdot 10^{-4}$ F/m², $TOX = 1 \cdot 10^{-7}$ m, $KAPPA = 0$ V⁻¹, $V_{MAX} = 0$, $U_O = 600$ cm²/V.s, $T_{NOM} = 25^\circ\text{C}$



Obr 4.7 – Závislost vodivosti g_{DS} na napětí u_{DS} při konstantním napětí u_{GS} a $u_{BS} = 0$ modelu LEVEL 3 (*)



Obr 4.8 – Zobrazená nespojitost proudů v přechodu z lineární části do saturace a jejich detail

Oproti minulému modelu nezaznamenáváme výraznější odlišnosti ve zobrazených charakteristikách. Počet nastavitelných parametrů se opět zvýšil, ale naopak klesla jeho obvodová složitost. Výpočetní výkon toho modelu je větší a účinnější než v předchozích případech. Nevýhodou modelu LEVEL 3 je nelinearita v přechodu mezi lineárním a saturačním režimem (**Obr 4.8**).

5 Metody extrakce parametrů

Extrahování parametru je důležitá část teorie odhadu parametrů. Jeho účel je zjištění neznámé funkční hodnoty, která představuje fyzický vztah mezi závislou a nezávislou proměnou funkce. Typickým příkladem může být opětovně měření hodnoty $f(x,p)$ kde x je známý vektor a p jsou neznámé parametry. Funkce $f(x,p)$ je nazývána matematickým modelem a popisuje závislost $f(x,p)$ na jeho argumentech. Úkolem extrakce parametru je zjištění hodnoty vektoru parametru p matematického modelu tak, aby naměřená data, získaná prostřednictvím minimalizace chyby funkce, byla tak blízka řešení, jak jen to je možné. Taková chybová funkce může být definována jako střední kvadratická chyba (efektivní) nebo například pravděpodobnost.

Extrakce parametru je nezbytný proces, protože můžeme jen velmi zřídka měřit všechny proměnné, které představují zvláštní fyzickou skutečnost. Nezávislé parametry mohou být měřené buď najednou nebo ve skupinách. Měřicí postup "všechno najednou" může být velmi drahý, časově velmi náročný nebo dokonce nerealizovatelný protože parametr často ovlivňuje několik fyzických účinků. Takový parametr je nazývaný "nefyzický", protože neodpovídá žádné fyzické realitě. Druhá možnost je měřit parametry v malých skupinách a spojit tyto skupiny společně do sady parametrů jakmile všechna měření již byla provedena. Nejzřejmější problém v přístupu "skupina po skupině" je ten, že každá skupina závisí na prostředí ve kterém byla data získána a proto mohou být parametry ve skupinách na sobě navzájem závislé (mohou korelovat). Měřicí prostředí často zahrnuje záznamy o impedanci měřidla, relativní vlhkosti vzduchu, teplotě laboratoře, chybách měřicího zařízení, celkové chyby a tak dále. Žádný z těchto zmíněných přístupů nenabízí způsob získání hodnot "nefyzických" parametrů, které mohou být obsaženy v matematickém modelu a použití metody extrakce parametru je jediná možná cesta pro získání hodnot těchto parametrů.

V této práci jsme si dali za úkol extrakci (vyjmutí) parametrů na tranzistorech MOSFET. Ačkoli je vyjmutí parametru problém nelineární, potřebujeme ho linearizovat Taylorovým rozvojem, který vyžaduje derivaci matematického modelu. Vybrali jsme si MOSFET z několika důvodů; protože máme kompletní měřený soubor dat včetně matematického modelu, který je spojitý v celé jeho operační oblasti a má definovanou derivaci v každém bodě.

Takový dostupný „bezpečně derivovatelný“ matematický model dělá několik částí algoritmu extrakce významně snadnější a my se můžeme raději více soustředit na samotnou metodiku než na řešení specifických zvláštních problémů jako řešení nespojitostí derivací v modelu, které jsou velice komplexní, protože obsahují pro každý pracovní bod MOSFETu zvláštní verzi matematických modelů obvykle zahrnující i funkce na vyhlazování výsledných charakteristik.

Navzdory tomuto zjednodušení skrývá extrakce matematických parametrů MOSFET modelu ještě několik problémů. Nejdůležitější je totiž problém řešení soustavy lineárních rovnic v počítači s omezeným počítačovým slovem a vyhodnocení derivace modelu. Dodatečná znalost těchto problémů je nezbytná a je získána několika rozborů jako například zaokrouhlení souboru chyb, analýzou citlivosti sady parametrů a statistikou vyhodnocení dat.

Problém řešení soustav lineárních rovnic je velmi jednoduchý úkol dokud není přenesen do počítače. Každý počítač je zařízení s konečně omezeným počtem stavů které může reprezentovat (Finite State Machine - FSM). Tento fakt vede k nevyhnutelné diskretizaci sad reálného čísla do racionálních čísel a jen podmnožiny racionálních čísel (s plovoucí řádovou čárkou) mohou být reprezentována v počítači. Nejnovější počítače umožňují použití pohyblivé řádové čárky definované standardem IEEE 754 přes jednotku FPU (Floating Point Unit), která provádí nejběžnější operace s 32 bitovými (float) a 64 bitovými (double) daty.

Počítání s pohyblivou řádovou čárkou bohužel vnáší několik faktorů které jsou jedinečné jako zaokrouhlení a tyto problémy mohou vést k degradaci výsledku nebo vytvoří výsledek nepoužitelný. Jestli jsme si vědomi že takové problémy existují, můžeme se pokusit o modifikování algoritmu tak, aby byl méně náchylný k zaokrouhlovacím chybám nebo k extrakci parametrů se špatnou jakostí. Parametr špatné jakosti způsobí, že dokonce i velmi malá chyba (odchylka) ve vstupních datech se může významně zasadit o změnu výstupu. Takové problémy často charakterizují matice se špatnou jakostí, které mají sklon být singulární a velké množství řešení proto může potenciálně existovat v omezených počtech s pohyblivou řádovou čárkou. Jedno možné řešení problému špatné jakosti parametru je zjištění jiných problémů, který nemusí být založeny na špatných jakostech. V případech kdy nejsme schopni najít takový vyvážený problém, musíme použít regularizační techniky, které jsou užívané pro účinné snížení stavových podmínek soustav lineárních rovnic. Jakmile soustava lineárních rovnic má několik svých podmínek sníženo, numerická hodnota matice roste, citlivost problému klesá a s dodatečnou znalostí o problému jsme schopni najít uspokojivé řešení.

Navrhovaný algoritmus potřebuje být numericky stabilní k tomu, aby moc nebyl ovlivněný zaokrouhlovací chybou a mohl nám pomáhat nahradit většinu potenciálně nestabilních částí algoritmu numericky stabilními. Tímto zajistíme, že zaokrouhlovací chyby a šum ve vstupu nepůsobí na výstupní vypočítané řešení. Další důležitou otázkou je, jestli vstupní údaje jdou do systému s nějakou chybou, jako například chybou měření a celkovou chybou následovanou chybou přenášení dat do počítače. Máme zájem vidět, jak se chyby ve vstupních údajích projeví do výstupu, a proto v analýze chyb je požadována schopnost sdělit jak stabilní je navrhovaný problém a jaké množství chyb vstupních dat a špatných jakostí ovlivní řešení.

5.1 Výběr extrakčního algoritmu

K minimalizaci rovnic a výpočet vybraných parametrů těchto tří modelů unipolárních tranzistorů potřebujeme robustní optimalizační algoritmus, který má v sobě implementován program MathCad v.13. Na výběr máme tyto algoritmy:

- a) Lineární
- b) Nelineární – Metoda konjugovaných gradientů
- c) Nelineární – Metoda Quasi Newtonova
- d) Nelineární – Metoda Levenberg – Marquardt
- e) Nelineární – Kvadratická

AutoSelect je užívaným standardem automatického výběru algoritmu. Jestli problém je lineární, je aplikovaná Lineární metoda. Pokud kvadratický, je použita Nelineární - kvadratická v případě že je nainstalován přídatný optimalizační balík. Jestli předchozí dvě metody nenajdou výsledek, vybere *AutoSelect* metodu Konjugovaných gradientů. Jestliže nekonverguje je použit Levenberg - Marquardt algoritmus a pokud i ten selže zbývá Quasi Newtonova metoda. Tyto metody používají různé algoritmy k tomu, aby určily postup hledání zakřivení a směru gradientu.

Pro naše použití nám bude vyhovovat algoritmus „*Levenberg - Marquardt*“ (LMA), který je rychle konvergující, dostatečně přesný avšak s většími nároky na výpočetní výkon a paměť počítače.

5.1.1 Levenberg – Marquardt algoritmus (LMA)

V oblasti matematiky poskytuje *Levenberg - Marquardtův algoritmus* (nebo LMA) číselné, převážně nelineární řešení problému minimalizování funkce. Tyto problémy s minimalizací nastávají obzvláště v metodách nejmenších čtverců, prokládání křivek a nelineárního programování. LMA interpoluje mezi algoritmem *Gauss-Newton* (GNA) a metodou *klesajícího gradientu*. LMA je více robustní než GNA, což znamená, že v mnoha případech nalézá správné řešení i když začíná počítat ve velmi vzdáleném počátečním bodě (pomalejší ale zaručená konvergence). Na druhé straně, pro některé dobře vypadající funkce a rozumně začínající parametry má LMA tendenci být trochu pomalejší než GNA. LMA je založeno na výpočtu Jacobiho eliptických integrálu, má velké nároky na paměť, protože počítá s Jacobianovou maticí derivací každé chyby u každé váhy. Obecně však platí, že nejrychlejší a nejspolehlivější algoritmus učení je Marquardt-Levenberg optimalizace, která však má větší paměťové nároky. Potřebuje k naučení nejméně epoch, ale výpočet jednotlivé epochy je časově náročnější. Jeho nevýhodou je možnost uváznutí v některém lokálním minimu. Proto je nutné dobře odhadnout počáteční hodnoty všech parametrů. LMA je velmi populární algoritmus k

prokládání nelineárních křivek a proto většina matematického softwaru poskytuje jeho implementaci.

5.2 Proces extrakce parametrů

Účelem extrakce parametru u MOSFET tranzistoru je zjištění hodnot neznámých parametrů matematického modelu, tak aby jejich chyby splňovaly nějaká definovaná kritéria. Algoritmus extrakce je zobrazen na **Obr. 5.1** a je to výsledek funkce linearizace a minimalizace $\phi = f(p)^T f(p)$, kde

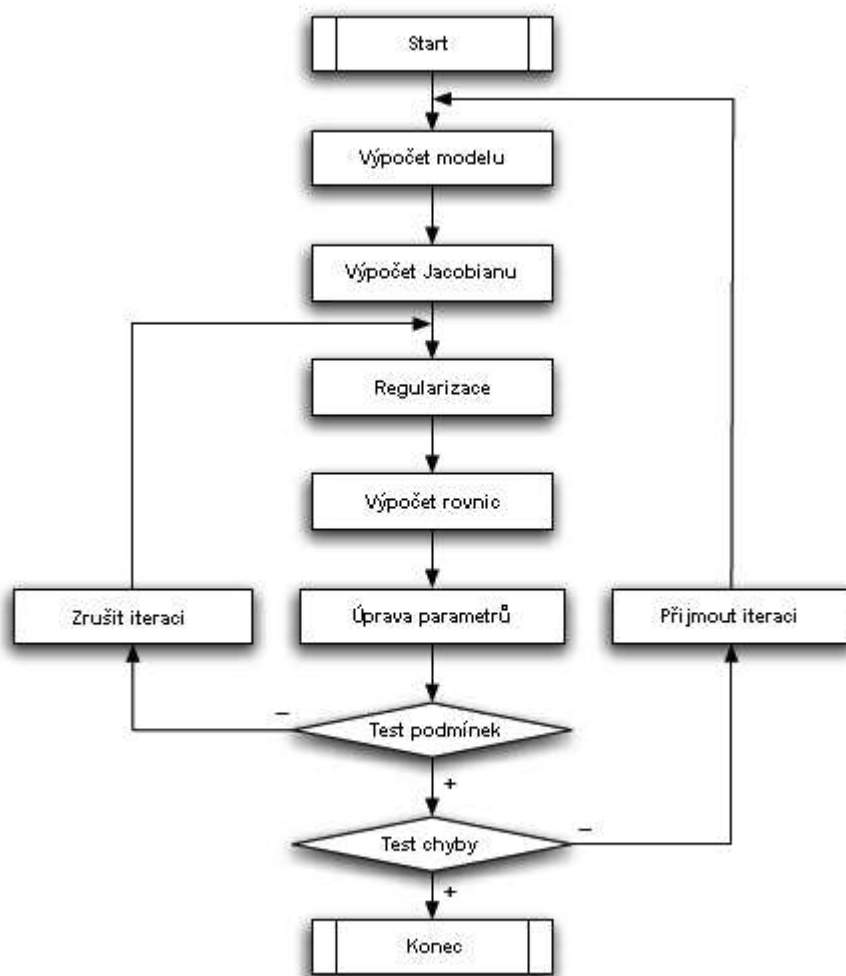
$$f_i(p) = \left(\frac{i_{DS}(x_i, p) - I_{DSi}}{I_{DSi}} \right)^2 \quad (5.6)$$

Tímto vztahem sledujeme odchylky proudu I_{DS} a vodivosti g_{DS} se stejnou vahou. Symbol $i_{DS}(x_i, p)$ reprezentuje hodnotu matematického modelu v referenčním bodu x_i ($i = 1$ až N , kde N udává počet referenčních bodů) s parametry $p = (p_1$ až $p_r)$, I_{DSi} je naměřená hodnota kolektorového proudu v daném referenčním bodu. Po linearizaci metodou nejmenších čtverců může být proces extrakce hodnoty p vyjádřen následujícím výrazem:

$$\begin{aligned} p^{(k+1)} &= p^{(k)} - \Delta p^{(k)} \\ \Delta p^{(k)} &= \left(J^T J + \lambda^{(k)} (J^T J)_{diag} \right)^{-1} J^T f(p^{(k)}) \end{aligned} \quad (5.7)$$

kde Jacobian matice $J = \left(\nabla_p f(p)^T \right)^T$.

Úkol který budeme řešit má špatnou jakost, a proto můžeme očekávat problémové matice v soustavě lineárních rovnic. Pokud platí $(J^T J) \gg 1$, potom proces vyžaduje nějakou formu efektivní regularizace ještě před tím, než je soustava lineárních rovnic vyřešena. Když jsou rovnice vyřešeny, následuje vyjmutí a úprava parametrů p , které přejdou k testu podmínek, kde se určí jestli aktuální iterace je platná. Jestli se iterace vyhodnotí jako neplatná, je celá iterace odmítnuta a parametry jsou nastaveny zpět do jejich předchozích hodnot a činitel tlumení λ je znovu nastaven. Jestli je iterace vyhodnocena jako platná, vypočítá se celková chyba a iterace dále pokračují do té doby než dosáhneme požadované přesnosti. Celková chyba definuje jak moc se matematický model s odhadovanými parametry shoduje s naměřenými daty.



Obr 5.1 – Extrakční algoritmus

Náš záměr při vyjmutí parametru je dokončit každý krok tak rychle, jak je to jen možné. Ne vždy však honba za rychlostí vede k celkovému zrychlení extrakce parametrů. Nejdůležitější fakt, který je většinou často podceňovaný, je ten, že řešíme problém špatné jakosti a proto můžeme očekávat, že i velmi malá změna může dramaticky ovlivnit výsledek. Musíme si být vždy vědomi chyby ve výsledku, jinak nemůžeme garantovat smysluplný výsledek, kterým může být zaokrouhlovací chyba vzniklá během řešení v kterémkoliv kroku programu. Regularizace problému pomáhá efektivně snižovat stav rovnic a proto je vyhodnocování méně citlivé na malé odchylky, které mohou být důsledky zaokrouhlování a zanedbávání vzniklé během operace s plovoucí řádovou čárkou.

5.3 Výběr minimalizační a optimalizační funkce

Pro řešení našeho problému v programu Mathcad použijeme příkaz *Minerr* nebo *Find*, který provede samotnou minimalizaci a optimalizaci zadané funkce:

Minerr(var1, var 2,...)

nebo

Find(var1, var 2,...)

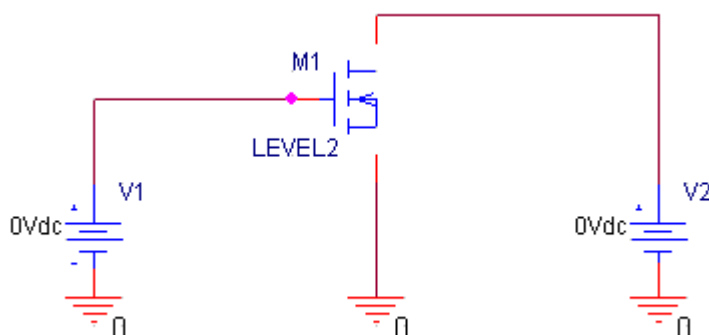
Příkaz *Minerr* vrací hodnoty *var1*, *var2* které vyhověly rovnostem a nerovnostem v *Solve bloku*, ve kterém je umístěn. *Minerr* se liší od příkazů *Find* nebo *Minimize* v tom, že pokud vybraný algoritmus nemůže konvergovat, vrací výsledek který našel v poslední přístupné iteraci, i když nesplňuje kritéria konvergence. Proto se používá zejména v těch případech, kde příkaz *Find* nemůže najít správný výsledek. Jestliže minimalizujeme *n* proměnných musí mít *Solve blok* přinejmenším *n* rovností. Ke zjištění chyby minimalizace lze použít příkaz *ERR*, který udává velikost chyby sumy čtverců pro přibližné řešení.

Solve blok odkazuje na skupinu Mathcad příkazů užívaných pro řešení systémů lineárních, diferenciálních, parciálně diferenciálních rovnic, řešení problémů optimalizací nebo programování. *Solve bloky* umožňují programátorovi i někomu jinému kdo náš dokument čte snadný přehled ve funkcích programu . Pro správnou funkčnost příkazu *Minerr* je potřeba nadefinovat v *Solve bloku* tyto věci:

- 1) Klíčové slovo ***Given***
- 2) Sadu počátečních podmínek pro proměnné, které by měly být blízké hledanému řešení
- 3) Sadu omezení: rovnosti a nerovnosti ve kterých by měly být použity Boolean operátoři (kromě "nerovná se")
- 4) Rovnice nebo soustava rovnic k řešení, spolu s počátečními podmínkami v případě diferenciálních rovnic
- 5) Řešící funkce: funkce *Find* nebo *Minerr* řeší soustavu rovnic, funkce *Maximize* nebo *Minimize* optimalizuje funkci

6 Extrakce parametrů MOS tranzistoru

Úkolem této práce bylo vytvořit nástroj pro extrakci vybraných klíčových parametrů MOSFET modelů úrovní LEVEL1, LEVEL2 a LEVEL3 na základě naměřených nebo exportovaných dat. Pro účinnou minimalizaci a extrakci parametrů jsme museli upravit stávající program z minulé kapitoly o několik věcí. Bylo potřeba zapsat použité rovnice modelu do *Solve bloku* s definicí konstant, hledaných proměnných a jejich počátečním odhadem, mezními podmínkami úspěšné extrakce a maximální chybou minimalizace (standardně $1 \cdot 10^{-15}$). Porovnávali jsme dvě exportované a vypočítané charakteristiky: závislost kolektorového proudu I_{DS} na napětí u_{DS} , a závislost výstupní vodivosti g_{DS} na napětí u_{DS} . Neznámé charakteristiky MOSFET tranzistorů jsme získali exportem dat (File → Export → Text) z programu PSPICE (**Obr 6.1**) ve formátu dvou oddělených textových souborů.



Obr 6.1 – Schématické zapojení nMOSFET tranzistoru se společnou BS elektrodou v programu PSPICE (V1 – u_{GS} , V2 – u_{DS})

Program je navržen tak, aby uživatel musel při výpočtu zadávat co nejméně údajů. Mezi základní parametry k nastavení patří napětí U_{GS} a U_{SB} , určení sloupců v exportovaných datech se kterými bude model počítat, žádanou celkovou chybu výsledné minimalizace, počáteční odhad některých parametrů a samozřejmě konstanty, které o tranzistoru dopředu víme. Nemusíme tedy zadávat například rozsah napětí u_{DS} ani jestli se jedná o tranzistor NMOS nebo PMOS.

Při zadávání odhadů parametrů se nemusíme starat o prahové napětí V_{TO} (standardně $\pm 1V$) nebo o kanálovou modulaci $LAMBDA$ (standardně $0V^{-1}$), protože je experimentálně zjištěno, že na výsledek extrakce nemá vliv. Oba dva parametry jsou relativně velká čísla a proto se můžeme uspokojit s nepřesností v řádech mikrovoltů. Nesmíme však zapomenout na co nejpřesněji možný odhad zesilovacího činitele K_P , délky kanálu L a šířky kanálu W . Zde je důležité, aby byl odhad alespoň ve stejném numerickém řádu jako je očekávaný výsledek. Pokud nesplníme tuto podmínku, může algoritmus spadnout do lokálního minima, ve kterém nemůže konvergovat a dostaneme nesprávný nebo žádný výsledek anebo určí například zápornou délku nebo šířku kanálu. Proto musíme před extrakcí alespoň přibližně vědět, jaký tranzistor analyzujeme.

Dále je nutné pozorovat jak velká je celková chyba *ERR* po extrakci parametrů. Při zadání špatných odhadů parametrů se může stát, že celková chyba je větší než maximální nastavená chyba. Pokud například dosáhneme chyby 10^{-4} a některý z extrahovaných parametrů má řád 10^{-6} je pochopitelně výsledek neplatný nebo zkreslený.

Po extrakci parametrů je provedeno zaokrouhlování a zobrazení konečných výsledků. Můžeme se podívat na charakteristiky při odhadu parametrů, exportovaného tranzistoru a přizpůsobeného modelu. Dále můžeme vidět hodnoty a grafy celkové chyby před a po identifikaci. U každého modelu je odkaz na internetovou stránku s rovnicemi a předvolenými parametry i s jejich detailním popisem.

6.1 Minimalizace a extrakce parametrů modelu LEVEL 1

U tohoto modelu nejprve dojde k ověření funkčnosti programu pomocí ruční definice hodnot parametrů pomocí PSPICE jazyku. Například pro PMOS tranzistor zadáváme:

```
.SUBCKT LEVEL1 9 7 8
M1 9 7 8 8 MM L=5e-04 W=1e-04
.MODEL MM PMOS LEVEL=1
+COX=3.453e-04 TOX=1e-07 VTO=-1.5
+KP=8e-05 LAMBDA=-0.04 LD=0.1e-06
+GAMMA=9.804e-6 NSS=1 NSUB=1e+15
+PHI=0.58
.ENDS
```

Pokud neznáme nebo nezadáme parametry PHI a GAMMA, program si je vypočítá sám. Zkušebním měřením několika nadefinovaných NMOS a PMOS tranzistorů ověříme funkčnost programu pro model LEVEL1. Nejprve jsme se rozhodli pro extrakci 5 parametrů (L, W, LAMBDA, VTO, KP). Výsledky vidíme níže:

($COX=3.453e^{-4}$, $TOX=1e^{-7}$, $LD=0.1e^{-6}$, $GAMMA=9.804e^{-6}$,
 $NSUB=1e^{15}$, $PHI=0.58$)

6.1.1 NMOS tranzistory

Při $u_{GS}=2V$, $u_{SB}=0V$, $ERR=4,5 \cdot 10^{-13}$ bylo zjištěno

--L1 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$1e^{-4}$	$1e^{-4}$	0	1	$2e^{-5}$
Extrahované	$0,6e^{-4}$	$0,31e^{-4}$	0	1	$4,6e^{-5}$
Odhad	$0,5e^{-4}$	$0,5e^{-4}$	0	1	$1e^{-5}$

Při $u_{GS} = 3V$, $u_{SB} = 0V$, $ERR = 1,6 \cdot 10^{-15}$ bylo zjištěno

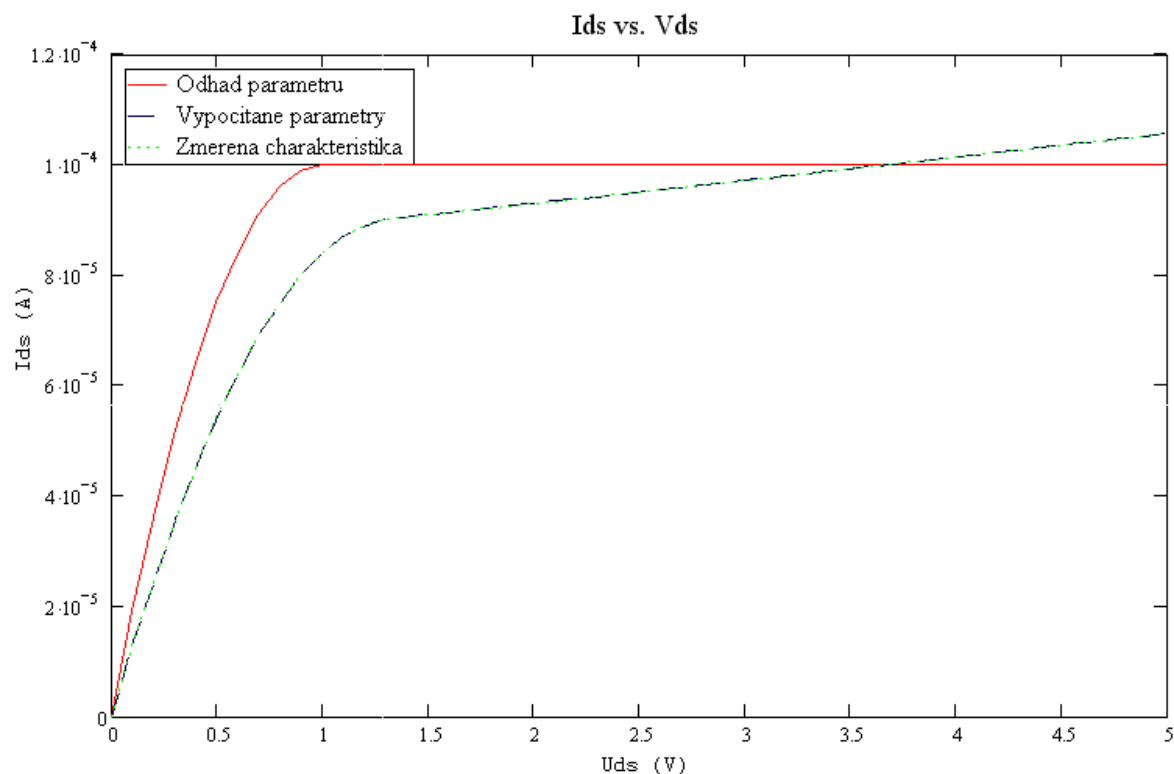
--L1 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VT0 [V]	KP [A/V^2]
Skutečné	$25e^{-4}$	$50e^{-4}$	0	1,85	$2e^{-4}$
Extrahované	$25,5e^{-4}$	$51,5e^{-4}$	0	1,85	$2e^{-4}$
Odhad	$30e^{-4}$	$30e^{-4}$	0	1	$1e^{-4}$

Při $u_{GS} = 3V$, $u_{SB} = 0V$, $ERR = 7,1 \cdot 10^{-15}$ bylo zjištěno

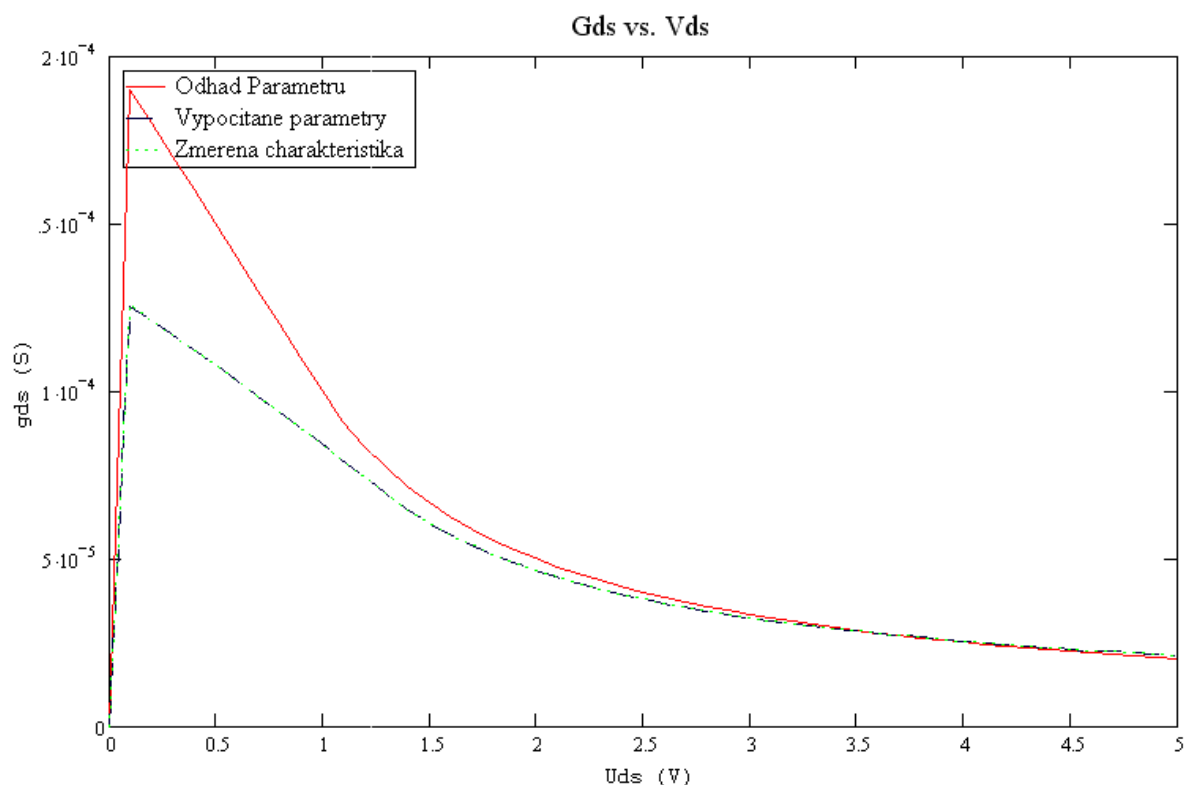
--L1 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VT0 [V]	KP [A/V^2]
Skutečné	$8e^{-4}$	$1e^{-3}$	0,05	0,7	$1e^{-4}$
Extrahované	$5,3e^{-4}$	$1e^{-3}$	0,05	0,7	$4,8e^{-4}$
Odhad	$20e^{-4}$	$20e^{-4}$	0	1	$2e^{-4}$

Při $u_{GS} = 3V$, $u_{SB} = 0V$, $ERR = 8,6 \cdot 10^{-15}$ bylo zjištěno

--L1 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VT0 [V]	KP [A/V^2]
Skutečné	$1e^{-3}$	$1e^{-3}$	-0,05	1,3	$1e^{-4}$
Extrahované	$0,85e^{-3}$	$2,44e^{-3}$	-0,05	1,3	$4,1e^{-4}$
Odhad	$10e^{-3}$	$10e^{-3}$	0	1	$2e^{-4}$



Obr 6.2 – Příklad závislosti kolektorového proudu I_{DS} na napětí u_{DS} (NMOS-LEVEL1)



Obr 6.3 – Příklad závislosti výstupní vodivosti g_{DS} na napětí u_{DS} (NMOS-LEVEL1)

Lze vidět že při extrahování více parametrů je jejich odchylka od skutečné hodnoty někdy větší. Nyní budeme zjišťovat pouze jeden z parametrů (L a W) při použití všech zbylých skutečných parametrů v odhadu.

Při $L=1e^{-4}m$, $W=1e^{-4}m$, $LAMBDA=0V^{-1}$, $VT0=1V$, $KP=2e^{-5}A/V^2$:

Hledáme: $L \rightarrow L=0,966e^{-4}$ s $ERR=5,2e^{-6}$

$W \rightarrow W=1,032e^{-4}$ s $ERR=8,5e^{-6}$

Při $L=25e^{-4}m$, $W=50e^{-4}m$, $LAMBDA=0V^{-1}$, $VT0=1,85V$, $KP=2e^{-4}A/V^2$:

Hledáme: $L \rightarrow L=25,0e^{-4}$ s $ERR=7,8e^{-7}$

$W \rightarrow W=50,0e^{-4}$ s $ERR=1,0e^{-10}$

Při $L=8e^{-4}m$, $W=1e^{-3}m$, $LAMBDA=0,05V^{-1}$, $VT0=0,7V$, $KP=1e^{-4}A/V^2$:

Hledáme: $L \rightarrow L=8,9e^{-4}$ s $ERR=5,7e^{-7}$

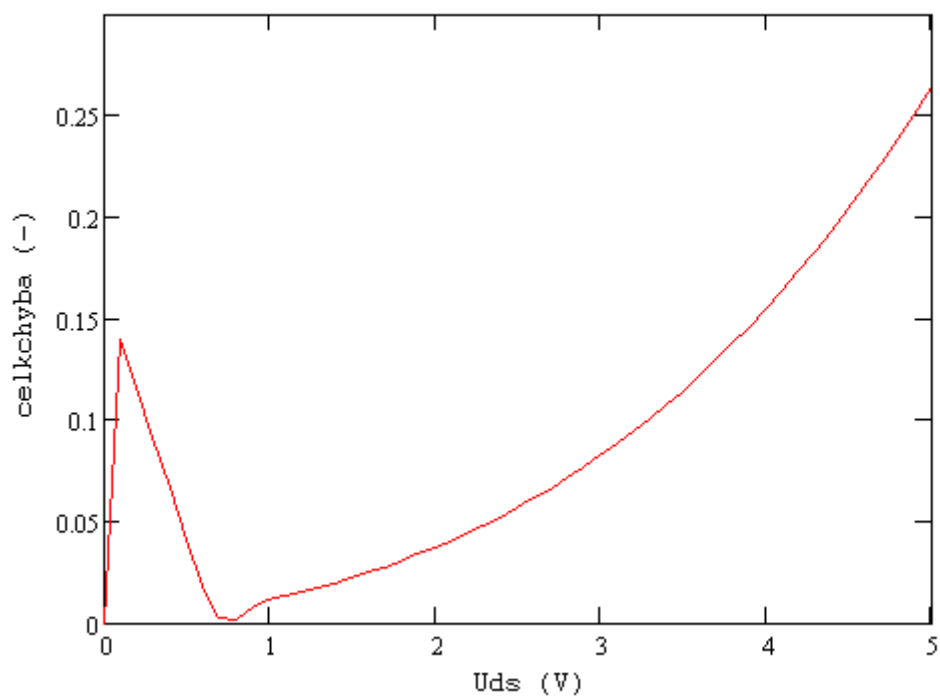
$W \rightarrow W=1,0e^{-4}$ s $ERR=4,3e^{-8}$

Při $L=1e^{-3}m$, $W=1e^{-3}m$, $LAMBDA=-0,05V^{-1}$, $VT0=1,3V$, $KP=1e^{-4}A/V^2$:

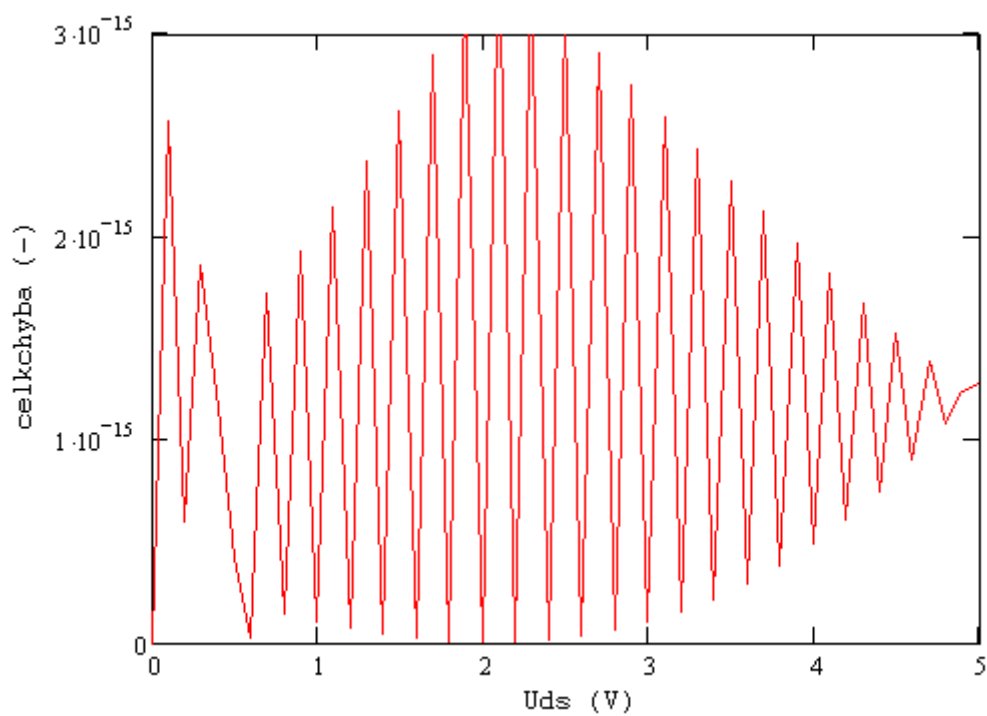
Hledáme: $L \rightarrow L=1e^{-3}$ s $ERR=2,3e^{-13}$

$W \rightarrow W=1e^{-3}$ s $ERR=9,5e^{-10}$

Zjišťujeme, že při zadávání více známých parametrů se odchylka od skutečné hodnoty značně snižuje. To znamená, že čím více známých parametrů použijeme na začátku extrakce, tím větší přesnosti výsledku můžeme dosáhnout.



Obr 6.4 – Příklad celkové chyby před identifikací



Obr 6.5 – Příklad celkové chyby po identifikaci

6.1.2 PMOS tranzistory

Při $u_{GS} = -2V$, $u_{SB} = 0V$, $ERR = 2,1 \cdot 10^{-6}$ bylo zjištěno

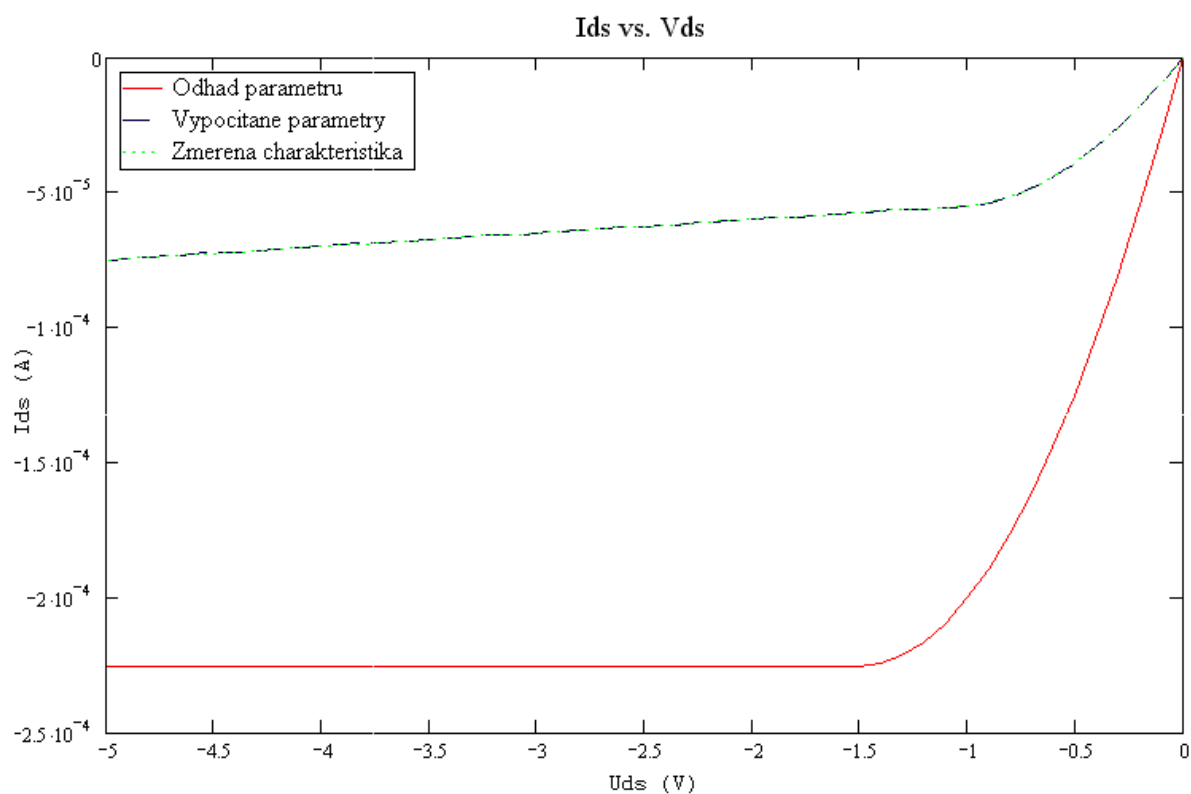
--L1 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$1e^{-3}$	$1e^{-3}$	0	-1	$1e^{-4}$
Extrahované	$1,22e^{-3}$	$0,82e^{-3}$	0	-1	$2,1e^{-4}$
Odhad	$10e^{-3}$	$10e^{-3}$	0	-1	$2e^{-4}$

Při $u_{GS} = -2,5V$, $u_{SB} = 0V$, $ERR = 8,7 \cdot 10^{-6}$ bylo zjištěno

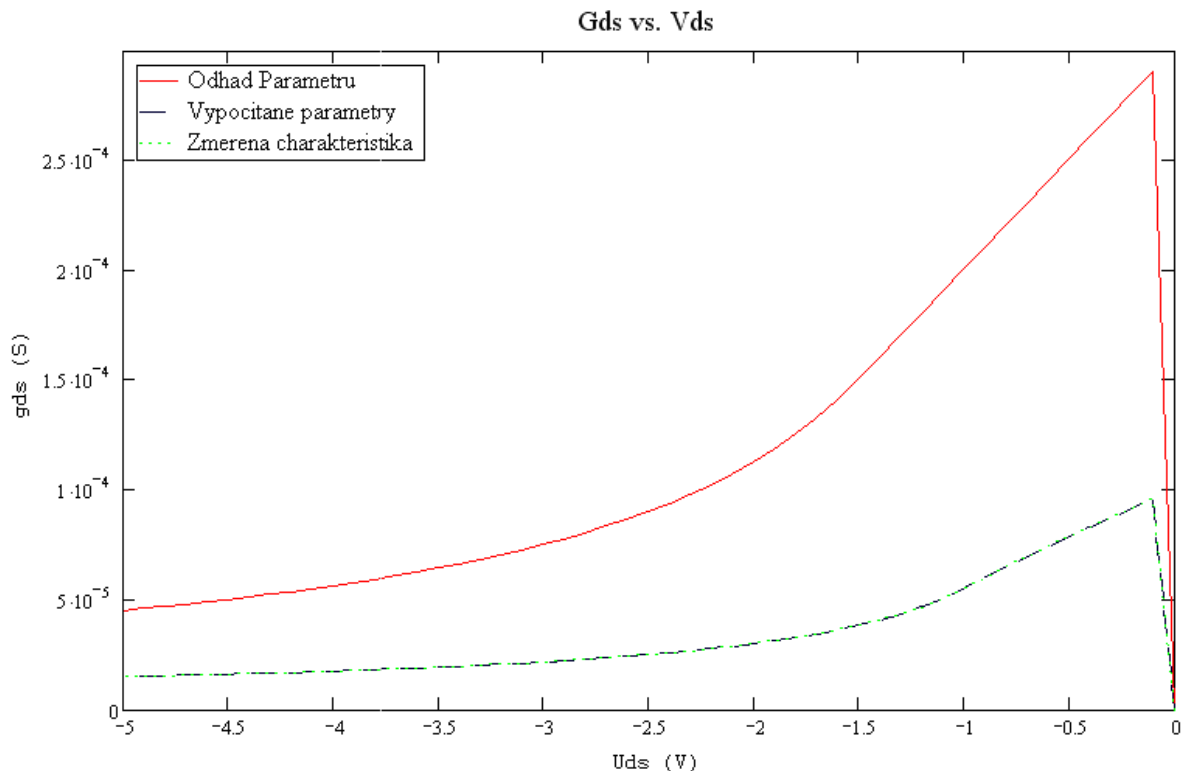
--L1 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$4e^{-4}$	$4e^{-4}$	0,1	-1,5	$1e^{-4}$
Extrahované	$2,7e^{-4}$	$1,7e^{-4}$	0,1	-1,5	$1,64e^{-4}$
Odhad	$1e^{-4}$	$1e^{-4}$	0	-1	$2e^{-4}$

Při $u_{GS} = -2,5V$, $u_{SB} = 0V$, $ERR = 6,4 \cdot 10^{-9}$ bylo zjištěno

--L1 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$5e^{-4}$	$1e^{-4}$	-0,04	-1,5	$8e^{-5}$
Extrahované	$7,5e^{-4}$	$5,5e^{-4}$	-0,04	-1,5	$2,6e^{-5}$
Odhad	$1e^{-4}$	$1e^{-4}$	0	-1	$10e^{-5}$



Obr 6.6 – Příklad závislosti kolektorového proudu I_{DS} na napětí u_{DS} (PMOS-LEVEL1)



Obr 6.7 – Příklad závislosti výstupní vodivosti g_{DS} na napětí u_{DS} (PMOS-LEVEL1)

Nyní budeme opět zjišťovat pouze jeden z parametrů (L a W) při použití všech zbylých skutečných parametrů v odhadu.

Při $L=1e^{-3}m$, $W=1e^{-3}m$, $LAMBDA=0V^{-1}$, $VT0=-1V$, $KP=2e^{-4}A/V^2$:

Hledáme: $L \rightarrow L=1,0e^{-3} s \text{ ERR}=6,7e^{-10}$

$W \rightarrow W=1,0e^{-3} s \text{ ERR}=6,7e^{-10}$

Při $L=4e^{-4}m$, $W=4e^{-4}m$, $LAMBDA=0,1V^{-1}$, $VT0=-1,5V$, $KP=1e^{-4}A/V^2$:

Hledáme: $L \rightarrow L=4,0e^{-4} s \text{ ERR}=1,2e^{-9}$

$W \rightarrow W=4,0e^{-4} s \text{ ERR}=6,4e^{-11}$

Při $L=5e^{-4}m$, $W=1e^{-4}m$, $LAMBDA=-0,04V^{-1}$, $VT0=-1,5V$, $KP=8e^{-5}A/V^2$:

Hledáme: $L \rightarrow L=5,0e^{-4} s \text{ ERR}=1,3e^{-9}$

$W \rightarrow W=1,0e^{-4} s \text{ ERR}=1,3e^{-9}$

Opět se ukázalo, že více zadaných parametrů na začátku extrakce znamená větší přesnost výsledku. Nyní vyzkoušíme program na reálných tranzistorech. Je třeba si uvědomit ze tento model nezahrnuje rezistorový, kapacitní a indukční model, a proto mohou být výsledky zkresleny.

Tranzistor „*mmdf4207/ON*“ ($I_s=1e^{-32}A$) (výkonový PMOS):

Při $u_{GS}=-3V$, $u_{SB}=0V$, $ERR = 1,4 \cdot 10^{-8}$ bylo zjištěno

--L1 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$100e^{-6}$	$100e^{-6}$	-0,0935	-1	19,4
Extrahované	$127e^{-6}$	$105e^{-6}$	-0,094	-1	23,36
Odhad	$1e^{-4}$	$1e^{-4}$	0	-1	1

Tranzistor „*mmsf3300/ON*“ ($I_s=1e^{-32}A$) (výkonový NMOS):

Při $u_{GS}=5V$, $u_{SB}=0V$, $ERR = 8,5 \cdot 10^{-9}$ bylo zjištěno

--L1 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$100e^{-6}$	$100e^{-6}$	0	-2,807	44,14
Extrahované	$202e^{-6}$	$208e^{-6}$	0	-2,8	42,84
Odhad	$1e^{-4}$	$1e^{-4}$	0	1	1

Těmito měřeními jsme dokázali, že model LEVEL1 pracuje správně jak pro NMOS tak pro PMOS struktury. Při identifikaci reálných tranzistorů už nejsou některé výsledky tak přesné. Parametry VTO a LAMBDA jsou však za všech okolností velmi přesné.

6.2 Minimalizace a extrakce parametrů modelu LEVEL 2

Tento model je obvodově nejsložitější a proto je výpočet parametrů více časově náročnější. Opět jsme zkoumali extrakci 5 základních parametrů L, W, LAMBDA, VTO a KP z předem nadefinovaného PSPICE modelu.

($COX=3.453e^{-4}$, $TOX=1e^{-7}$, $LD=0.1e^{-6}$, $GAMMA=9.804e^{-6}$,
 $NSS=2e^{10}$, $NFS=1e^{11}$, $NSUB=1e^{15}$, $PHI=0.58$, $XJ=0.5e^{-6}$)

6.2.1 NMOS tranzistory

Při $u_{GS}=6V$, $u_{SB}=0V$, $ERR=1,62 \cdot 10^{-14}$ bylo zjištěno

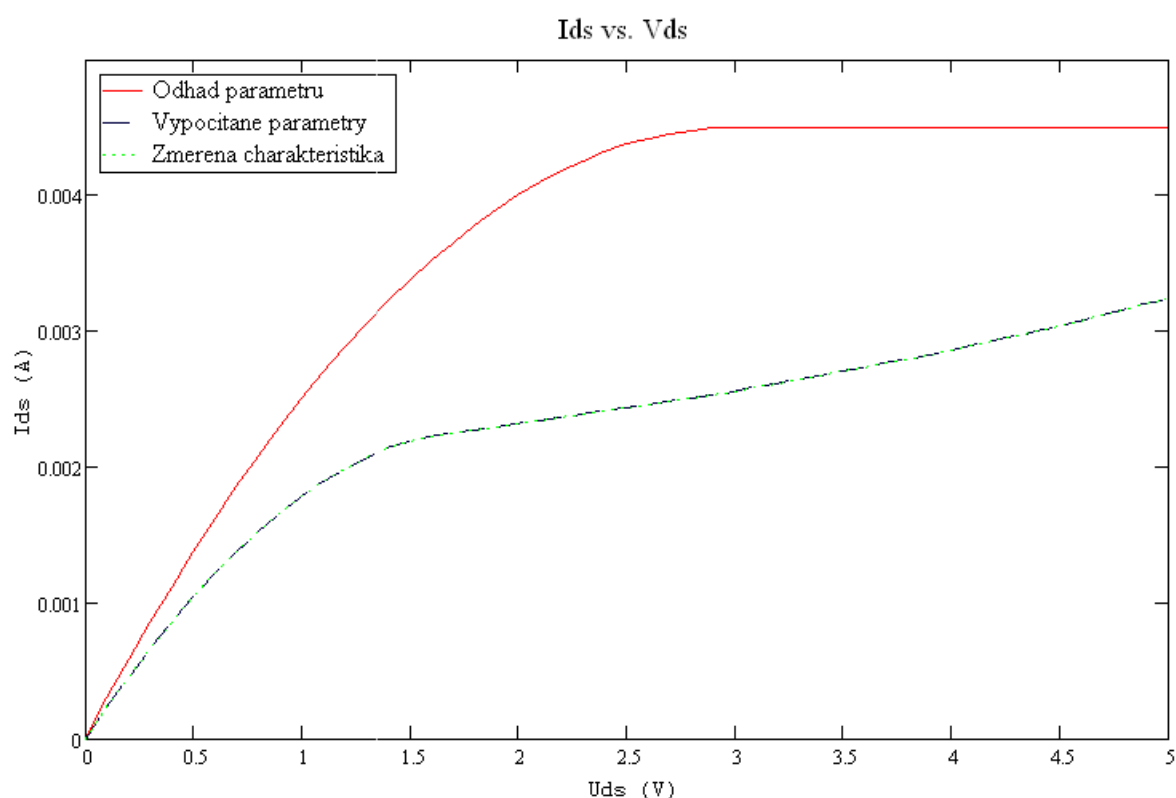
--L2 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$1e^{-3}$	$1e^{-2}$	0,03	4	$1e^{-2}$
Extrahované	$0,33e^{-3}$	$0,57e^{-2}$	0,03	4	$5,7e^{-3}$
Odhad	$1e^{-3}$	$1e^{-3}$	0	1	$1e^{-3}$

Při $u_{GS}=4V$, $u_{SB}=0V$, $ERR=1,3 \cdot 10^{-14}$ bylo zjištěno

--L2 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VT0 [V]	KP [A/V^2]
Skutečné	$5e^{-3}$	$1e^{-3}$	0,02	3	$5e^{-3}$
Extrahované	$8,9e^{-3}$	$3,4e^{-3}$	0,02	3	$2,9e^{-3}$
Odhad	$10e^{-3}$	$10e^{-3}$	0	1	$10e^{-3}$

Při $u_{GS}=4V$, $u_{SB}=0V$, $ERR=1,39 \cdot 10^{-14}$ bylo zjištěno

--L2 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VT0 [V]	KP [A/V^2]
Skutečné	$7e^{-3}$	$1e^{-2}$	0,08	2,35	$1e^{-3}$
Extrahované	$8,9e^{-3}$	$1e^{-2}$	0,08	2,35	$1,3e^{-3}$
Odhad	$1e^{-2}$	$1e^{-2}$	0	1	$10e^{-3}$



Obr 6.8 – Příklad závislosti kolektorového proudu I_{DS} na napětí u_{DS} (NMOS-LEVEL2)

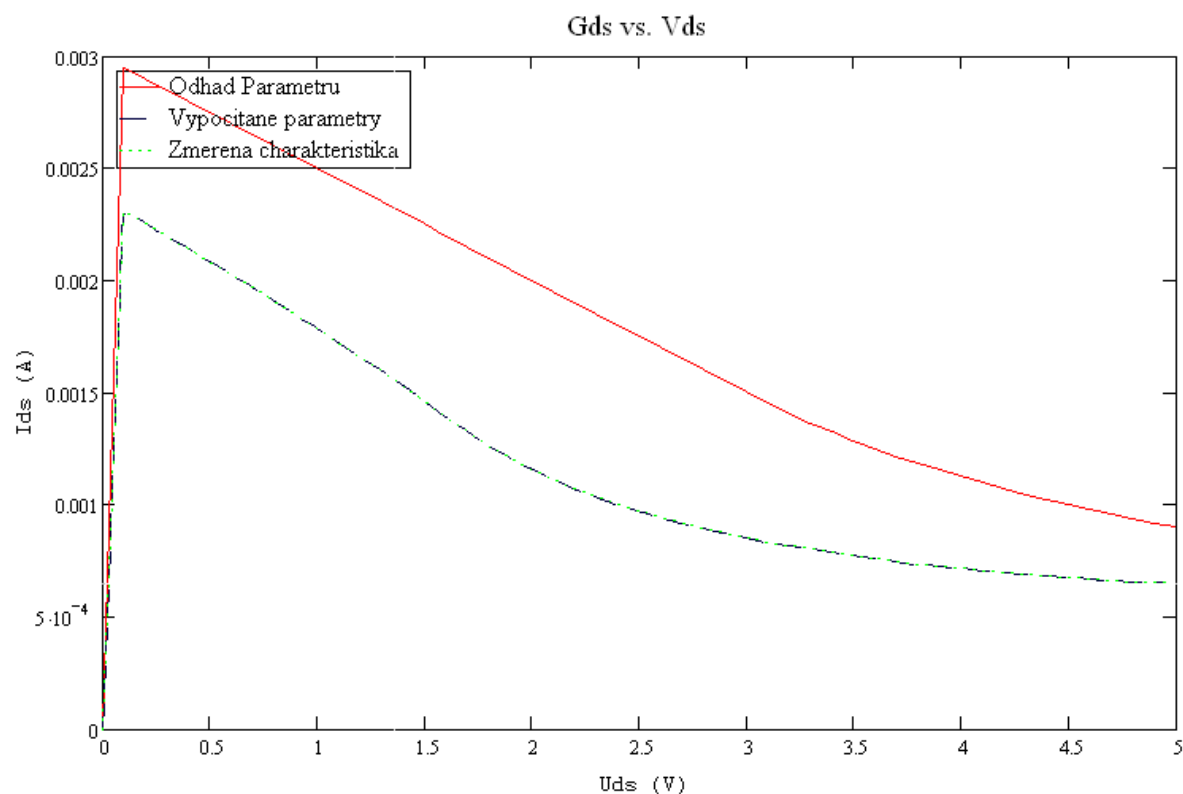
Opět se ukazuje, že při hledání více parametrů mohou mít výsledky větší chybu. Nyní budeme extrahovat jediný parametr KP při všech zadaných potřebných parametrech.

Při $L=1e^{-3}m$, $W=1e^{-2}m$, $LAMBDA=0,03V^{-1}$, $VT0=4V$, $KP=1e^{-2}A/V^2$:
Hledáme: **KP** → **KP= $10e^{-3} A/V^2$ s $ERR=3,2e^{-13}$**

Při $L=5e^{-3}m$, $W=1e^{-3}m$, $LAMBDA=0,02V^{-1}$, $VT0=3V$, $KP=5e^{-3}A/V^2$:
Hledáme: **KP** → **KP= $5,001e^{-3}A/V^2$ s $ERR=3,2e^{-13}$**

Při $L=7e^{-3}m$, $W=1e^{-2}m$, $LAMBDA=0,08V^{-1}$, $V_{T0}=2,35V$, $KP=1e^{-3}A/V^2$:
Hledáme: **KP** → **$KP=1e^{-3}A/V^2$ s $ERR=9,8e^{-15}$**

Z výsledků vidíme velmi malé nebo žádné odchylky extrahovaného parametru KP od skutečné hodnoty. Tuto metodu lze použít při velmi přesné simulaci modelu, pokud známe větší množství skutečných parametrů. Z parametru KP program dodatečně počítá hodnotu proudového zesilovacího činitele β .



Obr 6.9 – Příklad závislosti výstupní vodivosti g_{DS} na napětí u_{DS} (NMOS-LEVEL2)

6.2.2 PMOS tranzistory

Při $u_{GS}=-4V$, $u_{SB}=0V$, $ERR=5,26 \cdot 10^{-14}$ bylo zjištěno

--L2 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	V_{T0} [V]	KP [A/V^2]
Skutečné	$5e^{-3}$	$1e^{-3}$	0	-2,65	1
Extrahované	$1e^{-2}$	$1,1e^{-2}$	0	-2,65	1,8
Odhad	$1e^{-3}$	$1e^{-3}$	0	-1	5

Při $u_{GS}=-4V$, $u_{SB}=0V$, $ERR=4,28 \cdot 10^{-14}$ bylo zjištěno

--L2 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	V_{T0} [V]	KP [A/V^2]
Skutečné	$3e^{-3}$	$1e^{-2}$	0,1	-2,08	6
Extrahované	$1,7e^{-3}$	$1e^{-2}$	0,1	-2,08	3,6
Odhad	$1e^{-2}$	$1e^{-2}$	0	-1	1

Při $u_{GS} = -4V$, $u_{SB} = 0V$, $ERR = 4,88 \cdot 10^{-15}$ bylo zjištěno

--L2 PMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$1e^{-3}$	$1e^{-2}$	0,04	-1,23	5,23
Extrahované	$0,6e^{-3}$	$0,5e^{-2}$	0,04	-1,23	5,53
Odhad	$1e^{-3}$	$1e^{-3}$	0	-1	1

Při $L = 5e^{-3}m$, $W = 1e^{-3}m$, $LAMBDA = 0V^{-1}$, $VTO = -2,65V$, $KP = 1A/V^2$:

Hledáme: **KP** → **KP=1A/V² s ERR=3,6e⁻⁸**

Při $L = 3e^{-3}m$, $W = 1e^{-2}m$, $LAMBDA = 0,1V^{-1}$, $VTO = -2,08V$, $KP = 6A/V^2$:

Hledáme: **KP** → **KP=6A/V² s ERR=2,33e⁻¹⁴**

Při $L = 1e^{-3}m$, $W = 1e^{-2}m$, $LAMBDA = 0,04V^{-1}$, $VTO = -1,23V$, $KP = 5,23A/V^2$:

Hledáme: **KP** → **KP=5,23A/V² s ERR=2,2e⁻¹³**

Tranzistor „**MbreakND-X**“ -

($TOX = 238e^{-10}m$, $NSUB = 33,3e^{-15}cm^{-3}$, $DELTA = 0$, $NFS = 0,45e^{12}cm^{-2}$)

při $u_{GS} = 3V$, $u_{SB} = 0V$, $ERR = 8,5 \cdot 10^{-8}$ bylo zjištěno

--L2 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$1e^{-6}$	$4,3e^{-3}$	0,027	1	$2,02e^{-5}$
Extrahované	$0,52e^{-6}$	$1,9e^{-3}$	0,028	1	$1,92e^{-5}$
Odhad	$1e^{-6}$	$1e^{-3}$	0	1	$1e^{-6}$

Tranzistor „**HP-N14P**“ -

($TOX = 2.25e^{-8}m$, $NSUB = 33,3e^{-15}cm^{-3}$, $DELTA = 0$, $NFS = 5,5e^{12}cm^{-2}$,
 $LD = 1.13e^{-7}$, $PHI = 0.6$, $XJ = 0.2e^{-6}$, $LAMBDA = 0$, $GAMMA = 0.5266e^{-7}$)

při $u_{GS} = 3V$, $u_{SB} = 0V$, $ERR = 2,5 \cdot 10^{-7}$ bylo zjištěno

--L2 NMOS--	L [m]	W [m]	LAMBDA [V^{-1}]	VTO [V]	KP [A/V^2]
Skutečné	$4,5e^{-6}$	$7,9e^{-3}$	0	0,8186	$9,154e^{-5}$
Extrahované	$2,5e^{-6}$	$5,4e^{-3}$	0	0,828	$7,353e^{-6}$
Odhad	$1e^{-6}$	$1e^{-3}$	0	1	$1e^{-5}$

Těmito měřeními jsme dokázali, že model LEVEL2 pracuje správně jak pro NMOS tak pro PMOS struktury. Při identifikaci reálných tranzistorů už nejsou některé výsledky tak přesné. Parametry VTO a LAMBDA se však za všech okolností neliší od skutečných hodnot.

6.3 Minimalizace a extrakce parametrů modelu LEVEL 3

U tohoto modelu zkoušíme extrakci pouze 4 parametrů, protože se obvodová složitost tranzistorů podstatně zvětšuje. Proto jsou výsledky více zkresleny pokud hledáme více parametrů. Tento model je nejvíce náročný na výkon procesoru.

(COX=3.453e⁻⁴, TOX=1e⁻⁷, LD=0.1e⁻⁶, GAMMA=9.804e⁻⁶,
NSS=2e¹⁰, NFS=1e¹¹, NSUB=1e¹⁵, PHI=0.58, XJ=0.5e⁻⁶, VMAX=0,
U0=600, ETA=0, THETA=0, DELTA=0, KAPPA=0)

6.3.1 NMOS tranzistory

Při $u_{GS}=6V$, $u_{SB}=0V$, $ERR=2,99 \cdot 10^{-15}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	9e ⁻³	3e ⁻²	4	0,5
Extrahované	9,7e ⁻³	4,1e ⁻²	4	0,4
Odhad	1e ⁻²	1e ⁻²	1	0,1

Při $u_{GS}=4V$, $u_{SB}=0V$, $ERR=1,3 \cdot 10^{-14}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	5e ⁻³	5e ⁻²	2,56	1,56
Extrahované	2,4e ⁻³	2,7e ⁻²	2,56	1,45
Odhad	1e ⁻²	1e ⁻²	1	1

Při $u_{GS}=4V$, $u_{SB}=0V$, $ERR=8,2 \cdot 10^{-15}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	1e ⁻⁴	5e ⁻²	0,7	5e ⁻³
Extrahované	0,72e ⁻⁴	4,3e ⁻²	0,7	4,15e ⁻³
Odhad	1e ⁻⁴	1e ⁻²	1	1e ⁻³

Situace je stejná jako v předchozích případech: hledání více parametrů zvětšuje chybu od skutečných parametrů. Opět se přesvědčíme, zda při hledání jednoho parametru dochází k chybám.

Při $L=9e^{-3}m$, $W=3e^{-2}m$, $VTO=4V$, $KP=0,5A/V^2$:
Hledáme: **KP** → **KP=0,5e⁻³ A/V² s ERR=3,8e⁻¹³**

Při $L=5e^{-3}m$, $W=5e^{-2}m$, $VTO=2,56V$, $KP=1,56A/V^2$:
Hledáme: **KP** → **KP=1,52A/V² s ERR=6,2e⁻⁵**

Při $L=1e^{-4}m$, $W=5e^{-2}m$, $V_{T0}=0,7V$, $KP=5e^{-3}A/V^2$:
Hledáme: **KP** → **$KP=5e^{-3}A/V^2$ s $ERR=2,0e^{-9}$**

6.3.2 PMOS tranzistory

Při $u_{GS}=-4V$, $u_{SB}=0V$, $ERR=5,0 \cdot 10^{-15}$ bylo zjištěno

--L3 PMOS--	L [m]	W [m]	V_{T0} [V]	KP [A/V^2]
Skutečné	$3e^{-3}$	$9e^{-2}$	-1,89	$5e^{-2}$
Extrahované	$1,6e^{-3}$	$13e^{-2}$	-1,89	$3,5e^{-2}$
Odhad	$1e^{-3}$	$1e^{-1}$	-1	$1e^{-2}$

Při $u_{GS}=-3V$, $u_{SB}=0V$, $ERR=3,9 \cdot 10^{-15}$ bylo zjištěno

--L3 PMOS--	L [m]	W [m]	V_{T0} [V]	KP [A/V^2]
Skutečné	$3e^{-3}$	$3e^{-2}$	-1,26	$4e^{-2}$
Extrahované	$10e^{-3}$	$4,1e^{-2}$	-1,26	$2e^{-2}$
Odhad	$1e^{-3}$	$1e^{-1}$	-1	$1e^{-2}$

Při $u_{GS}=-5V$, $u_{SB}=0V$, $ERR=3,4 \cdot 10^{-15}$ bylo zjištěno

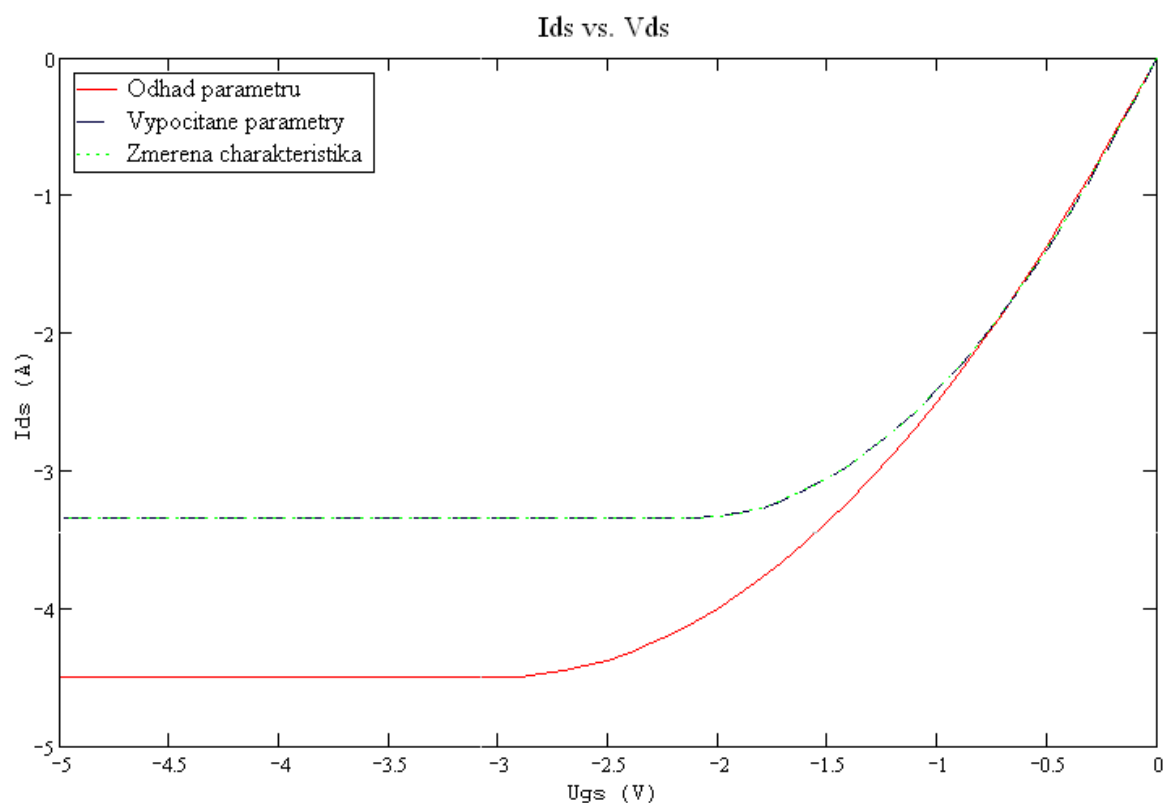
--L3 PMOS--	L [m]	W [m]	V_{T0} [V]	KP [A/V^2]
Skutečné	$7e^{-3}$	$1e^{-3}$	-4,12	20
Extrahované	$10e^{-3}$	$1,3e^{-3}$	-4,12	21,8
Odhad	$1e^{-3}$	$1e^{-3}$	-1	1

Při $L=3e^{-3}m$, $W=9e^{-2}m$, $V_{T0}=-1,89V$, $KP=5e^{-2}A/V^2$:
Hledáme: **KP** → **$KP=5e^{-2}A/V^2$ s $ERR=3,3e^{-12}$**

Při $L=3e^{-3}m$, $W=3e^{-2}m$, $V_{T0}=-1,26V$, $KP=4e^{-2}A/V^2$:
Hledáme: **KP** → **$KP=4e^{-2}A/V^2$ s $ERR=3,7e^{-12}$**

Při $L=7e^{-3}m$, $W=1e^{-3}m$, $V_{T0}=-4,12V$, $KP=20A/V^2$:
Hledáme: **KP** → **$KP=20A/V^2$ s $ERR=1,8e^{-12}$**

Přesvědčili jsme se, že nastává stejná situace jako u předchozích modelů. Při hledání více parametrů chyba stoupá, a naopak.



Obr 6.10 – Příklad závislosti kolektorového proudu I_{DS} na napětí u_{DS} (PMOS-LEVEL3)

Tranzistor „**2N6659**” –

($\text{GAMMA}=0\text{V}^{1/2}$, $\text{DELTA}=0$, $\text{ETA}=0$, $\text{THETA}=0\text{V}^{-1}$, $\text{KAPPA}=0,2\text{V}^{-1}$, $\text{VMAX}=0\text{m/s}$, $\text{XJ}=0\text{m}$, $\text{TOX}=2\text{e}^{-6}\text{m}$, $\text{Uo}=600\text{cm}^2/\text{V.s}$, $\text{PHI}=0,6\text{V}$)

při $u_{GS}=3\text{V}$, $u_{SB}=0\text{V}$, $\text{ERR}=1,8 \cdot 10^{-14}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	2e^{-6}	0,32	1,8	$1,04\text{e}^{-6}$
Extrahované	4e^{-6}	0,65	1,8	$1,25\text{e}^{-6}$
Odhad	1e^{-6}	0,5	1	1e^{-6}

Tranzistor „**2N7000**” –

($\text{GAMMA}=0\text{V}^{1/2}$, $\text{DELTA}=0$, $\text{ETA}=0$, $\text{THETA}=0\text{V}^{-1}$, $\text{KAPPA}=0,2\text{V}^{-1}$, $\text{VMAX}=0\text{m/s}$, $\text{XJ}=0\text{m}$, $\text{TOX}=2\text{e}^{-6}\text{m}$, $\text{Uo}=600\text{cm}^2/\text{V.s}$, $\text{PHI}=0,6\text{V}$)

při $u_{GS}=3\text{V}$, $u_{SB}=0\text{V}$, $\text{ERR}=8,5 \cdot 10^{-15}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	2e^{-6}	0,12	1,73	$1,07\text{e}^{-6}$
Extrahované	1e^{-6}	0,09	1,73	$1,9\text{e}^{-6}$
Odhad	1e^{-6}	0,5	1	1e^{-6}

Tranzistor „**IRFF313**” –

($\text{GAMMA}=0\text{V}^{1/2}$, $\text{DELTA}=0$, $\text{ETA}=0$, $\text{THETA}=0\text{V}^{-1}$, $\text{KAPPA}=0,2\text{V}^{-1}$,
 $\text{VMAX}=0\text{m/s}$, $\text{XJ}=0\text{m}$, $\text{TOX}=100\text{e}^{-9}\text{m}$, $\text{Uo}=600\text{cm}^2/\text{V.s}$, $\text{PHI}=0,6\text{V}$)

při $u_{\text{GS}}=5\text{V}$, $u_{\text{SB}}=0\text{V}$, $\text{ERR}=4,6\cdot 10^{-15}$ bylo zjištěno

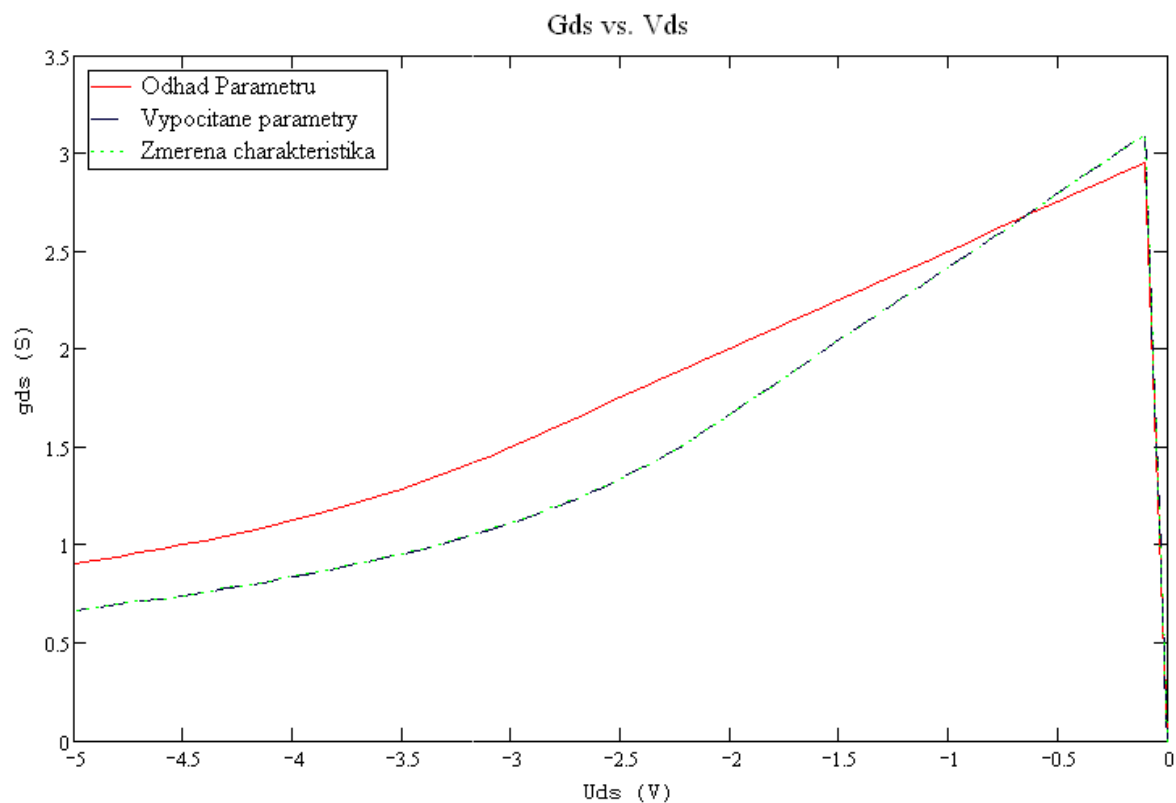
--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	2e^{-6}	0,22	3,87	$2,03\text{e}^{-5}$
Extrahované	5e^{-6}	0,14	3,87	$4,2\text{e}^{-6}$
Odhad	1e^{-6}	0,5	1	1e^{-5}

Tranzistor „**IRF730**” –

($\text{GAMMA}=0\text{V}^{1/2}$, $\text{DELTA}=0$, $\text{ETA}=0$, $\text{THETA}=0\text{V}^{-1}$, $\text{KAPPA}=0,2\text{V}^{-1}$,
 $\text{VMAX}=0\text{m/s}$, $\text{XJ}=0\text{m}$, $\text{TOX}=2\text{e}^{-6}\text{m}$, $\text{Uo}=600\text{cm}^2/\text{V.s}$, $\text{PHI}=0,6\text{V}$)

při $u_{\text{GS}}=5\text{V}$, $u_{\text{SB}}=0\text{V}$, $\text{ERR}=5,5\cdot 10^{-15}$ bylo zjištěno

--L3 NMOS--	L [m]	W [m]	VTO [V]	KP [A/V ²]
Skutečné	2e^{-6}	0,43	3,47	$20,5\text{e}^{-6}$
Extrahované	3e^{-6}	0,85	3,47	$12,3\text{e}^{-6}$
Odhad	1e^{-6}	0,5	1	1e^{-6}



Obr 6.11 – Příklad závislosti výstupní vodivosti g_{DS} na napětí u_{DS} (PMOS-LEVEL3)

Těmito měřeními jsme dokázali, že model LEVEL3 pracuje správně jak pro NMOS tak pro PMOS struktury. Při identifikaci reálných tranzistorů už nejsou některé výsledky tak přesné. Parametr VTO se však za všech okolností neliší od skutečných hodnot.

6.3 Zhodnocení modelů

Zhodnotíme-li po stránce funkčnosti tyto tři matematické modely na extrahování parametrů MOSFET tranzistoru, můžeme říci že si bez větších problémů poradí s jakýmkoliv tranzistorem, který nemá v sobě implementován rezistorový, kapacitní nebo indukční model. Pro správnou funkčnost programu se musí buď zanedbat a nebo musíme počítat s velkou odchylkou od skutečných parametrů.

Při extrahování více parametrů musíme počítat s větší odchylkou, protože funkce použitého algoritmu je vyhledat pomocí modelu jakékoliv parametry, které se přiblíží k exportované charakteristice a nebere ohled při počítání rovnic na to, jestli jsou správné nebo ne. Proto je důležité mít správně nadefinované omezení a především počáteční odhad parametrů. U parametrů VTO a LAMBDA nemusíme zadávat počáteční odhad žádný, protože jsou pokaždé správně určeny. Při extrahování jediného parametru je situace značně jednodušší. Stačí zadat parametry které známe a i bez počátečního odhadu je algoritmus schopen najít správné řešení libovolného parametru s velmi malou nebo žádnou chybou.

Výpočty probíhaly na procesoru Athlon 64 3000+ s různou dobou výpočtu, která záležela na počtu použitých extrahovaných parametrů a na tom, jestli je exportovaný tranzistor reálný nebo ručně nadefinovaný. Průměrná doba výpočtu dosahovala přibližně 2-5 minut při 5 extrahovaných parametrech a 10 sekund při 1 extrahovaném parametru.

7 Závěr

Tato práce se zabývala unipolárními tranzistory MOSFET, které jsou používány ve velké míře v analogových a digitálních elektronických obvodech. Byly prvním krokem ke značné miniaturizaci součástek. Zmenšováním výrobní technologie MOSFET tranzistorů však vedlo k různým kanálovým problémům, které vedly k oslabení potenciálů mezi kanály. Takovéto jevy zvyšovaly svodové proudy, posunovaly prahové napětí, zvyšovaly hladinu šumu a fluktuaci proudů a snižovaly celkový výkon tranzistoru. Proto bylo potřeba počítat již v počátcích návrhu tranzistorů s různými problémy jako například teplotní nestabilitou pracovního bodu (NBTI) nebo vstřikováním horkých nosičů (HCI), které zapříčiňovaly selhání struktury tranzistoru (SBD a HBD). Byly popsány základní mechanismy vzniku těchto nepříznivých jevů a jejich způsob odstranění. S HBI a NBTI obvodovou analýzou mohou konstruktéři detekovat, lokalizovat a předcházet možným problémům.

Detailní popis práce MOSFET tranzistoru byl užitečný pro pochopení významu některých parametrů, které se mohly objevit v jeho matematickém modelu. Proběhlo seznámení s dostupnými modely unipolárních tranzistorů různých úrovní. Rovnice výpočtu kolektorových proudů a výstupních vodivostí úrovní LEVEL1, LEVEL2 a LEVEL3 byly implementovány ve formě knihovny do programového prostředí MathCad, ze kterých byly extrahovány a zobrazeny charakteristiky modelu. Zkoumáním byly popsány navzájem výhody a nevýhody těchto matematických modelů.

Hlavním úkolem této práce bylo vytvoření a odladění nástroje pro extrahování vybraných klíčových parametrů modelu unipolárních tranzistorů na základě exportovaných dat z programu PSpice. K minimalizaci rovnic a výpočtu vybraných parametrů těchto tří modelů byl potřeba robustní optimalizační algoritmus. Byl vybrán Levenberg - Marquardtův algoritmus, který je rychle konvergující, dostatečně přesný avšak s většími nároky na výpočetní výkon a paměť počítače.

Po úpravě stávajících matematických modelů z minulých kapitol a přidáním algoritmu na extrakci parametrů došlo k ověření funkčnosti programu na vzorcích exportovaných dat. Ke zkoušce byly použity ručně nadefinované i reálné tranzistory. Při extrakci více parametrů najednou se objevovaly odchylky od skutečných parametrů a byla zjištěna silná závislost na nastavení počátečních a okrajových hodnot před výpočtem. Bylo potřeba odhadnout parametry tak, aby se shodovaly alespoň v numerických řádech se skutečnými parametry. Při extrakci jednoho parametru se chyba pohybovala v řádu setin procent. Funkčnost jednotlivých modelů se tedy potvrdila a proto mohl být program použit k identifikaci úrovní 1, 2 a 3, které v sobě neměly zahrnuty rezistorové, kapacitní a indukční modely.

LITERATURA -

- [1] FOTY: *MOSFET modeling with SPICE - Principles and Practice*, Prentice Hall, 1997.
- [2] SHICHMAN, H., HODGES, D.: *Modeling and Simulation of Insulated- Gate Field-Effect Transistor Switching Circuits*, *IEEE J. Sol. St. Circ.* vol. 3, pp. 285-289 (1968)
- [3] WALLMARK, J., JOHNSON, H.: *Field Effect Transistors*, Prentice-Hall, 1966.
- [4] NIKHIL, K.: *Transistor Modeling using Advanced Circuit Simulator Technology*, Raleigh, 2002
- [5] BEČVÁŘ, D.: *MOS Tranzistor, prezentace UMEL*, VUT v Brně, 2005
- [6] BOUŠEK, J.: *Elektronické součástky*, skriptum UMEL, VUT v Brně, 2006
- [7] AVANT!, *Star-HSpice manual - Release 1998.2*, červen 1998
- [8] MATHSOFT: *MathCAD Help Manual verze 13*, 2006
- [9] MORAVEC, S.: *Unipolární tranzistory – Popis*, 2001. Dostupné z <<http://www.sweb.cz/moryst/elt2/stranky1/elt014.htm>>
- [10] WIKIPEDIA: *Internetová encyklopedie*. Dostupné z <<http://www.cs.wikipedia.org>>
- [11] BOCHKANOV, S.: *Levenberg-Marquardt algorithm for multivariate optimization*, 1999. Dostupné z <<http://www.alglib.net/optimization/levenbergmarquardt.php>>
- [12] LÁNÍČEK, R. *Elektronika - obvody, součástky, děje*. Praha: BEN - technická literatura, 479 stran. ISBN 80-86056-25-2.
- [13] DOSTÁL, T. *Analogové obvody a převodníky*. Skriptum. Brno: FEKT VUT v Brně, 102 stran. ISBN 80-214-2177-0.
- [14] ZAHRADNICKÝ, T.: *MOSFET Parameter Extraction*, ČVUT v Praze, 2005. Dostupné z <<http://www.semiconductor.net/article/CA386329.html>>
- [15] KOLKA, Z.: *Analýza elektronických obvodů programem PSpice*, skriptum UREL, VUT v Brně