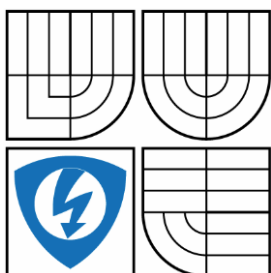


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ

ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF CONTROL AND INSTRUMENTATION

# UŽIVATELSKÉ MĚŘICÍ MODULY PRO PLATFORMU CRIO

USER-DEFINED MEASUREMENT MODULES FOR CRIO

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

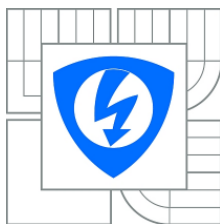
Bc. MARTIN PIVNIČKA

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. ZDENĚK HAVRÁNEK, Ph.D.

BRNO 2015



**VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky  
a komunikačních technologií**

**Ústav automatizace a měřicí techniky**

# Diplomová práce

magisterský navazující studijní obor  
**Kybernetika, automatizace a měření**

**Student:** Bc. Martin Pivnička  
**Ročník:** 2

**ID:** 136575  
**Akademický rok:** 2014/2015

## NÁZEV TÉMATU:

**Uživatelské měřicí moduly pro platformu cRIO**

## POKYNY PRO VYPRACOVÁNÍ:

Cílem práce je navrhnout a realizovat dva rozšiřující hardwarové moduly pro platformu CompactRIO včetně softwarových ovladačů do prostředí LabVIEW.

- 1) Vypracujte literární rešerši měřicích a řídicích systémů na univerzálních vývojových platformách se zaměřením na cRIO od firmy National Instruments a zpracujte průzkum trhu modulů pro tuto platformu.
- 2) Představte základní hardwarový a softwarový koncept rozšíření systému cRIO o speciální uživatelem vyvinuté zákaznické moduly s využitím vývojového kitu NI cRIO-9951. Dbejte dodržení licenční smlouvy vázané na uvedený vývojový kit.
- 3) Navrhněte a realizujte analogový vstupně-výstupní modul pro platformu cRIO s A/D a D/A převodníkem pro měření přenosových charakteristik dvojbranů. Šířka pásma alespoň 50 kHz a dynamický rozsah alespoň 96 dB.
- 4) Navrhněte a realizujte zásuvný modul s GPS jednotkou a externí anténou pro platformu cRIO. Pro zpracování GPS signálu použijte vhodnou komerčně dostupnou jednotku se sériovým rozhraním.
- 5) Vytvořte softwarové ovladače obou modulů v prostředí LabVIEW s využitím SW modulu FPGA.
- 6) Určete metrologické parametry analogového vstupně-výstupního modulu a demonstруйте vlastnosti GPS modulu jako jednotky pro přesnou synchronizaci a lokalizaci.

## DOPORUČENÁ LITERATURA:

- [1] National Instruments. cRIO-9951 Module Development Kit (MDK) User Manual. 2014.  
[2] National Instruments. LabVIEW 2014 FPGA Module Help. 2014.

**Termín zadání:** 9.2.2015

**Termín odevzdání:** 18.5.2015

**Vedoucí práce:** Ing. Zdeněk Havránek, Ph.D.

**Konzultanti diplomové práce:**

**doc. Ing. Václav Jirsík, CSc.**  
*Předseda oborové rady*

## **Abstrakt**

Diplomová práce se zabývá návrhem a realizací měřicích a komunikačních modulů pro platformu Compact RIO.

V první části jsou popsány platformy od firmy National Instruments, použitelné pro měřicí a regulační techniku. Podrobněji je rozvedena platforma CompactRIO. Ve druhé kapitole se práce věnuje popisu hardwarových požadavků potřebných pro zkonstruování modulu, komunikace s moduly a pracovní režimy. Ve třetí teoretické části jsou uvedeny informace o podpůrných programech. V závěru třetí části je popsána realizace jednoduché vstupní digitální karty. V dalších částech jsou popsány praktické návrhy karet (analogová vstupně výstupní karta, GPS modul) a dosažené výsledky.

## **Klíčová slova**

CompactRIO, NI cRIO-9951, vývojový kit, FPGA, National Instruments, digitální modul, vstupní / výstupní analogový modul, GPS, LabVIEW

## **Abstract**

This thesis describes design and manufacture of measuring and communication modules for CompactRIO platform.

In the first section is described platform from National Instrument suitable for measurement and control technology. There is written more fact about CompactRIO. The second part is focused on description of the hardware requirements needed to construct the module, communication and working modes. The third part describes information about support programs. At the end of third part is describes practical application of input digital card. Next section consists of practical proposal modules (input / output analog module, GPS modulu) and achievements.

## **Keywords**

CompactRIO, NI cRIO-9951, Module Development Kit, FPGA, National Instruments, digital module, input / output analog module, GPS, LabVIEW

### **Bibliografická citace:**

PIVNIČKA, M. *Uživatelské měřicí moduly pro platformu cRIO*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2015. 74s. Vedoucí diplomové práce byl Ing. Zdeněk Havránek, Ph.D.

## **Prohlášení**

„Prohlašuji, že svou diplomovou práci na téma Uživatelské měřicí moduly pro platformu cRIO jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 15. května 2015

.....  
podpis autora

## **Poděkování**

Děkuji vedoucímu diplomové práce Ing. Zdeňku Havránkovi Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce. Dále bych chtěl poděkovat Ing. Jiřímu Fialkovi, Ing. Miroslavu Uherovi, Ing. Stanislavu Pikulovi a Ing. Martinu Čalovi za cenné rady.

V Brně dne: 15. května 2015

.....  
podpis autora

# Obsah

|                                                                       |    |
|-----------------------------------------------------------------------|----|
| Seznam obrázků .....                                                  | 7  |
| Seznam tabulek.....                                                   | 9  |
| Seznam grafů.....                                                     | 9  |
| Úvod .....                                                            | 10 |
| 1 Systémy pro virtuální instrumentaci.....                            | 11 |
| 1.1 NI myDAQ.....                                                     | 12 |
| 1.2 CompactDAQ.....                                                   | 13 |
| 1.3 PXI .....                                                         | 13 |
| 1.3.1.1 Řídící jednotka PXI .....                                     | 14 |
| 1.3.1.2 Šasi PXI .....                                                | 14 |
| 1.3.1.3 Zásuvné moduly.....                                           | 15 |
| 1.3.2 Compact RIO.....                                                | 15 |
| 1.3.2.1 Real-time procesor.....                                       | 15 |
| 1.3.2.2 FPGA šasi .....                                               | 17 |
| 1.3.2.3 I/O moduly.....                                               | 18 |
| 2 Hardwarové prostředky pro návrh modulů.....                         | 20 |
| 2.1.1 Mechanické vlastnosti .....                                     | 20 |
| 2.1.1.1 I/O konektory.....                                            | 21 |
| 2.1.2 Rozhraní pro připojení do CompactRIO .....                      | 22 |
| 2.1.2.1 Signály společné pro všechny operační módy.....               | 22 |
| 2.1.2.2 Signály pro časování a synchronizaci.....                     | 22 |
| 2.1.2.3 Signály pro komunikaci pomocí sběrnice SPI.....               | 23 |
| 2.1.2.4 Signály pro paralelní digitální komunikaci DIO .....          | 24 |
| 2.1.3 Režimy modulu .....                                             | 24 |
| 2.1.3.1 Režim spánku (Sleep Mode).....                                | 25 |
| 2.1.3.2 Klidový režim (Idle Mode).....                                | 25 |
| 2.1.3.3 Identifikační režim (ID Mode).....                            | 26 |
| 2.1.3.4 Pomocný komunikační režim (Auxiliary Communication Mode)..... | 28 |
| 2.1.3.5 Normální operační režim (Normal Operation Mode).....          | 28 |
| 2.1.4 SPI sběrnice .....                                              | 31 |
| 3 Vývojový kit pro návrh modulů - software .....                      | 33 |
| 3.1 LabVIEW .....                                                     | 33 |
| 3.2 LabVIEW FPGA Module .....                                         | 34 |
| 3.3 MDK Software .....                                                | 37 |
| 3.3.1 Komunikace s modulem .....                                      | 39 |
| 3.3.1.1 Příkazové rozhraní (Command Interface) .....                  | 39 |
| 3.3.1.2 Časové rozhraní (Timing Interface).....                       | 40 |
| 3.3.1.3 Stavové rozhraní (Status Interface) .....                     | 40 |

|         |                                                    |    |
|---------|----------------------------------------------------|----|
| 3.3.1.4 | Rozhraní pro ladění (Debug Interface) .....        | 41 |
| 3.3.2   | XML soubory .....                                  | 41 |
| 3.3.3   | Přidání modulu do projektu .....                   | 41 |
| 3.4     | Praktické seznámení s vývojovým kitem .....        | 42 |
| 3.4.1   | Software pro modul MP-1111 .....                   | 44 |
| 4       | Analogová vstupně výstupní měřicí karta .....      | 46 |
| 4.1     | Komplikace při oživování .....                     | 49 |
| 4.2     | Návrh a výpočet hodnot komponent .....             | 50 |
| 4.3     | Software pro čtení a generování napětí .....       | 52 |
| 4.4     | Měření a charakteristiky .....                     | 54 |
| 5       | GPS .....                                          | 58 |
| 5.1     | Struktura systému GPS .....                        | 58 |
| 5.2     | GPS přijímač .....                                 | 59 |
| 5.3     | Principy měření vzdálenosti .....                  | 61 |
| 5.4     | Signály družic .....                               | 62 |
| 5.5     | Návrh karty s GPS modulem .....                    | 63 |
| 5.6     | Oživení karty .....                                | 66 |
| 5.6.1   | NMEA protokol .....                                | 68 |
| 5.6.2   | Program pro komunikaci s GPS modulem MAESTRO ..... | 70 |
| 6       | Závěr .....                                        | 72 |
|         | Literatura .....                                   | 73 |
|         | Přílohy .....                                      | 75 |

## SEZNAM OBRÁZKŮ

|             |                                                                    |    |
|-------------|--------------------------------------------------------------------|----|
| Obrázek 1.  | NI myDAQ <sup>[1]</sup>                                            | 12 |
| Obrázek 2.  | CompactDAQ <sup>[2]</sup>                                          | 13 |
| Obrázek 3.  | PXI <sup>[3]</sup>                                                 | 14 |
| Obrázek 4.  | Architektura CompactRIO <sup>[4]</sup>                             | 15 |
| Obrázek 5.  | CompactRIO 9082 <sup>[4]</sup>                                     | 17 |
| Obrázek 6.  | MXI-Express RIO                                                    | 18 |
| Obrázek 7.  | Velikost DPS a rozmístění konektorů <sup>[5]</sup>                 | 21 |
| Obrázek 8.  | Doporučené zapojení pinů <sup>[5]</sup>                            | 21 |
| Obrázek 9.  | Schéma přepínání mezi moduly <sup>[5]</sup>                        | 25 |
| Obrázek 10. | Standardní čtecí sekvence pro čtení z paměti EEPROM <sup>[5]</sup> | 26 |
| Obrázek 11. | Časový diagram pro externě časované moduly <sup>[5]</sup>          | 28 |
| Obrázek 12. | Jednokanálové měření - průběh čtení hodnot <sup>[5]</sup>          | 29 |
| Obrázek 13. | Průběh metody překrývajícího se simultánního měření <sup>[5]</sup> | 30 |
| Obrázek 14. | Vícehodnotový zápis <sup>[5]</sup>                                 | 31 |

|                                                                   |    |
|-------------------------------------------------------------------|----|
| Obrázek 15. SPI sběrnice <sup>[6]</sup>                           | 32 |
| Obrázek 16. LabVIEW                                               | 34 |
| Obrázek 17. Host VI                                               | 35 |
| Obrázek 18. Flat Sequence a Loop Timer                            | 35 |
| Obrázek 19. Ukázka paralelismu v LabVIEW FPGA                     | 36 |
| Obrázek 20. Kompilace s využitím lokálního serveru                | 37 |
| Obrázek 21. Softwarové vrstvy a implementace MDK                  | 38 |
| Obrázek 22. Paleta MDK 2 API (SCTL)                               | 39 |
| Obrázek 23. I/O reference cluster                                 | 42 |
| Obrázek 24. Blokové schéma karty MP- 1111                         | 43 |
| Obrázek 25. Vnitřní blokové schéma ADuM 6404 <sup>[10]</sup>      | 43 |
| Obrázek 26. Front panel VI pro vývoj karty MP-1111                | 44 |
| Obrázek 27. Nový projekt s modulem MP-1111                        | 45 |
| Obrázek 28. Schéma napájení komponent analogového I/O modulu      | 47 |
| Obrázek 29. Simulace pro určení hodnot externích rezistorů        | 51 |
| Obrázek 30. Programová sekvence zápisu hodnoty do DA převodníku   | 53 |
| Obrázek 31. Programová sekvence pro čtení dat z AD převodníku     | 53 |
| Obrázek 32. Blokové schéma zapojení pro měření napětí             | 55 |
| Obrázek 33. Generovaný sinusový průběh $f = 2\text{kHz}$          | 56 |
| Obrázek 34. Generovaný sinusový průběh $f = 50\text{ Hz}$         | 56 |
| Obrázek 35. Zobrazení průběhu na signálu CS DA převodníku         | 57 |
| Obrázek 36. Kosmický segment systému GPS <sup>[14]</sup>          | 58 |
| Obrázek 37. Družice GPS IIR(M) <sup>[15]</sup>                    | 59 |
| Obrázek 38. Ukázky pasivních antén (Patch, Helix) <sup>[16]</sup> | 60 |
| Obrázek 39. Blokové schéma GPS přijímače <sup>[17]</sup>          | 61 |
| Obrázek 40. Signály vysílané družicemi <sup>[19]</sup>            | 63 |
| Obrázek 41. GPS modul - Maestro A2200-A <sup>[20]</sup>           | 64 |
| Obrázek 42. Blokové schéma napájení karty s GPS modulem           | 65 |
| Obrázek 43. Průběh signálu 1PPS                                   | 67 |
| Obrázek 44. Praktické měření                                      | 67 |
| Obrázek 45. Rámec protokolu OSP <sup>[21]</sup>                   | 68 |
| Obrázek 46. Nalezení indexu GGA zprávy                            | 71 |
| Obrázek 47. Dekódování a zobrazení dat GGA zprávy                 | 71 |

## SEZNAM TABULEK

|                                                            |    |
|------------------------------------------------------------|----|
| Tabulka 1. Srovnání typů procesorů                         | 16 |
| Tabulka 2. Kompatibilita modulů s hardwarovými platformami | 19 |
| Tabulka 3. Určení hodnoty EEPROM Size                      | 27 |
| Tabulka 4. Možné stavy modulu                              | 40 |
| Tabulka 5. Hodnoty zapsané v paměti EEPROM                 | 45 |
| Tabulka 6. Možné AD převodníky                             | 46 |
| Tabulka 7. Vybrané digitálně analogové převodníky          | 47 |
| Tabulka 8. Výkonový balance komponent analogového modulu   | 48 |
| Tabulka 9. Cenová balance analogové karty                  | 48 |
| Tabulka 10. Dostupné GPS moduly                            | 64 |
| Tabulka 11. Cenová balance karty s GPS modulem             | 65 |
| Tabulka 12. GSA věta                                       | 69 |
| Tabulka 13. RMC věta                                       | 69 |
| Tabulka 14. Věta GGA                                       | 70 |

## SEZNAM GRAFŮ

|                                                        |    |
|--------------------------------------------------------|----|
| Graf 1. převodní charakteristika ADA4941-1             | 52 |
| Graf 2. Naměřená výstupní charakteristika AD/DA modulu | 54 |
| Graf 3. Absolutní a relativní chyba výstupního kanálu  | 55 |

# ÚVOD

Již od minulosti bylo důležité správně změřit, vyhodnotit, uložit a popřípadě i zobrazit naměřená data. K tomu dříve sloužily ručkové mechanické měřicí přístroje, zapisovače a mnohé další aparáty, potřebné pro zapracování naměřených dat. Jejich velkou nevýhodou bylo potřeba přítomnosti obsluhy pro odečítání, nepřesnost, mechanické prvky a další. S postupným rozvojem technologií a elektronických součástek se začaly přístroje zdokonalovat a postupně vymizela potřeba přítomnosti lidského faktoru. Začaly se vyvíjet měřicí systémy, které automaticky měří a zpracovávají získaná data.

V dnešní době existuje mnoho měřicích přístrojů, které poskytují možnost měřit různé veličiny. Lze si vybrat zařízení, které měří pouze jednu nebo více podobných veličin. Existují i zařízení, do kterých se připojují měřicí karty, což umožňuje využití pro velké množství aplikací. Jedním z takových platforem je i CompactRIO od firmy National Instruments. Existují aplikace, pro které ještě nebyl vyvinut měřicí modul, protože nedosahují dostatečné přesnosti, rozsahů nebo jsou příliš drahé. Důsledkem toho byl vytvořen vývojový kit MDK (Module Development Kit) pro výrobu vlastních modulů.

Diplomová práce se bude zabývat popisem vývojového kitu pro návrh modulů pro platformu CompactRIO. Po seznámení s informacemi potřebnými k realizaci modulů, budou popsány tři vyrobené měřicí karty. První je osmibitová vstupní digitální karta, další analogová karta obsahující dva analogově-digitální a jeden digitálně-analogový převodník. Poslední karta obsahuje GPS modul a je tedy vhodná pro zjištění polohy a přesnou časovou synchronizaci.

# 1 SYSTÉMY PRO VIRTUÁLNÍ INSTRUMENTACI

National Instruments (NI) patří mezi nejznámější a největší firmy, které se zabývají sběrem a vyhodnocením dat. Tato americká společnost, kterou v roce 1976 založili James Truchard, Jeff Kodosky a Bill Nowlin, má své hlavní sídlo v městě Austin v Texasu. Soustředí se hlavně na vývoj softwaru pro zpracování naměřených signálů a výrobu měřicích zařízení. Dále se NI orientuje i na oblasti počítačového vidění, automobilního průmyslu, robotiky, energetiky, automatického testování, biomedicíny, telekomunikace a mnoho dalších aplikací.

K velkým úspěchům této firmy se řadí vývoj GPIB rozhraní pro osobní počítače IBM v roce 1983, pro které postupem času inženýři vyvinuli softwarové prostředí pro intuitivní a jednodušší ovládání pojmenované LabVIEW (Laboratory Virtual Instrument Engineering Workbench). S vývojem LabVIEW se firma rychle rozrostla a jejich produkty používali a dodnes používají věhlasní zákazníci jako například jsou Apple, Ford, Boeing, GE, IBM, Intel a také NASA, která využila systém od NI pro sledování úniků z palivového systému raketoplánu.

Z důvodu co největší univerzálnosti a použitelnosti LabVIEW bylo v něm implementováno sběr, analýza, zpracování a vizualizace dat. NI má ve svém portfoliu i další vývojová prostředí:

- LabVIEW
- LabWindows/CVI
- Measurement Studio

Pro určité aplikace byly vyvinuty i aplikační softwary:

- TestStand
- DIAdem
- Multisim
- SignalExpress
- a další

S rozvojem grafického softwaru se postupně začaly rozvíjet i hardwarové produkty, které se mohou rozdělit na tyto hlavní skupiny:

- Sběr dat
- Automatické testování
- Vestavné systémy pro řízení a monitoring
- Průmyslové komunikační sběrnice
- Ovládání přístrojů
- Hardware pro výuku
- Hardwarové platformy

National Instruments se vydalo po modulární cestě. To znamená, že měřicí, generátorové a další zařízení jsou konstruovány jako karty - moduly do hardwarových platforem namísto jednoúčelových zařízení.

## 1.1 NI myDAQ

Multifunkční karta myDAQ slouží k měření a generování napětí. Komunikuje pomocí sériové sběrnice USB. Obsahuje dva analogové a osm digitálních vstupů a výstupů.

Tento přístroj je velmi vhodný pro nenáročné aplikace. Velké využití má jak ve školních laboratořích, tak i u samotných studentů. Jeho velkou výhodou je malá cena, přenositelnost a ve spojení se softwarem lze jednoduše a rychle nahradit několik přístrojů.



Obrázek 1. NI myDAQ <sup>[1]</sup>

MyDAQ se připojuje k počítači pomocí USB a zahrnuje v sobě tyto zařízení:

- digitální multimetr
- osciloskop
- funkční generátor
- digitální vstupy
- digitální výstupy
- dynamický analyzátor signálů
- Bodeho analyzátor
- generátor libovolných průběhů

S použitím softwaru NI ELVISmx můžeme jednoduše ovládat výše popsané nástroje velmi jednoduše, stačí jenom připojit a okamžitě měřit nebo generovat signály.

[1]

## 1.2 CompactDAQ

Zařízení CompactDAQ je modulární měřicí systém umožňující připojení měřicích modulů. CompactDAQ je složen ze šasi, možné vestavěné řídicí jednotky a zásuvných modulů. Je vhodné jej použít pro měření více veličin a časově náročnějšího zpracování.



Obrázek 2. CompactDAQ <sup>[2]</sup>

Díky malým rozměrům jej lze umístit blízko testovaným objektům a tím i odstranit nepříjemné rušení, které by vznikalo na vedení. Přenášení dat se děje s využitím ethernetu, USB nebo bezdrátově s využitím WIFI modulu. Další možností je vybrat si CompactDAQ s vestavěným procesorem, který se stará o zpracování a vyhodnocení signálů. Existuje možnost si vybrat šasi odlišené podle počtu připojených modulů (1,4 nebo 8). [2]

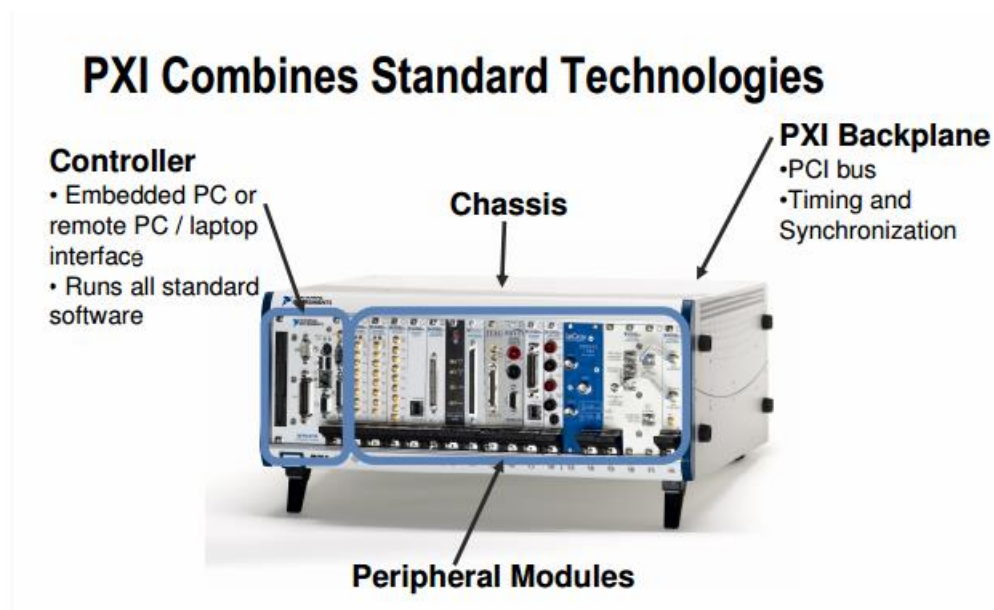
## 1.3 PXI

Pro nejnáročnější aplikace, které potřebují velký výpočetní výkon je určen systém PXI (PCI eXtension for Instrumentation). Je to vlastně PC platforma vhodná pro měřicí a automatizační systémy. Tato hardwarová platforma byla vyvinuta v roce 1997.

PXI kombinuje standardní PCI sběrnice s modulární kartou CompactPCi a k tomu přidává speciální synchronizační sběrnice. Jeho použití je zvláště v oblasti měření, řízení, regulace. Dále se používá v letectví a také v armádě.

Hlavní části hardwarové platformy jsou:

- Řídicí jednotka
- Šasi
- Zásuvné moduly



Obrázek 3. PXI <sup>[3]</sup>

#### 1.3.1.1 Řídicí jednotka PXI

Vestavěný řídicí jednotky eliminuje potřebu výpočetního výkonu externího počítače, proto obsahuje komponenty jako normální PC – pevný disk, paměť procesor Intel atd. Pracuje na operačním systému Microsoft Windows OS, Linux nebo real-time OS. Ke komunikaci slouží například Ethernet, USB, sériový nebo paralelní port. Vestavěné řídicí jednotky se používají hlavně pro aplikace, kde je potřeba splnit požadavky determinismu a spolehlivosti, a také tam, kde operátor prostřednictvím myši nebo klávesnice vůbec nezasahuje.

Programy, které zpracovává řídicí jednotka PXI, mohou být ovládány vzdáleně prostřednictvím PC nebo notebooku. Toho se využívá v aplikacích, kde je potřeba ještě většího výpočetního výkonu, ukládání velkého množství dat. Pro řízení PXI na velké vzdálenosti je vhodné použít optický kabel. Pro nejsložitější úlohy, kde je potřeba vícejádrové operace pro intenzivní výpočty, ukládání obrovského množství dat, je možné využít procesory v racku. [3]

#### 1.3.1.2 Šasi PXI

Součástí šasi je propojovací sběrnice PXI, která zahrnuje PCI nebo PCI Express sběrnici, napájení, chlazení, časování a synchronizační sběrnici, proto je vhodné pro aplikace, kde je potřeba přesná časová synchronizace. Podle typu obsahuje 4 až 26 slotů pro karty (zásuvné moduly). Hlavní rozdíl mezi šasi pro PCI a PCI Express je topologie zapojení jednotlivých slotů. Pro PCI je topologie sdílená sběrnice, kdežto u PCI Express je využit přístup dvoubodový spoj (point-to-point). [3]

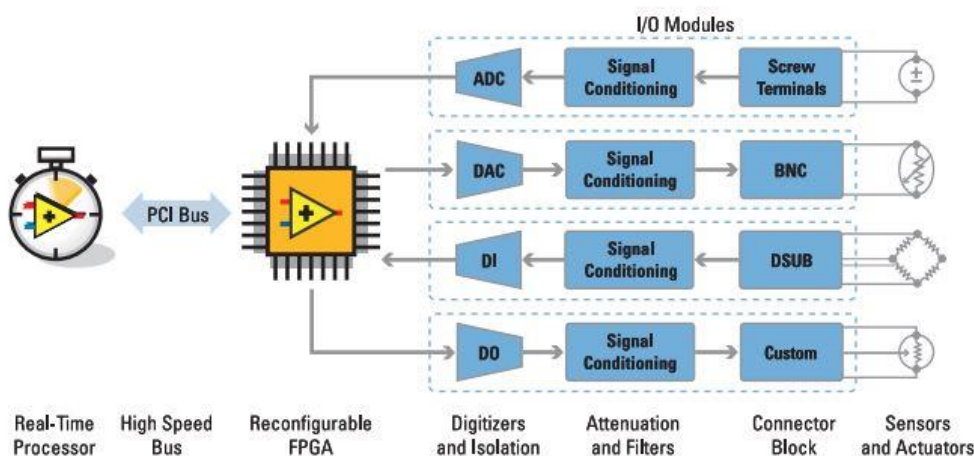
### 1.3.1.3 Zásuvné moduly

V dnešní době existuje více než tisíc modulů, které se lze připojit do PXI. Zásuvné moduly jsou rozděleny podle mnoha kritérií, z nichž jedno je oblast použití:

- Měření a řízení (analogové a digitální I/O, časovače, řízení motorů, atd)
- Modulární přístroje (multimetr, generátor, programovatelný napájecí zdroj, atd)
- Komunikace (RS-232, GPIB, Profibus, CAN, atd)
- Další (DSP, audio, GPS, paměti, atd)

### 1.3.2 Compact RIO

CompactRIO je jedním z vlajkových produktů firmy National Instruments. Vyznačuje se malými rozměry, velkou odolností a při použití nejnovějších vestavěných procesorů, také poměrně velkým výpočetním výkonem. Velkou výhodou je jeho možnost konfigurace kontrolérů, šasi a modulů. Kromě výkonného dvoujádrového real-time procesoru obsahuje i rekonfigurovatelné hradlové pole (FPGA). Architektura zařízení je ukázána na následujícím obrázku.



Obrázek 4. Architektura CompactRIO <sup>[4]</sup>

#### 1.3.2.1 Real-time procesor

Pro náročnější aplikaci potřebující vyšší výpočetní výkon si lze vybrat ze tří řad vestavěných procesorů:

- Value
- Ultra Rugged
- Performance

*Tabulka 1. Srovnání typů procesorů*

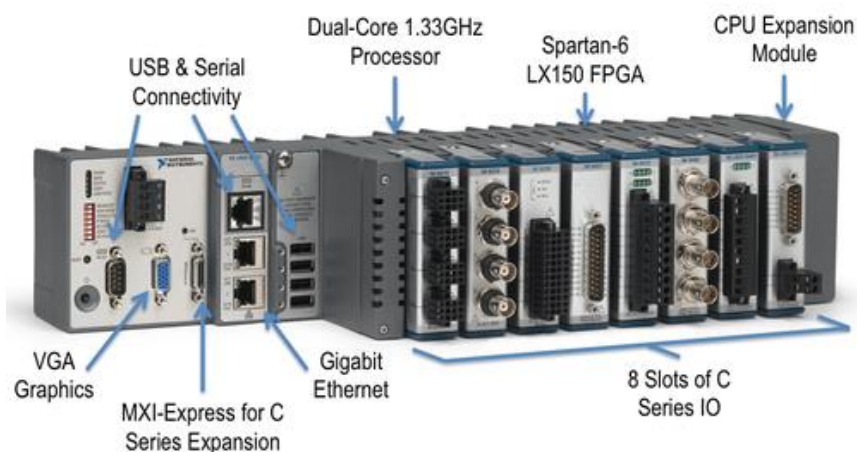
|                 | Value                           | Ultra Rugged                                 | Performance                        |
|-----------------|---------------------------------|----------------------------------------------|------------------------------------|
| Výkon procesoru | 667 MHz, 2 jádra                | 800 MHz                                      | 1.33 GHZ, 2 jádra                  |
| FPGA            | 85 000 logických buněk          | 110 000 logických buněk                      | 326 000 logických buněk            |
| OS              | Real time                       | Real time                                    | Windows/Real-Time OS               |
| Aplikace        | Mobilní roboti<br>Řízení pohonů | Monitorování strojů<br>Monitorování napájení | Řízení turbín<br>Průmyslový roboti |

Existuje možnost zvolení operačního systému z následující nabídky:

- LabVIEW Real-Time OS
- Microsoft Windows Embedded Standart 7 (WES7)
- NI Linux Real-Time.

Pro aplikace, které jsou velmi náročné a vyžadují deterministické chování je velmi vhodný LabVIEW Real-Time OS. Díky přesnému časování, přiřazování priorit jednotlivým úlohám, optimalizaci a spolehlivost systému jej lze použít pro úlohy jako je řízení systémů v uzavřených smyčkách.

Pro komunikaci s nadřazeným systémem, ovládání programu, záznamu dat na externí úložiště slouží množství periférií. Například pomocí vysokorychlostního univerzálního sériového portu USB lze připojit myš nebo klávesnici, pro zobrazení uživatelského rozhraní je přítomen grafický port VGA. Pro komunikace s dalšími zařízeními slouží sériové linky RS 232 a RS 485, dále je zabudován i gigabitový Ethernet. Dalším využitím Ethernetu je připojení ke kamerám, které mají GigE Vision rozhraní. Díky velkému výpočetnímu výkonu se CompactRIO s použitím těchto kamer hodí pro strojové vidění použitelné pro řízení autonomních robotů, monitorování průmyslových provozů a mnoho dalších. S využitím zabudovaného VGA lze zobrazit například aktuální obrázky nebo výsledky kamerových inspektorů. [4]



Obrázek 5. CompactRIO 9082 <sup>[4]</sup>

### 1.3.2.2 FPGA šasi

Rekonfigurovatelné FPGA šasi je hlavní součástí architektury. Nejnovější zařízení využívají programovatelné hradlové pole (Artix-7, Kintex-7, Spartan-6) od firmy Xilinx, která je jednou z nejlepších v oboru.

Přímé připojení hradlového pole ke vstupům a výstupům modulů umožňuje velmi rychlý přenos dat, zpracování, synchronizační flexibilitu, časování a další výhody. FPGA komunikuje se vstupy a výstupy real-time procesoru, a proto se hodí pro aplikace jako řízení zahrnující vysokorychlostní I/O vyrovnávací paměti, velmi rychlé regulační smyčky nebo filtraci signálu. Díky tomu, že veškerý program běží v hradlových polích, čím je dosaženo determinismu a velké spolehlivosti, je velmi vhodné jej využít pro hardwarové blokování, časování nebo spouštění. K vytvoření tohoto programu není potřeba znát programovací jazyky, které se používají k programování hradlových polí, neboť inženýři z NI vyvinuli softwarový modul LabVIEW FPGA.

V případě potřeby více I/O modulů než obsahuje šasi, lze měřicí systém rozšířit o další přídatné šasi MXI-Epress RIO. Obsahuje osm nebo čtrnáct slotů pro moduly řady C. MXI-Epress RIO je připojen s hlavním systémem pomocí sběrnice MXI-Express x1. Nejzajímavějším parametrem této sběrnice je velká šířka pásma přes 200 MB/s a nízká latence. MXI-Express RIO můžeme po nahrání programu použít pro zpracování dat pomocí hradlového pole samostatně, což je vhodné pro řízení hardwarové smyčky (Hardware-in-the-Loop - HIL) a pro další aplikace. Celkem je možné propojit šest šasi do měřicího řetězce. Ke kontroléru se může připojit až osm těchto řetězců, což při použití šasi se čtrnácti sloty vede k možnosti připojení přes šest set padesát I/O modulů do jednoho velkého měřicího řetězce. [4]



*Obrázek 6. MXI-Express RIO*

### **1.3.2.3 I/O moduly**

National Instruments nabízí celou řadu modulů, které je možné zasunout do šasi CompactRIO. Lze je dělit podle použité aplikace do těchto skupin:

- měření napětí
- měření proudu
- měření teploty
- měření odporu
- měření mechanického napětí
- akcelerometry
- mikrofony
- generátor napětí a proudu
- digitální vstupy a výstupy
- relé
- čítač
- komunikace CAN, sériová, DeviceNet
- ovládání motorů
- časování a synchronizace
- paměť

Před pořízením modulu, je třeba zjistit kompatibilitu s použitou hardwarovou platformou. Příklady použitelnosti jsou zobrazeny v následující tabulce.

Tabulka 2. Kompatibilita modulů s hardwarovými platformami

| Název   | Popis                  | CompactDAQ | NI USB<br>(9162) | NI<br>WLS/ENET<br>(9163) | CompactRIO<br>FPGA |
|---------|------------------------|------------|------------------|--------------------------|--------------------|
| NI 9205 | AI                     | x          | -                | x                        | x                  |
| NI 9211 | Termočlánky            | x          | x                | x                        | x                  |
| NI 9263 | AO                     | x          | x                | -                        | x                  |
| NI 9381 | AI / AO                | -          | -                | -                        | x                  |
| NI 9421 | DI                     | x          | x                | x                        | x                  |
| NI 9478 | DO                     | x          | -                | -                        | x                  |
| NI 9467 | GPS                    | -          | -                | -                        | x                  |
| NI 9866 | LIN                    | x          | -                | -                        | x                  |
| NI 9501 | Driver –krok.<br>motor | -          | -                | -                        | x                  |
| NI 9802 | Paměť                  | -          | -                | -                        | x                  |
| NI 9870 | RS232                  | -          | -                | -                        | x                  |
| NI 9951 | CompactRIO<br>MDK      | -          | -                | -                        | x                  |

Po zveřejnění vývojového kitu cRIO-9951 se několik firem stalo výrobcem svých vlastních modulů. Asi největší dodavatel modulů, který se specializuje na zpracování signálů z GPS se jmenuje S.E.A. V jejím portfoliu je možné nalézt mimo jiné moduly pro mobilní a bezdrátovou komunikaci, zpracování signálů, ale i LCD display připojitelný přímo ke CompactRIO (SEA 9745, SEA 9405).

Mezi další schválené dodavatele modulů patří:

- Marine Innovation (GPS modul)
- Comsoft (Profibus DP – Master / Slave)
- SET (ARINC 429 – TX/RX převodník, LVDT)
- Drivven (Řízení motorů, Hallové sondy, řízení zapalování)
- Wireflow (Multiplexer – WF 3132)
- TangentBlue (SPI/I2C převodník – TB 3501)
- Robotronix (RX-XY2-100 komunikační modul)
- Bluetechnix (Modul s procesorem -ADI Blackfin 537)
- MoviMed (Video modul -AF 1501)
- Kistler (Nábojový zesilovač pro piezoelektrické snímače – 5171A)
- a další

I přes velkou nabídku se může stát, že ani jedna z karet nevyhovuje svými parametry nebo ještě nebyla vyvinuta. Pro tento účel byl navržen již zmiňovaný vývojový kit, který umožní výrobu vlastního modulu. [4]

## 2 HARDWAROVÉ PROSTŘEDKY PRO NÁVRH MODULŮ

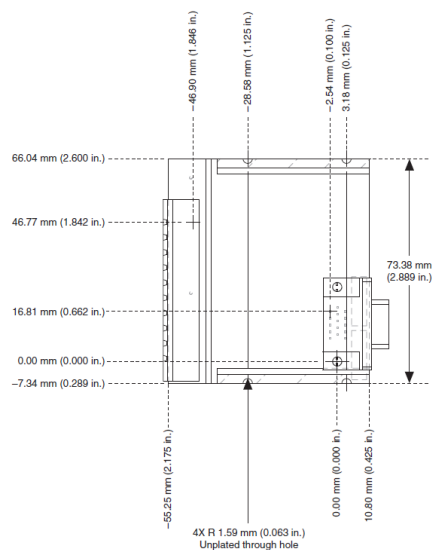
Pro návrh a následnou realizaci nového modulu je nutné dodržet určité předepsané elektrické a mechanické parametry, zajišťující kompatibilitu s jinými kartami. Z důvodu dodržení licenční smlouvy vázané na tento vývojový kit budou popsány informace pouze obecně. Pro výrobu nového modulu je nutné si pořídit vývojový kit cRIO-9951.

### 2.1.1 Mechanické vlastnosti

Aby bylo možné připojit vytvořený modul do šasi CompactRIO, je nutné dodržet přesné rozměry a rozmístění konektorů. Tvar pouzdra, do kterého se vkládá deska plošných spojů, si můžeme objednat i podle použitých konektorů. Taktéž konektory, do kterých se připojují měřené nebo generované signály, si můžeme vybrat podle potřeby (šroubovací, DSUB konektory, BNC). Volbou konektorového rozhraní měníme i vhodný obal, vše je označeno pod názvy cRIO 9952 – cRIO 9956.

Při hardwarovém návrhu musíme brát ohledy na velikost desky plošných spojů a také i na výšku jednotlivých prvků, ať už to jsou součástky nebo konektory. Aby DPS přesně pasovala do pouzdra, musí mít následující rozměry: 73,38 x 66,04 x 1,57mm. Ze spodní strany mohou součástky vyčnívat o 2,54 mm a z horní strany nesmí být větší jak 13,4 mm. Při nedodržení těchto stanovených limitů může docházet ke zkratům, kdy se kontakty budou dotýkat obalu. Je také potřeba na krajích desky vynechat routovací plochu 3 mm na obou stranách (nahore, dole), aby nedošlo k dotyku při zasunutí do obalu.

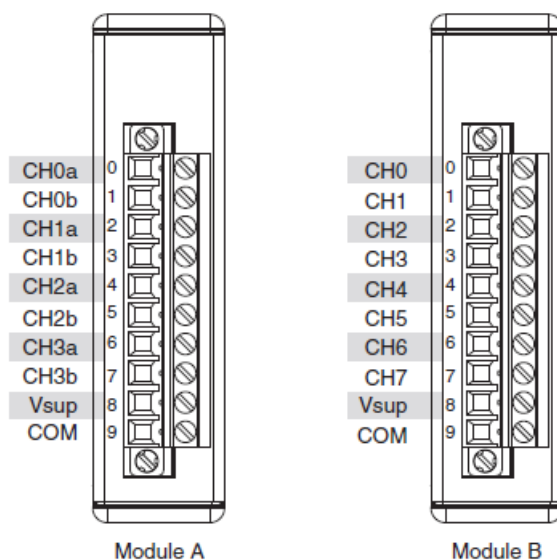
Pro prodej vlastního modulu ostatním uživatelům je důležité při návrhu dodržet určité parametry, jako je stupeň krytí IP 40, provozní teplota od -40°C až po 70 °C a mnoho dalších, které zajišťují bezpečnost, elektromagnetickou kompatibilitu atd. [5]



Obrázek 7. Velikost DPS a rozmístění konektorů<sup>[5]</sup>

### 2.1.1.1 I/O konektory

Je vhodné dodržovat i výběr standardních typů konektorů pro moduly série C, které používá i firma NI. Mezi ně patří dvou, deseti a šestnácti pinový šroubovací, 25 a 37 pinový DSUB a také 36 pinový pérový konektor. Při návrhu názvu pinů je vhodné se držet uspořádání, které se používá na jiných modulech, abychom zajistili co největší kompatibilitu. Názorná ukázka uspořádání pro deseti pinový šroubovací konektor je zobrazena na obrázku 8.



Obrázek 8. Doporučené zapojení pinů<sup>[5]</sup>

I pro další typy konektorů je doporučeno podívat se na podobné moduly a inspirovat se jejich rozložením pinů pro dodržení standardizace. [5]

## **2.1.2 Rozhraní pro připojení do CompactRIO**

Aby mohla vytvořená karta komunikovat se systémem cRIO musí být definováno fyzické rozhraní. Pro moduly C – série byl zvolen patnácti pinový DSUB konektor. Pomocí tohoto konektoru jsou realizovány všechny potřebné signály včetně napájení a uzemnění. Jednotlivé piny mají nejednoznačné funkce, které se volí podle volby režimu, ve kterém pracuje. Konfigurace jednotlivých pinů a funkcí uvedena v XML souborech. V manuálu jsou také definovány potřebné elektrické specifikace pro každý signál.

Pro popis jednotlivých funkcí pinů je dobré tyto signály rozdělit podle funkce:

- Signály společné pro všechny operační módy
- Signály pro časování a synchronizaci
- Signály pro komunikaci pomocí sběrnice SPI
- Signály pro paralelní digitální komunikaci DIO

### **2.1.2.1 Signály společné pro všechny operační módy**

Mezi signály, které jsou společné ve všech operačních režimech, patří VCC, GND, SLEEP, ~ID\_SELECT. Signály označené jako RESERVED musí být nyní nezapojené. V budoucnu se jejich úloha může změnit a sloučit pro jiné specifické funkce.

Pin GND zajišťuje společnou zem pro napájení i pro jednotlivé signály. Pro napájení slouží VCC, úroveň napětí je  $5\text{ V} \pm 5\%$  a odebíraný proud může být maximálně 200 mA. V případě potřeby většího napětí nebo proudu je možné napájet kartu z externího zdroje, ale v tomto případě musí být galvanicky oddělené obvody napájení.

Detekce přítomnosti a výběr módu (volba režimu) zajišťuje signál ~ID\_SELECT. Na modulu musí být přítomen pull-up rezistor, aby došlo k rozpoznání přítomnosti. [5]

### **2.1.2.2 Signály pro časování a synchronizaci**

K signálům, které zajišťují časovou synchronizaci patří tyto tři:

- ~CONVERT,
- ~DONE
- TRIG\_OUT.

Signál ~CONVERT představuje dvě funkce. První slouží jako časová inicializace externích modulů a druhá pro resetování modulů, které mají v sobě použito vlastní zdroj časování. Tohoto signálu využívají analogově číslicové převodníky pro začátek konverze napětí.

Signál ~DONE umožňuje volbu mezi dvěma volitelnými funkcemi. První je signalizaci průběhu komunikace. Druhá funkce je možnost omezení přenosu. Po

každém bytu musí být na tomto signálu určitá logická úroveň, jinak dojde k zastavení komunikace, až do doby, kdy se nevrátí na požadovanou logickou úroveň.

Poslední ze signálů určených pro synchronizaci je TRIG\_OUT. Jak už z názvu vypovídá, je vhodný pro spouštění událostí například při dosažení určité úrovně na komparátoru, nebo vnější podnět, který je prezentován digitálním vstupem. [5]

### 2.1.2.3 Signály pro komunikaci pomocí sběrnice SPI

Při použití komunikace SPI budeme potřebovat následující signály:

- MOSI
- MISO
- SPI\_CLK
- SPI\_FUNC
- ~SPI\_CS.

Signál MOSI (Master-Out,Slave-In) slouží k posílání data z CompactRIA (master) do modulu (slavu). Data jsou vždy platná při náběžné hraně signálu SPI\_CLK.

Signál MISO (Master-In,Slave-Out) se používá k přenosu informace od zařízení na modulu (AD převodník) do CompactRIA. Platnost dat na lince je při sestupné hraně na signálu SPI\_CLK. Ale oproti signálu MOSI jsou data čtena až při následující sestupné hraně, to znamená, že první poslaný bit je přečten až při druhé sestupné hraně, druhý bit při třetí a podobně.

Signál SPI\_CLK slouží jako hodiny pro sběrnici SPI (platnost dat při nástupné nebo sestupné hraně).

Signál ~SPI\_CS je taktéž řízen z platformy CompactRIO a určuje okamžiky, kdy má dojít k přenosu dat pomocí sběrnice SPI. Při vysoké logické úrovni na tomto pinu se nic neposílá, ale při nízké logické úrovni již musí modul akceptovat signály SPI\_CLK a MOSI.

Poslední z této skupiny je signál SPI\_FUNC, který má podobně jako předchozí signály dvě funkce. Jedna z nich je výběr mezi ID a pomocným komunikačním režimem. Při výběru ID módu je nastaven ~ID\_SELECT do stavu logické nuly a SPI\_FUNC je v logické jedničce. V kombinaci se signálem ~SPI\_CS je vhodné vytvořit logickou kombinaci, která zajistí čtení z EEPROM paměti pouze v ID režimu. Protože při konfiguraci komunikace v XML souboru již nelze využít pin DIO5 jako digitální výstup a tím zajistit nemožnost přepisování paměti. V pomocném komunikačním módu jsou signály ~ID\_SELECT a SPI\_FUNC drženy ve stavu logické nuly. V normálním komunikačním módu umožňuje výběr mezi dvěma libovolnými SPI porty. Například pro datový port (SPI\_FUNC = 0) a pro konfigurační port (SPI\_FUNC = 1). [5]

#### 2.1.2.4 Signály pro paralelní digitální komunikaci DIO

Tyto piny mohou být využity jako pomocné signály pro operace probíhající na modulu. Lze je také využít jako paralelní osmibitovou komunikaci. Celkem je možné připojit až osm signálů (DIO [0:7]). Velká výhoda je v rychlosti, neboť tyto signály se zpracovávají přímo v hradlovém poli. Jsou vhodné i pro časovou synchronizaci událostí. Některé piny při konfiguraci komunikace SPI nebo různých funkcí v XML souboru jsou již zarezervovány a nelze je použít jako digitální vstupy/výstupy. [5]

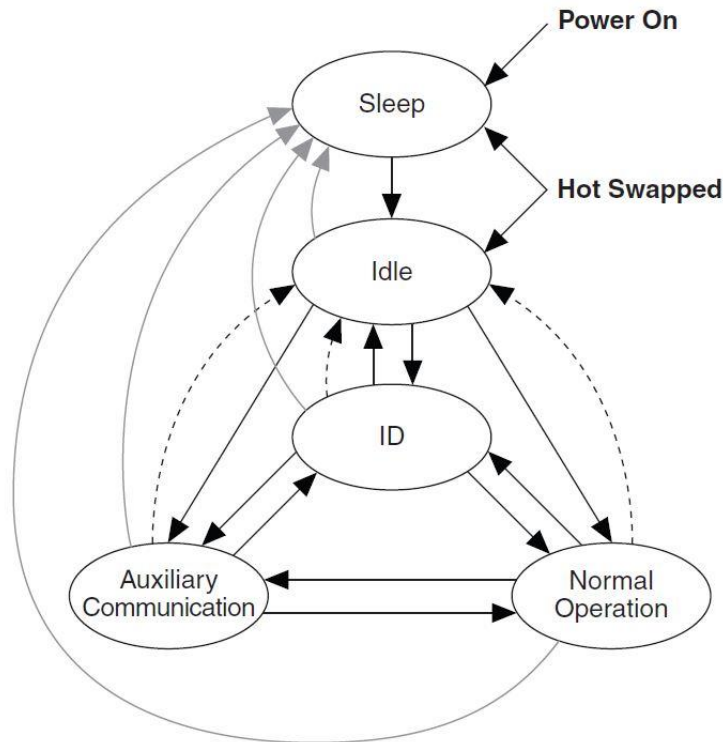
### 2.1.3 Režimy modulu

V předchozích kapitolách již byly zmíněny módy, ve kterých může realizovaný modul pracovat, ale ještě nikde nebyla o nich zmínka. Proto budou funkce, úrovně na vodičích, přechody do jiných stavů a mnoho dalších informací pro jednotlivé režimy popsány v této kapitole. Aby nově navrhovaná karta po připojení do jednotky CompactRIA mohla správně pracovat, musí být nejdříve provedeny kroky jako identifikace, konfigurace a až poté následuje vlastní funkce modulu. Právě k tomu, aby bylo možné provést předchozí operace, jsou dostupné následující režimy:

- Sleep Mode (režim spánku)
- Idle Mode (klidový režim)
- ID Mode (identifikační režim)
- Auxiliary Communication Mode (pomocný komunikační režim)
- Normal Operation Mode (normální operační režim)

Po zapnutí napájení CompactRIA je aktivní režim spánku, jenž uchovává modul v pohotovostním stavu. Dále následuje klidový režim, který slouží k detekci přítomnosti modulu. Po zjištění přítomnosti modulu následuje režim identifikace, kde se pomocí přečtení informací uložené v paměti EEPROM a porovnání dat uvedených v XML souborech zjistí přítomnost správného modulu. Po úspěšné identifikaci, lze dále pracovat v normálním operačním módu nebo v režimu pomocné komunikace, který je vhodný pro základní komunikaci s modulem pomocí sběrnice SPI. Zbývající piny lze nakonfigurovat obecně pro funkce, které nebylo možné naprogramovat v normálním operačním režimu. Hlavní funkčnost modulu by měla být implementována v normálním operačním režimu, což představuje použití signálů zajišťujících časovou synchronizaci, přenos dat a použití také paralelních digitálních vstupů nebo výstupů.

Na následujícím obrázku je zobrazeno, jak může probíhat přepínání mezi jednotlivými režimy. Silnou černou čarou je znázorněn standardní postup, čárkovaně je znázorněn přesun do klidového stavu, když je karta vytáhnutá ze šasi. Šedě je zobrazeno přepnutí do stavu spánku. [5]



Obrázek 9. Schéma přepínání mezi moduly <sup>[5]</sup>

### 2.1.3.1 Režim spánku (Sleep Mode)

Tento režim se používá pro uvedení modulu do pohotovostního stavu. Do tohoto stavu se může dostat při zapnutí napájení, ale také jej může uživatel do něj uvést programově.

Na signálu SLEEP se objeví vysoká úroveň, což je znamení vstupu do režimu spánku, v němž jsou ignorovány všechny další signály. Z jednotlivých pracovních režimů může modul přejít do klidového módu kdykoliv, například i v průběhu přenosu dat. [5]

### 2.1.3.2 Klidový režim (Idle Mode)

Tento režim se používá ke zjištění přítomnosti modulu. Identifikace připojeného modulu je prostřednictvím signálu  $\sim$ ID\_SELECT, který má v šasi zabudován pull – down rezistor a připojené kartě pull-up rezistor. Všechny piny kromě již zmíněného  $\sim$ ID\_SELECT a SLEEP jsou ignorovány a nijak nereagují na změnu jejich úrovně.

Do klidového režimu se můžeme dostat z režimu SLEEP za účelem zjištění přítomnosti modulu. V případě přítomnosti modulu následuje identifikační režim, ze kterého se vrátí zpět do klidového režimu při rozpoznání nesprávného modulu. Návrat ID módu se dostane v případě identifikace nesprávného modulu nebo v případě kdy určité signály (SPI\_FUNC,  $\sim$ SPI\_CS, MOSI,  $\sim$ ID\_SELECT a SPI\_CLK) mají

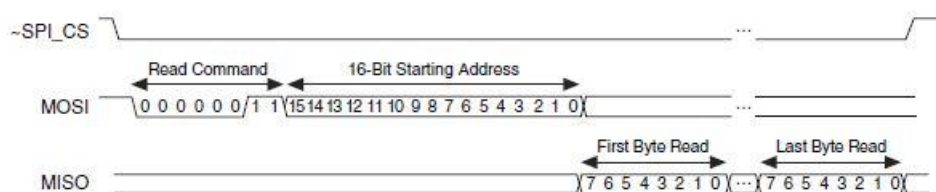
úroveň vysoké impedance. Z ostatních režimů se lze dostat zpět pouze vytáhnutím (odpojením) modulu ze šasi. [5]

### 2.1.3.3 Identifikační režim (ID Mode)

Tento režim je určený pro identifikaci modulu, který musí obsahovat non-volatile paměť s identifikačními údaji. K vyčítání informací se používá sběrnice SPI, kde informace jsou uloženy ve stanoveném formátu. Jiné operace než čtení z paměti se v tomto režimu neprovádějí. Přístup k paměti se provádí pomocí standardní čtecí sekvence s využitím signálů: MISO, MOSI,  $\sim$ SPI\_CS, a SPI\_CLK.

Z klidového režimu přechází do ID pomocí předem dané sekvence úrovní na pinech. Z pomocného komunikačního a normálního režimu je možné přejít do ID režimu v případě, že je potřeba přečíst dodatečné informace v uložené paměti.

Všechny dostupné moduly podporují standardní čtecí sekvenci, která je založena na specifické implementaci protokolu SPI a také časové sekvenci. Čtecí sekvence začíná nastavením  $\sim$ SPI\_CS do logické nuly, čímž by se měla vybrat paměť na kartě, dále se posílá na signálu MOSI řídící osmibitová instrukce 0x03, za kterou následuje šestnáctibitová adresa reprezentující začátek čtení. Po této sekvenci začne vysílat paměť na signálu MISO. Celá tato sekvence je ukázána na následujícím obrázku.



Obrázek 10. Standardní čtecí sekvence pro čtení z paměti EEPROM<sup>[5]</sup>

Jako SPI EEPROM lze použít paměť libovolné velikosti, nezáleží na velikosti stránkování, ale při výběru je třeba zohlednit operační napětí a další hardwarové záležitosti (časování, apod.).

Každý modul by měl v paměti obsahovat identifikační blok, kalibrační tabulku (není vyžadováno), nastavení a ukončovací datovou sekvenci. V první části – identifikačním bloku jsou následující vybrané položky:

- EEPROM Size- znázorňuje velikost paměti a velikost stránkování. Na příkladu je znázorněno správné nastavení hodnoty, která je definována podle následujícího formátu: kkk llll 0000 000  
k – tři bity reprezentující velikost stránkování  
l – pět bitů reprezentující velikost paměti

Tabulka 3. Určení hodnoty EEPROM Size

| Hodnota | Velikost stránky v bytech | Hodnota | Velikost paměti v bytech |
|---------|---------------------------|---------|--------------------------|
| 0       | 8                         | 7       | 128                      |
| 1       | 16                        | 8       | 256                      |
| 2       | 32                        | 9       | 512                      |
| 3       | 64                        | 10      | 1024                     |
| 4       | 128                       | 11      | 2048                     |
| 5       | 256                       | 12      | 4096                     |

Příklad: velikost paměti = 1kB

stránkování = 32 B

EEPROM Size = (0100 1010 0000 0000) = 0x4A00

- Start sentinel – nachází se na adrese 0x0002 a obsahuje hodnotu, kterou mají všechny moduly série C stejnou (0x3A29), používá se k ověření komunikace s pamětí EEPROM
- Product ID – každý modul by měl mít unikátní identifikační číslo, kterou určuje konstruktér
- Vendor ID – unikátní číslo, které určuje firmu a musí se získat od National Instruments (v případě, kdy nechceme náš modul prodávat, použije se hodnota 0xF093 – obecný prodejce)
- Modul Model Code – číslo modelu karty (NI-9401), musí se zadávat v hexadecimálním tvaru

Kalibrační tabulka obsahuje naměřené hodnoty zesílení, offsety kanálů, datum a čas provádění kalibrace, teplotu při měření a mnoho dalších údajů. Jak již bylo zmíněno, tato tabulka není povinná.

V další části se nastavuje například délka názvu modulu, celý název modulu, adresa ukončující přípony atd. V poslední sekci paměti je obsažen CRC (cyklický redundantní součet), který se počítá z identifikačního bloku od indikátoru startu a dále je v něm zahrnut název modulu a další. Tento součet složí k zamezení chyby komunikace. Posledním údajem, který obsahuje paměť, je indikátor konce. Ten stejně jako indikátor startu je reprezentován specifickou hodnotou společnou pro všechny moduly CompactRIO, jeho hodnota je 0xC5D7. [5]

#### 2.1.3.4 Pomocný komunikační režim (Auxiliary Communication Mode)

Při nedostačujícím počtu funkcí, které jsou prováděny v normálním operačním režimu, se využívá právě tohoto módu. Umožňuje základní přenosy dat pomocí SPI, použití digitálních vstupů a výstupů, ale nelze v tomto módu využít signály pro časovou synchronizaci. [5]

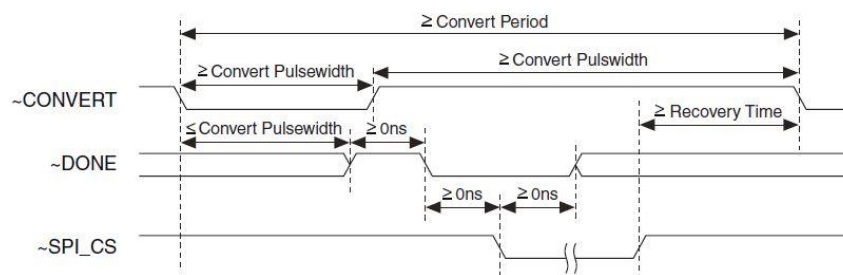
#### 2.1.3.5 Normální operační režim (Normal Operation Mode)

Hlavní funkce modulu je prováděna v tomto režimu. Pomocí kombinace přenosu dat, časové synchronizace a s využitím digitálních vstupů a výstupů je možné sestavit funkčnost podle aplikace. Ale vždy platí, že jeden signál může být použit pouze k jedné funkci.

Při přechodu z ID módu se změní logická hodnota  $\sim\text{ID\_SELECT}$  a dojde i k přenastavení sběrnice SPI, je-li používána.

Před samotným programováním bychom si měli rozmyslet, které signály budeme používat a rozdělit si je do kategorií: časování, datový přenos a digitální vstupy/výstupy, protože pro každou z nich platí určitá pravidla a doporučení.

Mnohé aplikace vyžadují, aby v přesně stanoveném okamžiku sepnulo například určité relé, změřilo hodnotu dané veličiny nebo se na výstupu objevila hodnota napětí, což by mělo za následek například otevření ventilu v přesně definovaném čase. Typickým příkladem stavebního prvku obsaženého ve vstupním modulu je analogově číslicový převodník s postupnou aproximací. Ten pro svou činnost potřebuje pomocný časový signál, který spouští převod analogové hodnoty do číslicového tvaru. Moduly, které pro svou činnost potřebují vnější pomocné časovací signály, využívají nejčastěji signálu  $\sim\text{CONVERT}$ . Při jeho nízké úrovni inicializuje přenos a jeho sestupná hrana představuje časovou značku. Pro správnou funkčnost existují určité zásady, zejména doba trvání jednotlivých pulsů. Tyto požadavky jsou ukázány na následujícím obrázku.



Obrázek 11. Časový diagram pro externě časované moduly<sup>[5]</sup>

Zde jsou zobrazeny potřebné logické úrovně jednotlivých signálů a jejich délky trvání. Convert Period udává minimální dobu mezi dvěma sestupnými hranami na signálu  $\sim\text{CONVERT}$ . Dalším pojmem je Convert Pulswidth, který udává minimální čas pro nízkou a vysokou úroveň signálu  $\sim\text{CONVERT}$  a maximální délku vysoké úrovně na signálu  $\sim\text{DONE}$ , který signalizuje připravenost modulu k přenosu dat. Tato

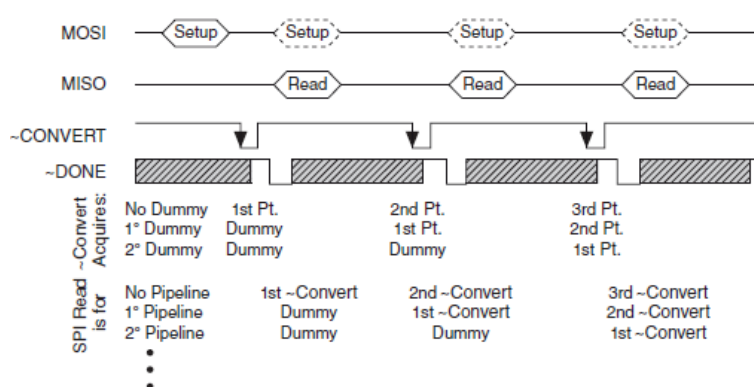
doba by neměla být větší jak 240 ns. Posledním pojmem je Recovery Time určující čas, do které by měl být modul připraven k dalšímu přenosu dat.

Dalším pojmem, který se je potřeba znát v souvislosti s normálním operačním režimem, jsou časové modely. Ty nám popisují, jakým způsobem mohou moduly kombinovat časové signály s přenosy dat, abychom dosáhli lepší spolehlivosti, rychlosti a funkčnosti. Tyto modely jsou definované pro externě časované moduly a při jejich porozumění bude i jednodušší programování. Vyrobený modul může podporovat jeden nebo více následujících časových modelů: [5]

- Jednokanálové měření
- Vícekanálové měření
- Současné (simultánní) vícekanálové měření
- Zápis jedné hodnoty
- Vícehodnotový zápis
- Současný zápis

### **Jednokanálové měření**

Tato metoda je vhodná pro měření jednoho nebo více vzorků na jednom měřicím kanálu. Ještě před zahájením čtení dat musí nejdříve proběhnout nastavení komunikace, které definuje kanál ke čtení a další nastavení různých parametrů. Až po prvních dvou sestupných hranách signálu  $\sim$ CONVERT dostáváme platná data odpovídající hodnotě měření těsně před pulsem na tomto signálu. Existuje i možnost využití řetězení libovolné délky  $n$  vzorků, ale poté dostáváme vzorky, které jsou  $n - 1$  kroků staré. Příklad, jak může konverze dat probíhat, je zobrazen na obrázku 12. [5]



Obrázek 12. Jednokanálové měření - průběh čtení hodnot [5]

### **Vícekanálové měření**

Pro kartu s více kanály je vhodné použít metodu vícekanálového měření, i když by šlo využít předchozí a přepínat mezi jednotlivými kanály, ale to není zcela efektivní. Při nastavení komunikace lze určit, v jakém pořadí se budou jednotlivé kanály vzorkovat, jestli náhodně nebo postupně. Stejně jako u přechodí metody jsou pravdivé

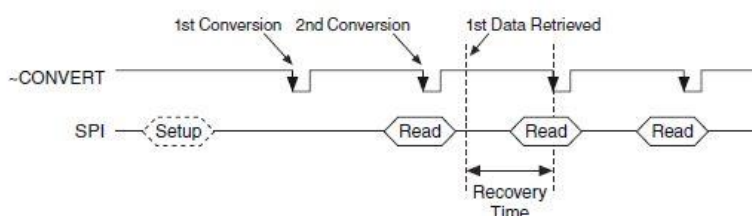
hodnoty až po prvních dvou krocích z důvodu nastavení sběrnice. Signál  $\sim$  CONVERT řídí časování pro každý převod. [5]

### **Simultánní měření**

Používá se při měření z více kanálů za současného vzorkování. Nevýhodou je ovšem složitější hardwarový návrh.

Nastavení komunikace určuje také i pořadí jednotlivých kanálů, ze kterých se budou data číst. Přerušování komunikace se může provést až po odeslání dat ze všech kanálů.

Pro zvýšení rychlosti čtení lze použít modifikovanou metodu simultánního měření více kanálů, která umožňuje přenos dat v okamžiku, kdy dochází ke vzorkování pro další krok. Řízení vzorkování je prováděno sestupnou hranou  $\sim$ CONVERT, kde další hrana přichází v době, kdy se ještě provádí přenos hodnot z přechozího kroku. Názorně je to ukázáno na obrázku 13. [5]



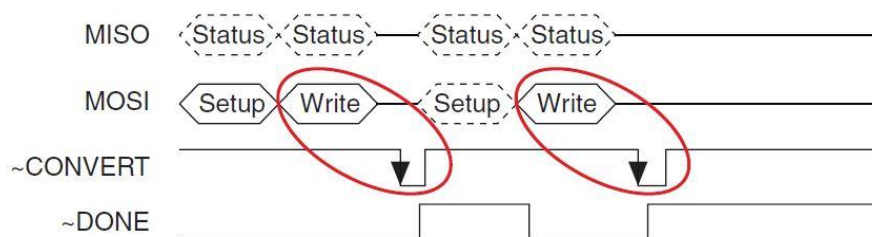
Obrázek 13. Průběh metody překrývajícího se simultánního měření [5]

### **Zápis jedné hodnoty**

Slouží k zápisu (obnovení) hodnoty na jednom výstupním kanálu. Podobně jako u čtení signál  $\sim$ CONVERT řídí časovou synchronizaci a signál  $\sim$ DONE udává informaci o již aktualizované hodnotě na výstupu a tedy i informaci o možnosti dalšího zápisu. Zjišťování stavu lze provádět z obou signálů a jejich příslušných hran. [5]

### **Vícehodnotový zápis**

Pro vícehodnotový zápis by bylo možné použít opakování přechozí instrukce, což by bylo zbytečně složité a neefektivní, protože signál  $\sim$ CONVERT řídí časování přenosu a  $\sim$ DONE informuje o tom, když přijme hodnotu. Při použití vícehodnotového zápisu se využívá toho, že další puls na signálu  $\sim$ CONVERT musí počkat na sestupnou hranou  $\sim$ DONE, nikoli však komunikace pro další bod. Celý průběh je ukázán na následujícím obrázku. [5]



Obrázek 14. Vícehodnotový zápis<sup>[5]</sup>

### **Vícekanálový simultánní zápis**

Poslední časový model, který lze využít, slouží k zápisu hodnot pro vícekanálové moduly v jediném kroku. Časování a informace o úspěšném přenosu je indikována pomocí stejných signálů a jejich úrovní jako u přechodícího modelu. [5]

### **Digitální vstupy/výstupy**

Další periférie, kterou lze kromě sběrnice SPI v normálním operačním módu využít, jsou digitální vstupy a výstupy. Lze je použít jen v případě, když již jednotlivé piny nejsou použity pro jiné funkce, například pro synchronizaci. Při použití výstupů pro signalizaci například pomocí led diod, je vhodné pojmenovat tyto součástky podle čísla výstupu ( LED0 – DIO0). [5]

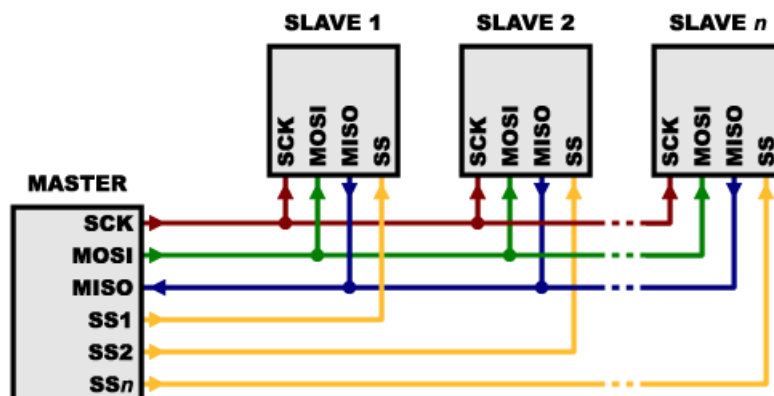
## **2.1.4 SPI sběrnice**

Jak již bylo zmíněno v přechodících kapitolách, CompactRIO používá pro komunikaci s moduly sběrnici SPI (Serial Peripheral Interface). V této kapitole bude vysvětleno, jakým způsobem sběrnice funguje, její vlastnosti, výhody a nevýhody.

Zakladatelem sběrnice byla firma Motorola. Používá se pro krátké vzdálenosti například v embedded systémech, snímače a další. Jedná se o synchronní sériovou sběrnici, která umožňuje plný duplex rychlostí až desítky MHz. Zajišťuje přenos v topologii typu master/slave (jeden master a jeden nebo více slave) a obsahuje tyto čtyři vodiče:

- MISO (Master-In/Slave-Out)
- MOSI (Master-Out/Slave-In)
- CLK (Clock)
- /SS (/CS) (Slave Select, Chip Select)

Pro komunikaci s více zařízeními musí mít master několik povolovacích pinů /SS, sloužících pro výběr zařízení.



Obrázek 15. SPI sběrnice <sup>[6]</sup>

Velkou výhodou je jednoduchost přijímacího zařízení, které může být realizováno jednoduchým posuvným registr, dále vyšší šířka pásma než sběrnice I2C. Signály proudí jedním směrem – jednoduché galvanické oddělení, rychlost je limitována pouze frekvencí hodin (CLK) a umožňuje použití více jednotek slave. Nevýhodou je vícevodičové zapojení, nemožnost kontroly a řízení sběrnice jednotkou slave, podpora pouze jednoho mastera, malá vzdálenost a při použití více jednotek slave problémy s rozdělením signálů /SS. [6]

Pro využití SPI sběrnice v CompactRIO je důležité vybírat si zařízení, které mají přenášenou hodnotu ve formátu celočíselného násobku bytů.

## 3 VÝVOJOVÝ KIT PRO NÁVRH MODULŮ - SOFTWARE

Po hardwarovém sestavení modulu je nutné zajistit komunikaci s CompatRIO jednotkou pomocí podpůrných programů (driverů) sloužících pro ovládání jednotlivých signálů a funkcí.

Tyto programy se vytvářejí v LabVIEW a jeho nástavbě LabVIEW FPGA.

### 3.1 LabVIEW

LabVIEW (Laboratory Virtual Instrument Engineering Workbench) je vývojové prostředí vytvořené firmou National Instruments, sloužící ke grafickému programování. Vykonávání kódu je založeno na jiné filosofii než textově orientované programovací jazyky. Běh programu je řízen tokem dat, to znamená, že daná instrukce se provede až ve chvíli, kdy má na vstupu všechna potřebná data. Programování se provádí propojením jednotlivých bloků vodiči. LabVIEW umožňuje multi-processing a multi-threading, čímž výrazně zrychluje provádění napsaného programu.

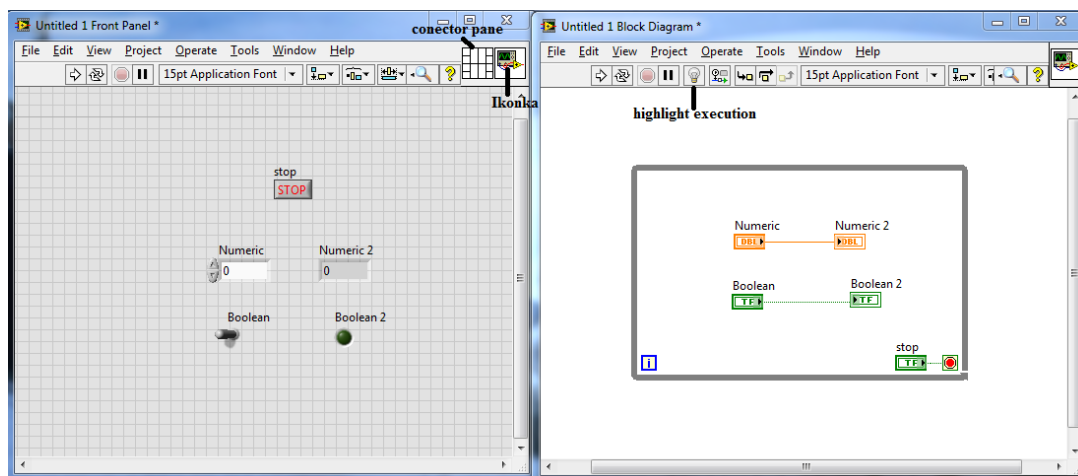
Program z tohoto prostředí se jmenuje VI – Virtual Instrument a skládá se ze tří hlavních částí: Front Panel, Block Diagram a Icon/Connector pane.

Front panel je jediná část dostupná uživateli. Jsou na něm umístěny ovládací (controls) a zobrazovací (indicators) prvky. Ovládací prvky jako například tlačítka, řádky na vepisování, přepínače, otočné knoflíky a mnoho dalších slouží k zadávání informací od uživatele. Zobrazovací prvky jako jsou grafy, ukazatel hodnot, kontrolky a další slouží k zobrazení výsledků na základě vstupů zadaných uživatelem.

Block diagram obsahuje grafický kód. Prvky z front panelu se zde objevují jako terminály. Jsou zde také funkce a struktury, které zpracovávají informace z ovládacích prvků a poskytují informace pomocí indicators. Hlavním prvkem na blokovém diagramu jsou tzv. uzly (nodes) – objekty, které mají vstupy a výstupy a umožňují provádění programu, když VI běží. Uzly jsou analogickým vyjádřením operátorů, funkcí, podprogramů v textových programovacích jazycích. Uzly jsou mezi sebou propojeny vodiči, které mají barvu podle toho, jakého jsou typu (boolean – zelená, integer – modrá, real – oranžová, string – růžová). LabVIEW také podporuje polymorfismus, to znamená, že na jednotlivé uzly je možné zapojit více datových typů. Například můžeme sčítat dvě čísla typu integer nebo dvě jednorozměrná pole.

Tedy VI – virtuální přístroj můžeme spustit jako program s front panelem, který slouží jako grafické uživatelské rozhraní, nebo jako uzel (node) vložen do blokového diagramu, kde přední panel definuje vstupy a výstupy, které se v návrh připojují pomocí connector pane. To znamená že, funkčnost každého VI může být vyzkoušena ještě před vložením jako podprogramu (subVI) do většího programu, který jej používá.

Pro odladění programu je možné používat breakpointy, sondu – zobrazuje data přítomná na vodiči v reálném čase a Highlight Execution - při zapnutí ikonky žárovka se u jednotlivých terminálů zobrazují okénka s aktuálními hodnotami.



Obrázek 16. LabVIEW

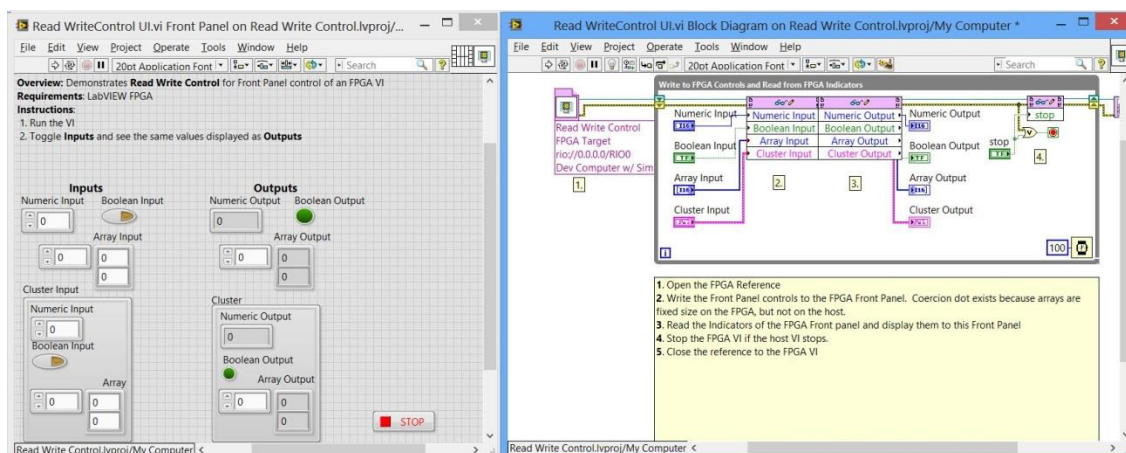
## 3.2 LabVIEW FPGA Module

LabVIEW FPGA Module je nástavbou programovacího prostředí LabVIEW a je určena pro programování hradlového pole. Velkou výhodou je rychlost programování, neboť to co bychom museli psát přímo v jazycích vhodné pro FPGA (VHDL), pomocí již předem připravených bloků snadno naprogramujeme. Další výhodou je možnost programování bez velké znalosti zapojeného hradlového pole.

Použití hradlového pole je vhodné pro aplikace jako například regulace, digitální filtrace, přesné časování, vyhodnocení booleovské logiky a další. Lze také navrhnout robustní nezávislé FPGA VI, které bude pracovat samostatně bez ohledu na okolní systém. Naměřená data se mohou ukládat přímo v hradlovém poli i bez přítomnosti počítače, který je zpracovává. LabVIEW FPGA Module taktéž umožňuje paralelní operace. Přímo na hardwarové úrovni jsou vytvořené bloky pracující nezávisle na sobě, což velmi zrychluje celý program a tím pádem můžeme provádět několik while cyklů zároveň.

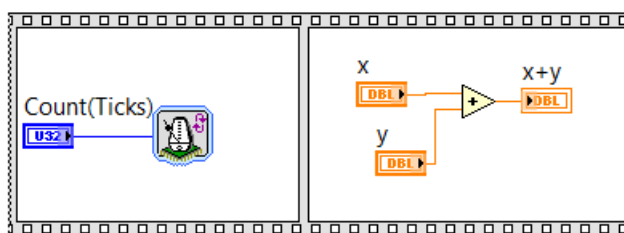
Po vytvoření FPGA VI je možné s ním komunikovat dvěma způsoby. Prvním je komunikace s uživatelem prostřednictvím Front Panelu, což je asi nejjednodušší. Další možností je použít vytvořené FPGA VI v normálním VI, které běží například na počítači a nazývá se host VI. Použití hostitelského VI je vhodné pro složitější aplikace, kde dochází k provádění více procesů na hradlovém poli, k logování dat, nebo také proto, že na počítači chceme spouštět více VI nebo je nutné některé operace zpracovávat mimo hradlové pole. Pro ukázkou slouží následující obrázek, kde je v pravé části vidět

použité FPGA VI Read Write Control sloužící k zapisování a vyčítání hodnot do hradlového pole.



Obrázek 17. Host VI

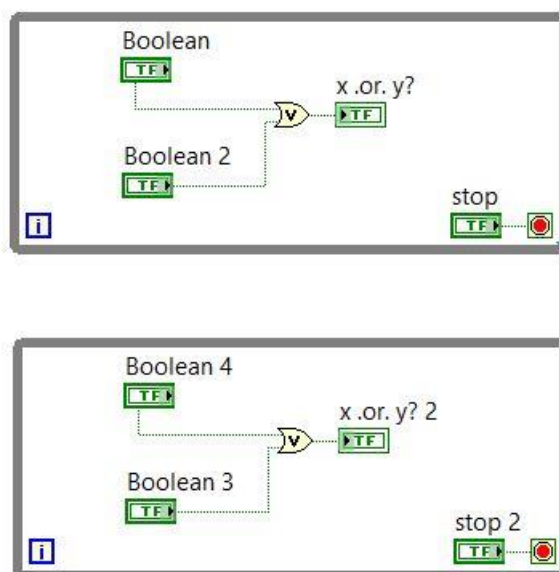
Při vytváření přesného časování je vhodné využít funkci Loop Timer, sloužící k vytvoření zpoždění. Postupné provádění kódu lze zajistit pomocí struktury Sequence, kde se vkládají jednotlivá okna, které se provedou až po vykonání předchozího rámce.



Obrázek 18. Flat Sequence a Loop Timer

Další zajímavou funkcí, kterou nabízí FPGA je možnost vykonání naprogramovaného kódu v jednom hodinovém cyklu hradlového pole s frekvencí 40 MHz. Funkci má obdobnou jako smyčka while, pouze s již zmiňovanou výhodou. Velkou většinu funkcí lze použít v této struktuře, ale existují i některé speciální funkce, které nejsou vhodné. Existuje možnost v této struktuře vnořit další smyčky jako například for, while, i sekvenci.

Jak již bylo zmíněno, je možné použití paralelních větví pracujících zároveň. Jejich naprogramování je velmi jednoduché, neboť stačí použít dvě struktury například while a zbytek práce obstará překladač.



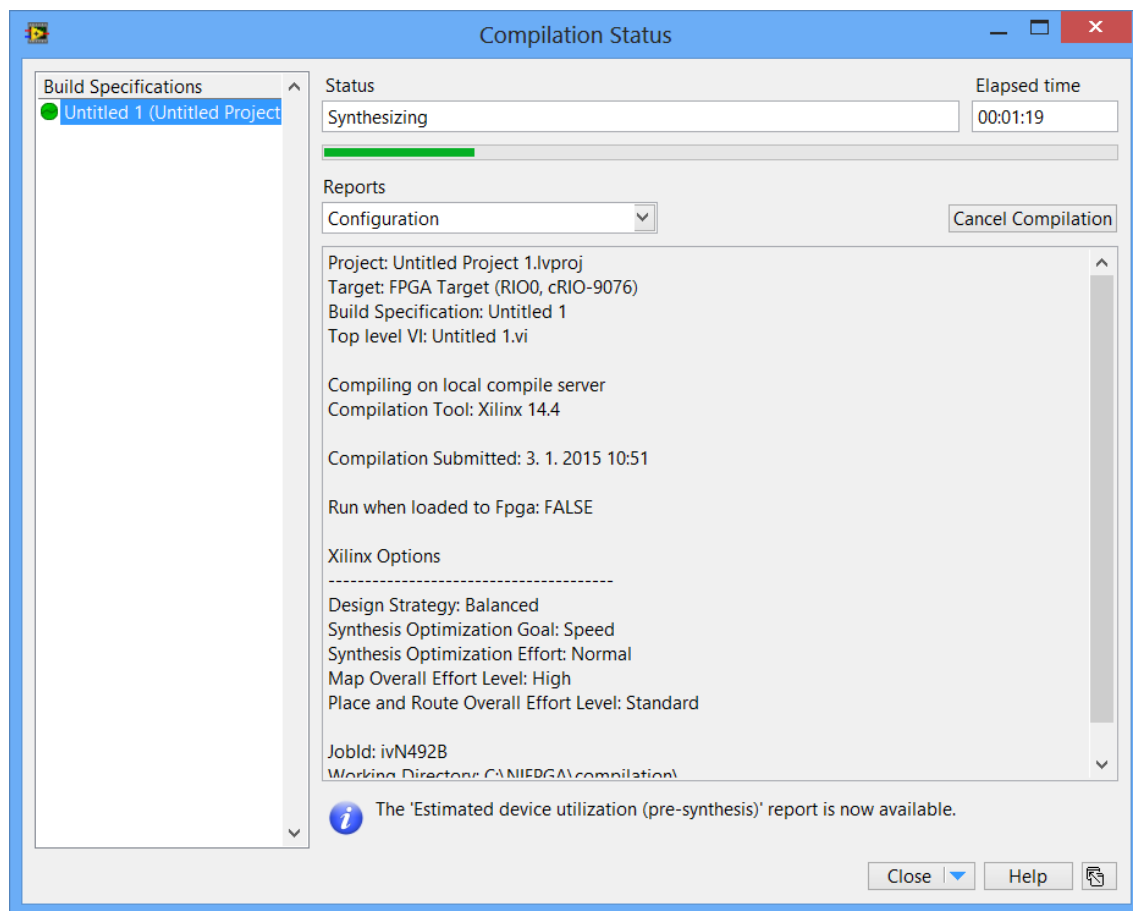
Obrázek 19. Ukázka paralelismu v LabVIEW FPGA

Existuje zde i možnost vytváření subVI, neboli podprogramů. U každého je důležité zvolit, zda se bude chovat jako reentrantní nebo nereentrantní. Při použití reentrantního subVI se podle počtu těchto podprogramů v nadřazeném programu vytvoří stejný počet instancí v hradlovém poli, nezávisle na tom, kolikrát je volána. To má za následek využití většího místa, ale výhodou je rychlé zpracování. Kdežto u nereentrantního subVI se vytvoří na hradlovém poli pouze jedna instance, a musí se vždy počkat, než se vykoná, aby se mohla provádět v další části kódu.

Před samotným spuštěním programu se provede kompilace, která přeloží vytvořené VI do bistreamu, který se nahraje do FPGA. Při stisku šipky Run se nejdříve ověří, zda program byl již zkompileován. V kladném případě LabVIEW použije již vytvořený bitfile a začne vykonávat program. V případě, že ještě nebyl zkompileován, dojde k vytvoření pomocného souboru, se kterým může kompilátor od firmy Xilinx pracovat. Dojde také ke kontrole, zda není použito špatné subVI a nebo jsou použity nesprávné funkce v jedno-cyklové časové smyčce. Po úspěšném převodu nastává samotná kompilace, která se zobrazí v okně, kde je možné vidět stav a nastavení kompilace, uplynulý čas atd. Velkou nevýhodou je doba trvání celého procesu, který se může pohybovat v rozmezí desítek minut i několika hodin. K efektivnějšímu využití kompilátoru je možné použít vložení souborů určených k překladu do fronty. Je zajištěno, že jakmile jeden překlad skončí, ihned se začne provádět další, což lze využít například pro překlad v nepřítomnosti programátora, kdy ale kompilátor neustále pracuje.

K překladu lze použít tři možnosti výběru kompilátoru. První z nich je asi nejčastější a to využití kompilátoru na vlastním počítači. Druhou volbou je možnost využití kompilátoru na vzdáleném počítači. Je ale nutné nejdříve na tomto vzdáleném

přístroji nainstalovat kompilátor, před samotným překladem ho spustit a nastavit možnost vzdáleného překladu. Poslední možností je využití služby LabVIEW FPGA Compile Cloud Servicem, kde se využívá výpočetního clusteru s vysokým výkonem. Tato služba není zadarmo, ale umožňuje velmi rychlý překlad. [7]



Obrázek 20. Kompilace s využitím lokálního serveru

### 3.3 MDK Software

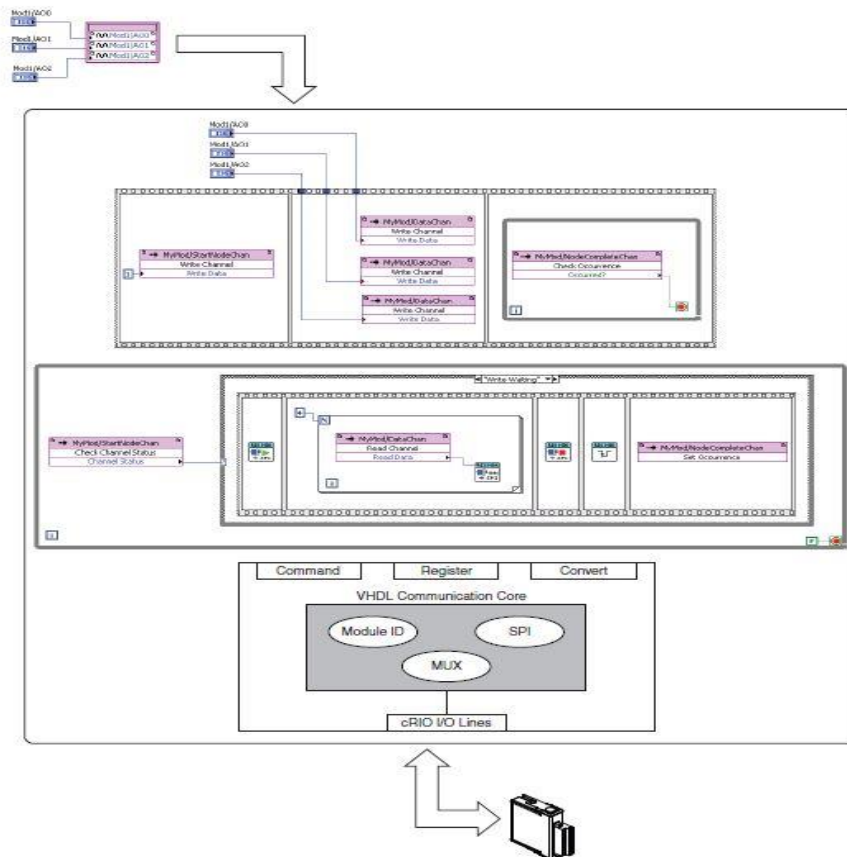
Aby vytvořená karta mohla komunikovat s CompactRIO je potřeba se nejdříve seznámit se záležitostmi týkajícími se softwaru. Vývojový kit obsahuje dva hlavní programové komponenty. První je určen pro komunikaci s vyrobenými moduly, druhou částí je vytvoření podpůrných VI, kde uživatel bude využívat vstupy, výstupy a metody, jako je zvyklý u jiných karet.

Pro správnou činnost a možnost programování je nutné mít nainstalované tyto programy:

- LabVIEW
- LabVIEW FPGA Module

- NI-RIO
- CompactRIO Module Support
- CompactRIO Module Development Kit

Celou strukturu programu od konečného uživatele až po komunikaci s modulem si lze rozdělit do tří hlavní vrstev. První vrstva je určená pro uživatele (API – Application Programming Interface). V další vrstvě jsou obsažené podpůrné VI, které se vytvářejí při návrhu karty. Neboli instance z vrstvy, kterou používá koncový uživatel, jsou nahrazeny právě těmito programy. V poslední vrstvě se provádí hardwarová komunikace s modulem, kterou zajišťují již předem vytvořené VI, dostupné po nainstalování CompactRIO Module Development Kit. To se děje pomocí sběrnice SPI, paměti EEPROM, změnou režimů, identifikací modulu, digitálních vstupů a výstupů. Vše je názorně ukázáno na následujícím obrázku.



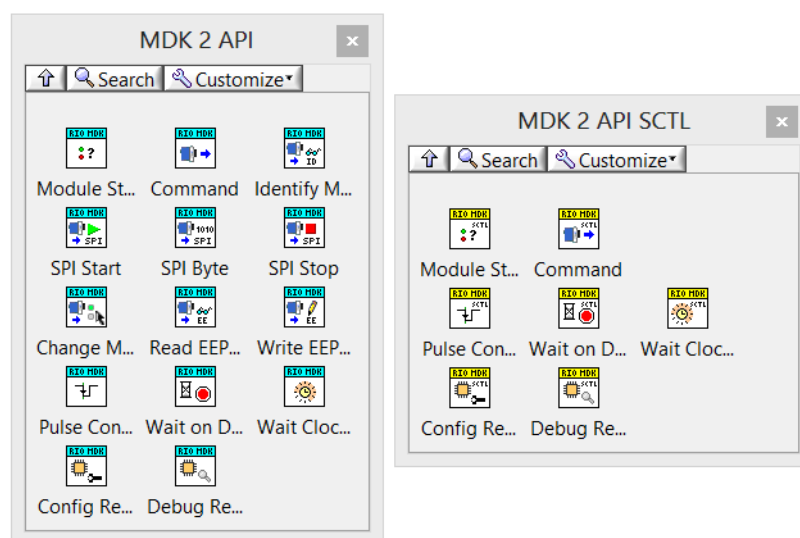
Obrázek 21. Softwarové vrstvy a implementace MDK

V případě, když chceme, aby naše podpůrné programy nebyli dostupné programátorovi, což je obvyklé pro distribuci karet využijeme Release Mode. V projektu je skryta veškerá komunikace s modulem, jediné co je viditelné, je uživatelské rozhraní. Při vytváření programů pro vyvíjený modul používáme Development Mode, ve které je zobrazena komunikace. I při změnách podpůrných VI musíme pracovat ve vývojovém režimu. [8]

### 3.3.1 Komunikace s modulem

Komunikace s moduly řady C je prováděna pomocí funkcí nebo přímým přístupem k jednotlivým digitálním vstupům a výstupům DIO0-DIO7, respektive k celému portu DIO (7:0). Ve vývojovém režimu jsou tyto všechny položky zobrazeny v projektu.

Pro vytvoření podpůrných programů, ale také i pro prvotní vývoj, slouží již naprogramované VI, které jsou dostupné v LabVIEW FPGA až po přidání palety MDK do požadovaného adresáře. Jsou rozdělené do dvou skupin, kde v jedné jsou pouze vybrané VI, které se mohou vkládat do jedno-cyklové (Single-Cycle Timed Loop) časové smyčky. Nelze v jednom blokovém diagramu použít vícenásobný počet SCTL VI, neboť u nich se neprovádí arbitráž a nebylo by možné rozhodnout, které se má dříve provést. Z druhé skupiny se vybírají objekty, které nelze použít v této struktuře (SCTL), avšak jejich funkce je stejná jako u předchozí. Je možné použít vícenásobný počet jednotlivých VI v blokovém diagramu, protože kompilátor provede arbitráž a určí, který se bude provádět jako první. Všechny tyto instance jsou zobrazeny na obrázku 22.



Obrázek 22. Paleta MDK 2 API (SCTL)

#### 3.3.1.1 Příkazové rozhraní (Command Interface)

Toto rozhraní obstarává největší část funkcí zajišťující komunikaci s kartou. Je možné zde nalézt programy sloužící pro identifikaci modulu, změnu režimů, práci s pamětí – čtení a zápis a práci se sběrnici SPI. V této sekci budou popsány VI, které jsou použité v tomto rozhraní.

Programem řídící posloupnost provádění operací je Command VI. Další položkou je Identify Module VI sloužící k identifikaci modulu. To znamená, že přečte z paměti hodnotu z indikátoru startu, kód modulu a identifikační číslo výrobce. Aby se mohla identifikace provést, musí být modul v ID režimu. Tato podmínka platí i

pro `Read EEPROM VI` a `Write EEPROM VI`, sloužící pro čtení a zápis hodnot do paměti EEPROM nacházející se na modulu. Pro přepínání režimů je určen `Change Mode VI`. K zapnutí režimu spánku, je nutné nastavit vstupní signál (Mode) toho VI na nulu, pro ID je hodnota jedna, k použití pomocného komunikačního režimu slouží hodnota dva a pro poslední normální operační mód je nutné zapsat hodnotu čtyři.

Pro spuštění komunikace na sběrnici SPI slouží `SPI Start VI`. K vyčítání a zápisu dat na sběrnici se používá `SPI Byte VI` a pro ukončení přenosu je určen `SPI End VI`. [8]

### 3.3.1.2 Časové rozhraní (Timing Interface)

Tato část bude věnována k popisu programů sloužících pro časování a synchronizaci. K řízení časování se používá signál `~CONVERT` a pro vytváření pulzů na něm slouží `Pulse Convert VI`. Dalším programem v této sekci je `Wait On Done VI`, který sleduje stav na pinu `~DONE` a při zjištění nízké úrovně toto VI skončí. Poslední položkou je `Wait Base Clock Ticks VI`, které počká specifikovaný počet dvaceti-pěti nanosekundových úseků. [8]

### 3.3.1.3 Stavové rozhraní (Status Interface)

V tomto rozhraní je umístěné pouze jedno VI, které zjišťuje status připojení karty. Název programu je `Module Status VI`. Stav modulu se zjišťuje na přítomnosti modulu v šasi a také i na výsledcích předchozího `Identify Module VI`. Výsledkem je celkem pět možných stavů ukázaných v následující tabulce. [8]

*Tabulka 4. Možné stavy modulu*

| Stav            | Popis                                                                                                          |
|-----------------|----------------------------------------------------------------------------------------------------------------|
| Neznámý (0)     | Modul zatím ještě nebyl detekován, v tomto stavu je i při identifikaci                                         |
| Správný (1)     | Modul byl detekován, všechny vyčtené hodnoty z EEPROM jsou správné                                             |
| Nesprávný (2)   | Modul byl detekován, ale byly vyčteny jiné hodnoty identifikačního čísla firmy a kód modelu než byly očekávané |
| Žádný modul (3) | Modul nebyl detekován                                                                                          |
| Neplatný (4)    | Modul byl detekován, ale obsahuje nesprávnou hodnotu ve startovním indikátoru                                  |

#### 3.3.1.4 Rozhraní pro ladění (Debug Interface)

Tohoto rozhraní se nejvíce využívá při výrobě prototypu a odladování chyb, kde k tomu slouží `Debug Register VI`. Není vhodné jej používat mimo vývojový režim, neboť některé registry nejsou v Release módu dostupné a jejich použití by skončilo chybou. Je možné zjistit chyby interní chybové kódy, změnit rychlost SPI sběrnice, změnit i zjistit aktuální stav modulu a také kontrolovat přítomnost karty. [8]

### 3.3.2 XML soubory

Aby bylo možné správně identifikovat modul, musí existovat soubor, ve kterém jsou tyto informace obsažené. K tomu slouží `Module Type XML` soubor.

Při psaní souborů XML si musíme dávat pozor na rozlišování malých a velkých písmen. Další věc, na kterou je třeba myslet, je psaní čísel podle požadovaného formátu, kdy se nejčastěji používá hexadecimální soustava. V tomto formátu každé číslo musí obsahovat prefix `0x`. `Module Type XML` obsahuje jméno modulu, které by mělo být ve tvaru `XX 1111`, kde `XX` je zkratka firmy a `1111` představuje model. Další informací je popis modulu, který se zobrazuje při přidání nového modulu do projektu. Dále je nutné uvést identifikační číslo firmy (`Vendor ID`) a číslo produktu. Obě tyto informace jsou datového typu `integer`, ale měli by být uloženy v hexadecimálním tvaru. Poslední požadovanou informací je kód modelu, který by většinou měl být shodný s číslem modelu.

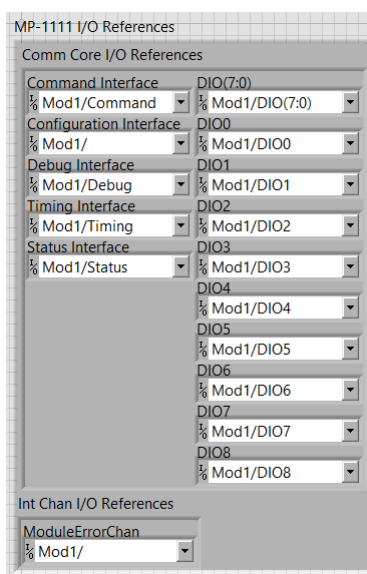
Druhým souborem, který je třeba specifikovat je `Module Support XML`. Ten popisuje hardwarovou funkci karty, programovatelné rozhraní API (I/O, metody) a jakým způsobem jsou propojeny VI s podpůrnými programy. Zde se definuje, které digitální vstupy budou použité pro jaké funkce v různých režimech, rychlost komunikace. Pro analogové karty se udávají VI, které slouží k převodu informace ze sběrnice SPI na změřenou hodnotu, generování a práce s chybami a mnohé další potřebné informace. [8]

### 3.3.3 Přidání modulu do projektu

Po vytvoření obou XML souborů můžeme přejít k další části, ve které se budeme věnovat vytvoření pomocných programů, potřebných pro chod karty. Pro vygenerování těchto souborů je možné využít `Development` nebo `Release` mód. Při použití vývojového módu lze využít pouze komunikačního jádra, ale nikoliv použití podpůrných VI a I/O nodes.

Dále je nutné v adresáři, kde se bude nacházet podpůrné programy pro vytvořený modul vložit `Module Support XML` a ještě vytvořit složku `nicrio_configToolPlugin.llb`, do které se musí přidat `Module Type XML`. Je

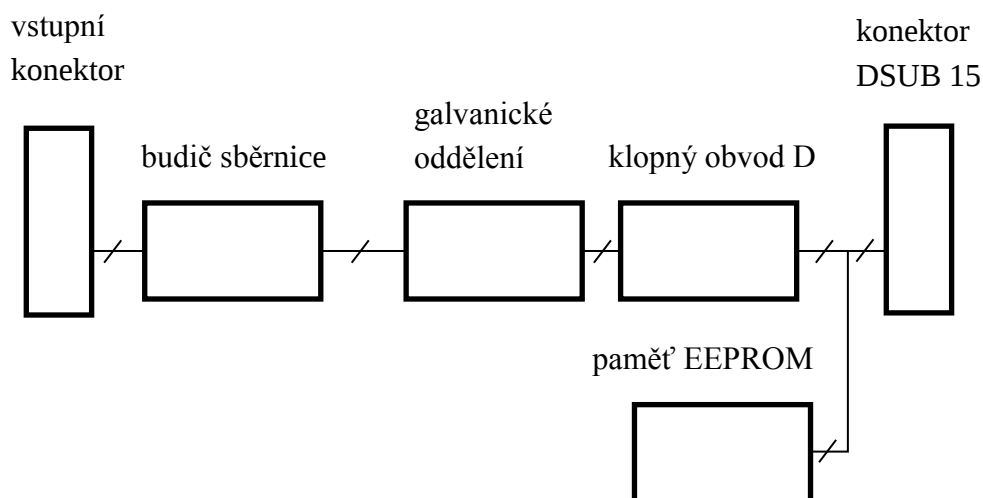
to z důvodu možnosti nalezení tohoto modulu pomocí NI-RIO driveru. Pomocí utility `Mdk2Utility_CreateIOReferenceClusterControl.vi` si vytvoříme I/O reference cluster. Ten již budeme používat při programování jako vstup do jednotlivých VI různých rozhraní. Je nutné, aby se v Module Support XML nacházela alespoň jedna instance vnitřních kanálů (Internal Channels), protože LabVIEW FPGA nepodporuje prázdné clustery. Poslední krok, který musíme udělat je pomocí utility `Mdk2Utility_GenerateModuleSupportExport.vi` si nechat zkontrolovat XML. Nyní už nám nebrání nic k vložení nového modulu do projektu následujícím postupem. Pravým tlačítkem klikneme na FPGA Target -> New -> C-Series Modules -> New target or device -> C Series Module -> OK a následně si vybereme požadovaný modul, číslo ve kterém slotu se nachází a také lze změnit název, pod kterým se bude v projektu prezentovat. [8]



Obrázek 23. I/O reference cluster

### 3.4 Praktické seznámení s vývojovým kitem

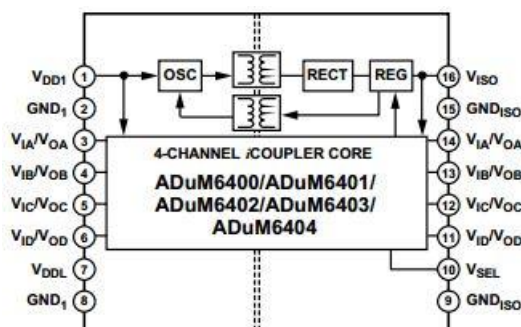
Pro seznámení s vývojovým kitem pro návrh modulů platformy CompactRIO jsem navrhl a realizoval jednoduchou digitální vstupní osmibitovou kartu označenou MP-1111. Použití realizovaného modulu je vhodné v aplikacích, kde potřebujeme velmi rychle získávat digitální signály. Základní blokové schéma je zobrazeno na následujícím obrázku.



Obrázek 24. Blokové schéma karty MP- 1111

Digitální karta je osazena vstupním šroubovacím konektorem, do kterého lze připojit až osm vstupních signálů. Pro posílení vstupních signálů, jsem za vstupy připojil třístavový jednosměrný neinvertující budič sběrnice SL74HCT244<sup>[9]</sup>. Slouží také jako úrovněový přepínač stavů pro TTL logiku.

Pro galvanické oddělení zajišťující odolnost vůči větším hodnotám vstupního napětí byl použit galvanický oddělovač ADuM5404 od firmy Analog Devices. Má již v sobě integrovaný dc – dc měnič, což ušetří další součástky potřebné pro oddělení napájení. Výhodou je i možnost napájení ostatních obvodů galvanicky oddělených na pinu  $V_{ISO}$  až do výkonu 400 mW. Využívá vysokofrekvenční přenos energie pomocí transformátoru, kde sekundární napětí je měřeno a regulováno pomocí PWM, což zajišťuje vyšší výkon a efektivitu. Až po prvním odzkoušení desky, jsem zjistil, že pro moji aplikaci při stejném schématu zapojení, by bylo výhodnější použít ADuM 6404, protože neobsahuje datový pin  $RC_{OUT}$ , který slouží pro regulaci napájecího napětí dalšího připojeného integrovaného obvodu k pinu  $V_{ISO}$ .



Obrázek 25. Vnitřní blokové schéma ADuM 6404<sup>[10]</sup>

Některé signály například pin 6, jsou použité pro komunikaci na sběrnici SPI (MOSI) k identifikaci z paměti EEPROM v identifikačním režimu, ale i jako digitální vstup nebo výstup (DIO7) v normálním nebo pomocném komunikačním módu. Tyto signály bylo nutné oddělit, aby při identifikaci byly využívány pouze pro komunikaci

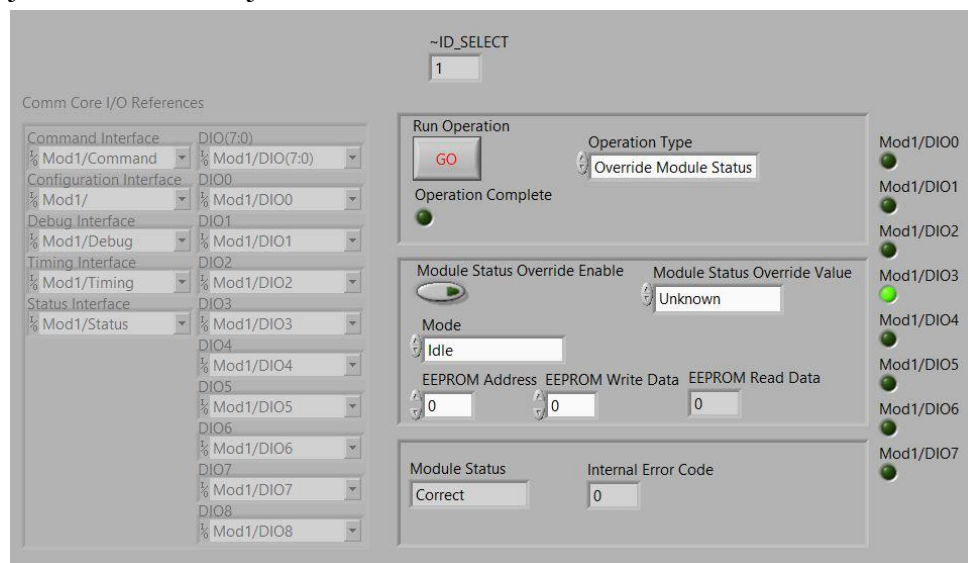
SPI. Za tímto účelem jsem vybral klopný obvod typu D SN74AHCT373<sup>[11]</sup> od firmy Texas Instruments. Je to osmikanálový klopný obvod obsahující povolovací vstup (Output Enable) a řídicí vstup (Latch Enable). Na výstupu podle kombinací logických úrovní na těchto dvou pinech se mohou objevit tři stavy - nízká, vysoká úroveň a stav vysoké impedance.

Jako paměť EEPROM jsem použil M95080<sup>[12]</sup> od výrobce ST Microelectronics. Tato paměť má kapacitu 8 kb (1 kByte) a velikost stránkování 32 bytů. Aby bylo možné číst z paměti pouze v jeden okamžik při identifikačním režimu, přivedl jsem na pin /CS (Chip Select) signál z kombinace výstupů CompactRIO přivedených na logické hradlo NAND.

### 3.4.1 Software pro modul MP-1111

Po zkonstruování a základním elektrickém oživení karty jsem začal programovat software potřebný pro komunikaci s kartou. Součástí softwaru byly XML soubory (Module Type XML a Module Support XML) obsahující informace o modulu. Podle postupu v kapitole uvedeném jsem vygeneroval I/O Reference Cluster pomocí utility `Mdk2Utility_CreateIOReferenceClusterControl.vi` potřebný pro podpůrné programy karty.

Pro oživené karty jsem si upravil VI dostupné v ukázkách vývojového kitu, které je vidět na následujícím obrázku.



Obrázek 26. Front panel VI pro vývoj karty MP-1111

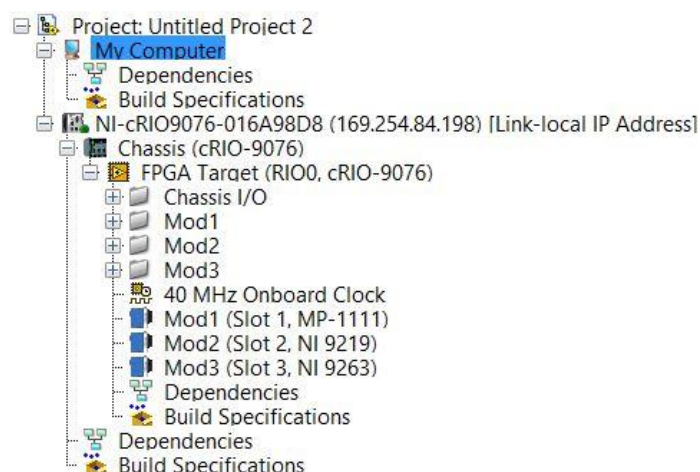
Je nutné si vybrat v operačním typu funkci, kterou budeme používat (čtení nebo zápis EEPROM, změna režimu a změna stavu). Pro změnu stavu modulu je nutné mít povoleno přepsání stavu (Module Status Override Enable). Paměť lze naprogramovat externím programátorem nebo s pomocí tohoto VI. Ale pro zápis do paměti je nutné splnit tyto podmínky – přepnout modul do režimu ID a také je potřeba přepsat ručně

stav na správný (Correct). Pro první seznámení s identifikací jsem zapsal do paměti hodnoty z následující tabulky, které se shodují s čísly napsané v Module Type XML.

*Tabulka 5. Hodnoty zapsané v paměti EEPROM*

| Adresa | Data [hex] | Data [dec] |
|--------|------------|------------|
| 0      | 4A         | 74         |
| 1      | 0          | 0          |
| 2      | 3A         | 58         |
| 3      | 29         | 41         |
| 4      | 0          | 0          |
| 5      | 0          | 0          |
| 6      | 0          | 0          |
| 7      | 1          | 1          |
| 8      | 0          | 0          |
| 9      | 1          | 1          |
| 10     | 0          | 0          |
| 11     | 2          | 2          |

Po zapsání všech hodnot, stačí zastavit a znovu spustit VI a stav se změní na správný (Correct), což znamená, že data se shodují. Při zakládání nového projektu se již automaticky detekuje modul, což je ukázáno na dalším obrázku.



*Obrázek 27. Nový projekt s modulem MP-1111*

Posledním krokem bylo vytvoření programu v Release módu. Důležité je zajistit v podpůrných programech připojení I/O cluster na přesně definovaném místě v Connector Pane na pozici 8. Dále už jen stačilo využít dostupné utility, zadat heslo a vygenerovat potřebné soubory.

## 4 ANALOGOVÁ VSTUPNĚ VÝSTUPNÍ MĚŘICÍ KARTA

Analogově vstupně výstupní karta je vhodná pro měření přenosových charakteristik dvojbranů s využitím jediného modulu. Při průzkumu trhu jsem narazil pouze na jednu multifunkční kartu NI 9381, ke které lze připojit až osm analogových vstupů a výstupů s maximálním vzorkovacím kmitočtem 20 kS/s, při použití pouze jednoho kanálu. Při využití více vstupů (výstupů) se tento kmitočet rozděluje mezi jednotlivé kanály, což při plném využití všech kanálů vede k poklesu vzorkovací frekvence 1,25 kS/s na kanál s rozsahem napětí 0 až 5 V.

Pro splnění zadání, kde má šířka pásma být alespoň 50 kHz a dynamický rozsah minimálně 96 dB bylo nejdříve nutné najít analogově digitální a digitálně analogové převodníky splňující tyto požadavky. Pro zjištění minimálního počtu bitů převodníků jsem vycházel z poměru signál-šum pro střídavý vstupní signál.

$$SNR_{dB} = 6,02 \cdot n + 1,761$$

$$n = \frac{SNR_{dB} - 1,761}{6,02} = \frac{96 - 1,761}{6,02} = 15,65$$

Z přechozího výpočtu vyplývá že zadání splní minimálně 16bitový převodník. Pro výběr vzorkovacího kmitočtu je nutné splnit Shannon-Kotělnikovův teorém, což znamená, minimální vzorkovací frekvence převodníku musí být 100 kS/s. Zvolil jsem typ převodníku s postupnou aproximací. Pro zjištění potřebných komponent jsem provedl průzkum trhu a zanesl jej do tabulky.

Celková koncepce modulu se bude skládat ze dvou analogových vstupů a jednoho výstupu. Pro přesné měření přechodových charakteristik je vhodné měřit i signál, který vstupuje do měřeného systému.

Tabulka 6. Možné AD převodníky

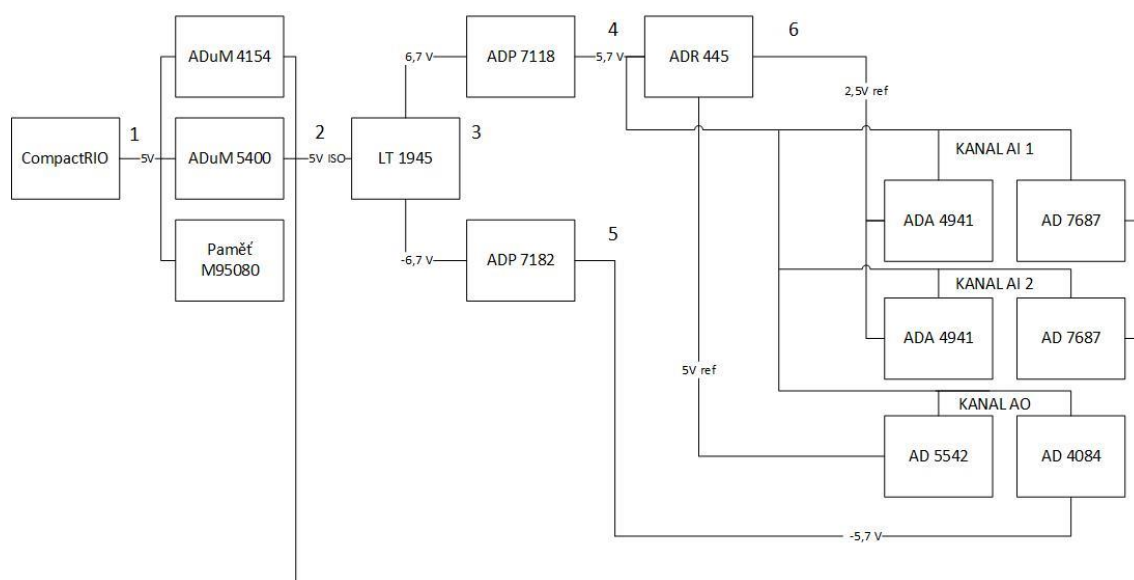
| Název    | Výrobce        | Rozliš. | $f_{\text{vzork}}$<br>[S/s] | Počet<br>kanálů | Typ vstupu    | $U_{\text{ref}}$ | ADC<br>driver |
|----------|----------------|---------|-----------------------------|-----------------|---------------|------------------|---------------|
| AD7982   | Analog Devices | 18      | 1 M                         | 1               | Diferenciální | 2,5-5            | ADA 4941      |
| AD7983   | Analog Devices | 16      | 1,33 M                      | 1               | Pseudodif.    | 2,9-5            | ADA 4841      |
| AD7980   | Analog Devices | 16      | 1 M                         | 1               | Pseudodif.    | 2,5-5            | ADA 4841      |
| AD7984   | Analog Devices | 18      | 1,33 M                      | 1               | Diferenciální | 2,9-5            | ADA 4941      |
| AD7989-1 | Analog Devices | 18      | 100 k                       | 1               | Diferenciální | 2,5-5            | ADA 4941      |
| AD7903   | Analog Devices | 16      | 1 M                         | 2               | Diferenciální | 2,5-5            | ADA 4941      |
| AD7687   | Analog Devices | 16      | 250 k                       | 1               | Diferenciální | 0,5-5            | ADA 4941      |

|         |                   |    |       |   |               |           |         |
|---------|-------------------|----|-------|---|---------------|-----------|---------|
| ADS8328 | Texas Instruments | 16 | 500 k | 1 | Pseudodif.    | 0,3 - 2,5 | THS4031 |
| LTC1864 | Linear Technology | 16 | 250 k | 1 | Diferenciální | 1 - 5     |         |
| MAX1132 | MAXIM             | 16 | 200 k | 1 | Pseudodif.    | 3 - 4,2   | MAX 410 |

Tabulka 7. Vybrané digitálně analogové převodníky

| Název   | Firma             | Rozlišení | $f_{clkmax}$ [MHz] | Počet kanálů | Typ výstupu          | Výstup napětí |
|---------|-------------------|-----------|--------------------|--------------|----------------------|---------------|
| AD5542  | Analog Devices    | 16        | 50                 | 1            | bipolární/unipolární | unbuffered    |
| AD5541A | Analog Devices    | 16        | 50                 | 1            | unipolární           | unbuffered    |
| AD5060  | Analog Devices    | 16        | 30                 | 1            | unipolární           | buffered      |
| DAC8831 | Texas Instruments | 16        | 50                 | 1            | unipolární           | unbuffered    |
| LTC2641 | Linear Technology | 16        | 50                 | 1            | bipolární/unipolární | unbuffered    |
| MAX542  | MAXIM             | 16        | 10                 | 1            | bipolární/unipolární | unbuffered    |

Z tabulky 6 jsem vybral AD7687 a z tabulky 7 AD5542A. Tyto převodníky splňují podmínky zadání, ale i vstupní a výstupní rozsah v rozmezí  $\pm 5$  V. Pro tyto rozsahy bylo nutné upravit i napájecí napětí jednotlivých komponent. Výsledné blokové schéma je vidět na obrázku 28.



Obrázek 28. Schéma napájení komponent analogového I/O modulu

Pro galvanické oddělení digitálních signálů jsem použil SPI izolátor ADuM 4154, který má v sobě implementovaný multiplexor sloužící pro aktivaci jednoho ze čtyř

zařízení podle binární kombinace vstupů na adresových bitech. Dalším použitým komponentem je čtyřkanálový izolátor ADuM 5400 obsahující DC/DC měnič, poskytující výstupní výkon 500 mW.

Pro vytvoření kladného i záporného napětí jsem vybral nastavitelný duální DC/DC měnič LT1945. Vhodnou volbou poměrů velikostí rezistorů lze na výstupu nastavit napětí až  $\pm 34$  V. Jelikož tvar výstupního napětí měniče obsahuje rušivé složky, je vhodné použít LDO (Low dropout) lineární regulátory, které umí snížit hodnotu výstupního napětí o malou hodnotu. Pro kladné napětí jsem vybral ADP 7118 a pro záporné ADP 7182. Aby převodníky pracovaly v daném rozsahu, bylo nutné použít přesný zdroj napětí neboli napětíovou referenci ADR 445, která na svém výstupu trvale vytváří 5 V s přesností setin procent.

*Tabulka 8. Výkonový balance komponent analogového modulu*

| Název      | $I_{\text{vstup}}$ [mA] | $I_{\text{výstup}}$ [mA] | $U_{\text{vstup}}$ [V] | $U_{\text{výstup}}$ [V] | Zdroje napětí |
|------------|-------------------------|--------------------------|------------------------|-------------------------|---------------|
| cRIO       | -                       | max 200(1)               | -                      | 5 (1)                   | 1 cRIO        |
| M95080-W   | 5 (1)                   | -                        | 5 (1)                  | -                       | 2 ADuM 5400   |
| ADuM 5400  | 290 (1)                 | max 100(2)               | 5 (1)                  | 5 (2)                   | 3 LT1945      |
| ADuM 4154  | 10 (1) /13 (2)          | -                        | 5 (1)/ 5(2)            | -                       | 4 ADP 7118    |
| LT1945     |                         | max 200(3)               | 5 (2)                  | 6.5(3)/-6.5(3)          | 5 ADP 7182    |
| ADP 7118   |                         | max 200(4)               | 6.5(3)                 | 5.7(4)                  | 6 ADR 445     |
| ADP 7182   |                         | max 200(5)               | -6.5(3)                | -5.7(5)                 |               |
| ADR 445    | 3 (5)                   | max 10(6)                | 5.7(4)                 | 5 (6)                   |               |
| ADA4941 2x | 5(5)/0.1(6)             |                          | 5.7(4)/5 (6)           | -                       |               |
| AD7687 2x  | 5(5)/0.1(6)/<br>1(2)    |                          | 5.7(4)/5 (6)/<br>5(2)  | -                       |               |
| AD 5542    | 0.125(5)/0.1(6)         |                          | 5.7(4)/5 (6)           | -                       |               |
| AD 4084    | 1 (5)                   | max -24/17               | 5.7(4)/-5.7(5)         | -                       |               |

Celková cena všech komponent karty včetně nákladů na výrobu byla přibližně zhruba 3800 Kč. V následující tabulce jsou zobrazeny jednotlivé položky a jejich ceny, které jsem zjišťoval na e-shopu <http://cz.farnell.com/>.

*Tabulka 9. Cenová balance analogové karty*

| Název     | Počet | Cena za kus [Kč] | Cena celkem [Kč] |
|-----------|-------|------------------|------------------|
| M95080    | 1     | 51               | 51               |
| LT1945    | 1     | 137              | 137              |
| ADP7182   | 1     | 82               | 82               |
| ADP7118   | 1     | 70               | 70               |
| ADR445    | 1     | 205              | 205              |
| ADuM4154  | 1     | 201              | 201              |
| ADuM5400  | 1     | 309              | 309              |
| ADA4941-1 | 2     | 210              | 420              |
| AD7687    | 2     | 520              | 1040             |

|                |     |     |      |
|----------------|-----|-----|------|
| AD5542         | 1   | 605 | 605  |
| ADA4084        | 1   | 108 | 108  |
| Rezistory      | 60  | 0.5 | 30   |
| Kondenzátory   | 38  | 0.5 | 19   |
| Diody          | 3   | 6   | 18   |
| Cívky          | 2   | 15  | 30   |
| DPS            | 1   | 325 | 325  |
| Konektor       | 1   | 28  | 28   |
| Konektor       | 1   | 55  | 55   |
| Logická hradla | 2   | 20  | 40   |
| Celkem         | 119 |     | 3773 |

## 4.1 Komplikace při ožiování

Při ožiování desky se objevil problém s integrovaným obvodem ADuM 5400, neboť po zapnutí napájení začal odebírat větší proud DC/DC měnič LT1945, až se na výstupu galvanického oddělovače objevilo napětí 0,9 V nikoliv 5 V. Velikost tohoto napětí byla způsobena otevřením tranzistorů v měniči LT 1945. Aby se zabránilo včasnému otevření, ještě než se plně objeví 5 V na výstupu ADuM 5400, zapojil jsem před povolovací piny /SHDN1 a /SHDN2 měniče LT 1945 zpoždovač tvořený RC článkem. Tím bylo dosaženo zpožděného zapnutí konvertoru. Ještě lepší řešením, by bylo použít napěťový komparátor, který by zajistil přivedení správných napěťových úrovní na piny /SHDN1 a /SHDN2 až po úplném naběhnutí ADuM 5400. Další možností připravenou k použití je připojení těchto pinů na signály z CompactRIA.

Dalším problémem bylo nemožnost programově nastavit úroveň logické 1 na pinu ~SPI\_CS/ DIO5, protože při každém čtení nebo zápisu se automaticky nastavila na logickou nulu. Tím docházelo k přepisování paměti. Tento problém jsem vyřešil pomocí logické kombinace určitých pinů.

CS paměti:

$$\overline{CS\_MEM} = \sim ID\_SELECT + \overline{SPI\_FUNC} + \sim SPI\_CS$$

CS SPI slave:

$$\overline{CS\_SPI} = \sim ID\_SELECT + \sim SPI\_CS$$

Dalším problémem, který se vyskytl na první verzi DPS bylo nedefinování úrovní na povolovacích vstupech AD nebo DA převodníků, protože na výstupu ADuM 4154 je stav vysoké impedance, pokud není vybrán příslušný slave pomocí adresových bitů SSA0 a SSA1. Pro správnou činnost jsem musel definovat potřebnou úroveň pomocí připojení pull-up rezistorů k jednotlivým povolovacím vstupům.

## 4.2 Návrh a výpočet hodnot komponent

Pro splnění návrhu napájecích obvodů a dosažení potřebných hodnot výstupních napětí bylo nutné si stanovit hodnoty jednotlivých komponent. Nikdy ovšem není možné dosáhnout přesně vypočítaných hodnot, neboť součástky se vyrábí s určitou tolerancí.

Abych zamezil (zmenšil) vyrovnávacím proudům, které by mohly téct mezi jednotlivými obvody používající digitální sběrnici, připojil jsem na každý digitální signál (CLK, MOSI, MISO, atd.) rezistor o hodnotě 10 Ω.

K zajištění kladného i záporného napětí jsem použil integrovaný obvod LT1945. K dosažení požadovaného napětí je potřeba vypočítat jednotlivé hodnoty rezistorů, resp jejich poměr. Obecně je vhodné používat hodnoty v řádech kΩ, aby jimi neprotékal zbytečně velký proud. Proto, když se měl zvolit hodnotu jednoho rezistoru, vždy jsem použil 10 kΩ. Z katalogového listu jsem zjistil vzorce pro výpočet:

### LT1945

Vin = 5V, Vout = ±6,5V

- Kladné napětí:

$$R1 = R2 \left( \frac{V_{out}}{1,23} - 1 \right) = 10 \cdot 10^3 \left( \frac{6,5}{1,23} - 1 \right) = 42,8k\Omega$$

R1 = 42,8 kΩ (43k)

R2 = 10 kΩ

- Záporné napětí:

$$R1 = \frac{|V_{out}| - 1,23}{\frac{1,23}{R2} + 2 \cdot 10^{-6}} = \frac{|-6,5| - 1,23}{\frac{1,23}{10 \cdot 10^3} + 2 \cdot 10^{-6}} = 42,2k\Omega$$

R1 = 42,8 kΩ (43k)

R2 = 10 kΩ

### ADP7118

Vin = 6,5V, Vout = 5,7 V

$$V_{out} = 5 \cdot \left( 1 + \frac{R1}{R2} \right)$$

Po úpravě lze vyjádřit R1:

$$R1 = \frac{R2 \cdot V_{out} - 5 \cdot R2}{5} = \frac{10 \cdot 10^3 \cdot 5,7 - 5 \cdot 10 \cdot 10^3}{5} = 1400\Omega$$

R1 = 1,4 kΩ (1,5 kΩ)

R2 = 10 kΩ

### ADP7182

Vin = -6,5V, Vout = -5,7 V

$$V_{out} = -1,22 \cdot \left(1 + \frac{R1}{R2}\right)$$

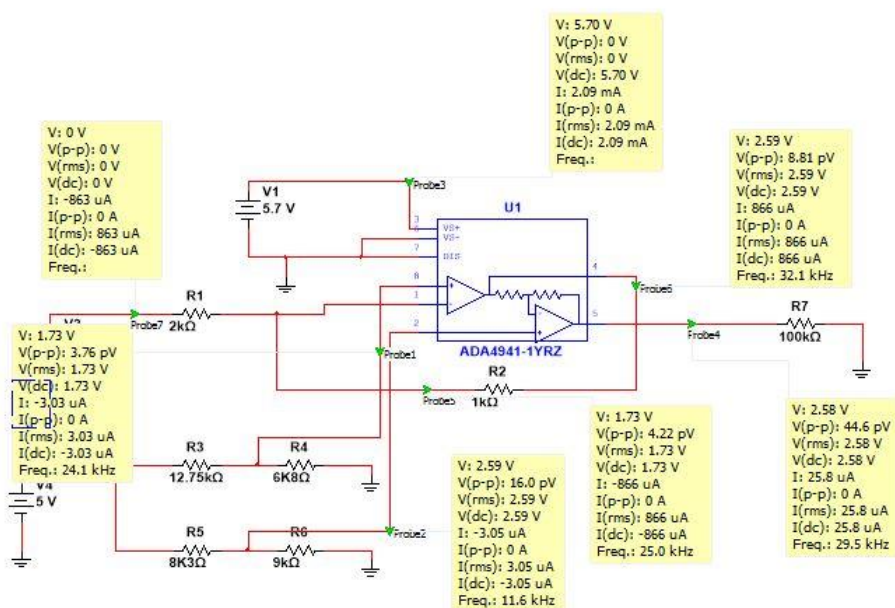
Po úpravě lze vyjádřit R1:

$$R1 = \frac{R2 \cdot V_{out} + 1,22 \cdot R2}{-1,22} = \frac{10 \cdot 10^3 \cdot -5,7 + 1,22 \cdot 10 \cdot 10^3}{-1,22} = 36,7 \text{ k}\Omega$$

$$R1 = 36,7 \text{ k}\Omega \text{ (37,5 k}\Omega\text{)}$$

$$R2 = 10 \text{ k}\Omega$$

Pro správnou funkci vstupních obvodů a analogově-číslicového převodu bylo potřeba navrhnout hodnoty odporů pro obvod ADA4941-1. Tento integrovaný obvod má single-ended vstup a diferenciální výstup a proto jsem jej vybral jako driver pro analogově-číslicový převodník AD7687. Abych dosáhl jeho správné funkce, použil jsem simulační nástroj Multisim k nalezení správných hodnot externích rezistorů.

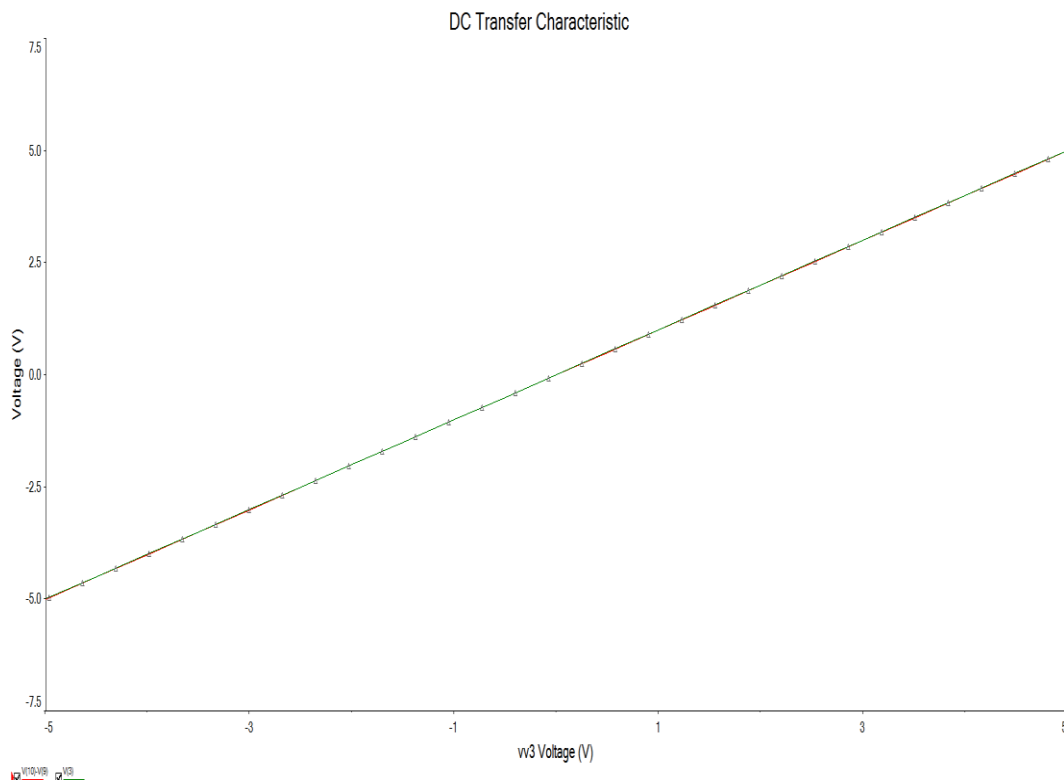


Obrázek 29. Simulace pro určení hodnot externích rezistorů

Na obrázku 29 je vidět schéma zapojení ADA4941-1. Integrovaný obvod se skládá ze dvou sériově zapojených zesilovačů. Na záporný vstup prvního zesilovače pin 1 (FB) je přivedena zpětná vazba z kladného výstupu a pomocí kombinace rezistorů R1 a R2 lze změnit vstupní rozsah. Poměr mezi rezistory R1/R2 udává poměr mezi vstupním rozsahem a referenčním napětím, přivedené na pin 2. Referenční napětí připojené k tomuto pinu se objeví na výstupu jako souhlasné napětí (Common-mode Voltage). Protože AD7687 má v katalogu uvedené jako souhlasné napětí  $V_{ref}/2$ , což v mém případě představuje 2,5 V, musí být i tato hodnota přivedena na již zmiňovaný pin 2 obvodu ADA4941-1. Při znalosti referenčního napětí a měřicího rozsahu ( $\pm 5$  V)

jsem stanovil poměr rezistorů  $R1/R2$  na 2 ( $R1 = 2k\Omega$ ,  $R2 = 1k\Omega$ ). Ostatní rezistory jsem doladřoval pomocí simulace, aby se hodnota rozdílu napětí na výstupech (piny 4 a 5) shodovala s hodnotou vstupního napětí, jak je vidět na grafu 1.

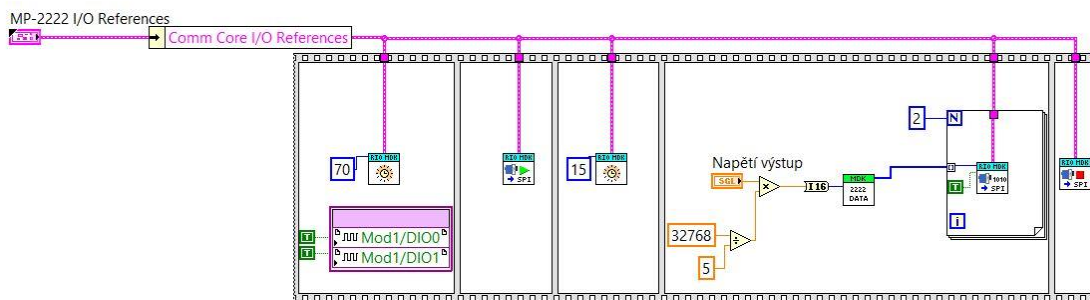
*Graf 1. převodní charakteristika ADA4941-1*



### 4.3 Software pro čtení a generování napětí

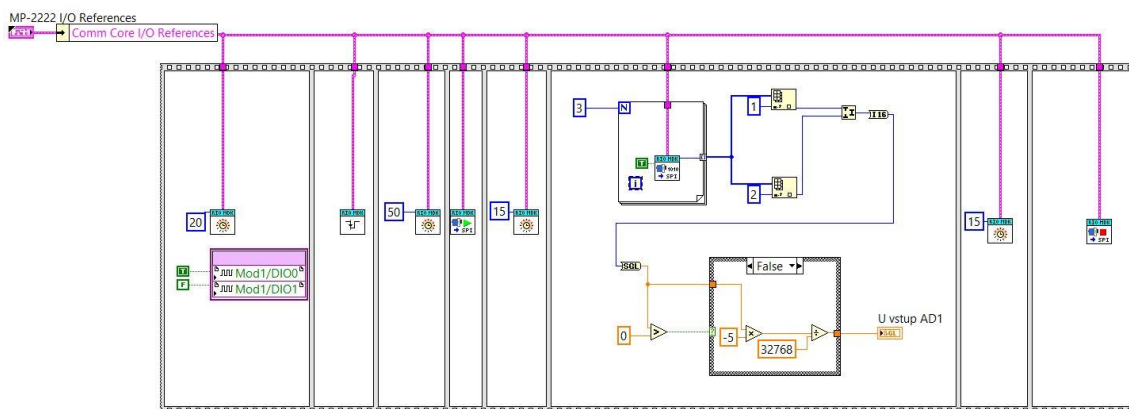
Po úspěšné identifikaci karty jsem nejdříve naprogramoval komunikaci pro generování napětí pomocí číslicově-analogového převodníku.

Kvůli integrovanému multiplexoru v SPI izolátoru je nutné pomocí logické kombinace výstupů ( $DIO0 = DIO1 = 1$ ) vybrat chip select na DA převodníku ( $\sim CS\_DA = 1$ ). V dalším kroku se pomocí bloku SPI Start VI uvede signál  $\sim SPI\_CS$  do stavu logické 0, čímž dojde k překlopení ( $\sim CS\_AD$ ) do logické nuly a k povolení digitálního přenosu DA převodníku. V dalším kroku se musí zadané napětí přepočítat na rozsah znaménkového integeru. Již přepočítaná hodnota vstupuje do bloku MP-2222\_Data, který jej převádí na posloupnost dvou bytů ve tvaru dvojkového doplňku. Po jednotlivých bytech se provede zápis na signál MOSI pomocí SPI Byte VI. V poslední části sekvence je umístěn blok SPI End VI zajišťující ukončení přenosu a překlopení  $\sim SPI\_CS$  do logické 1. Sekvence provádějící přenos hodnoty k digitálně analogovému převodníku je zobrazena na obrázku 30.



Obrázek 30. Programová sekvence zápisu hodnoty do DA převodníku

Následujícím krokem pro oživení bylo čtení hodnot z jednoho analogově číslicového převodníku. Pro povolovací vstup AD převodníku platí úplně stejná sekvence jako pro DA konvertor. Aby převodník věděl, kdy má provést vzorkování, musí přijít náběžná hrana pinu CNV, která znamená začátek konverze. O tento puls se stará blok Pulse Convert VI. V XML souboru lze nastavit délku pulsu na krátkou, střední nebo dlouhou dobu. Dalším krokem je zpoždění s definovaným časem uvedeném v katalogovém listu převodníku. Pro tento účel jsem využil blok Wait Base Clock Ticks VI. Po uplynutí stanoveného času začíná přenos. Blok SPI Byte VI sem umístím do for smyčky, která se provádí celkem třikrát, protože v prvním kroku se nevykoná čtení dat ze sběrnice. Z přijatého pole jsem pomocí Index Array, Join Number a To Word Integer převedl na hodnotu datového typu znaménkový int. Protože počet úrovní pro kladné a záporné číslo je odlišné, použil jsem Case strukturu k přesnému převodu přijatého napětí.



Obrázek 31. Programová sekvence pro čtení dat z AD převodníku

Posledním krokem bylo spojit všechny předchozí sekvence do jedné, aby probíhalo zároveň čtení i generování signálů. Splnění tohoto úkole je možné více způsoby, já při vývoji používal dva. Jedním je dlouhá sekvence, kde jsou vloženy jednotlivé kroky (čtení, zápis) za sebou. Druhým používaným způsobem bylo využití

smyčky for o třech krocích. V každém kroku se provedla jedna operace (čtení nebo zápis).

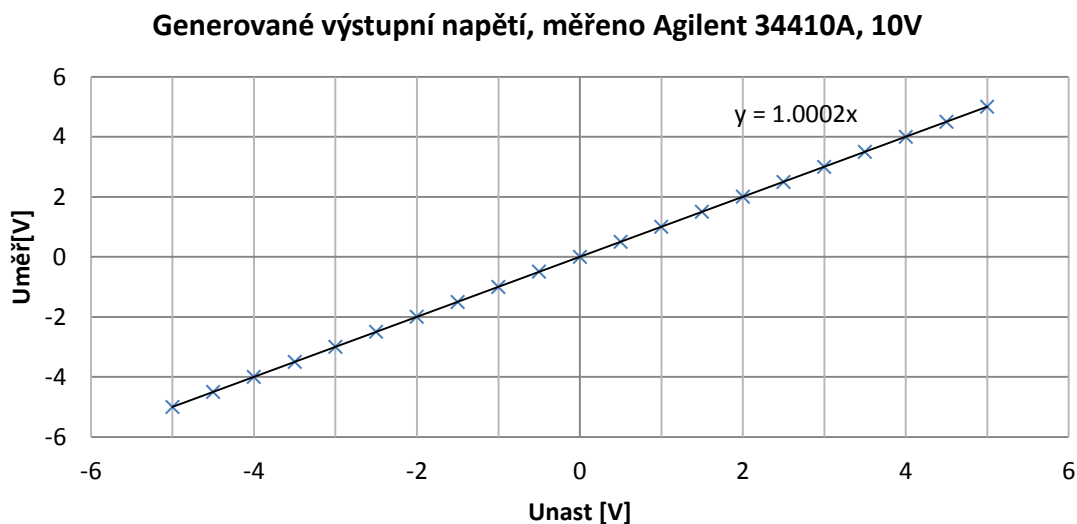
Největší komplikace bylo nutnost dodržet správné načasování, protože při brzkém nebo zpožděném sepnutí signálu docházelo k přenosu špatných dat. Bylo nutné přidat bločky Wait Base Clock Ticks VI pro přenastavení signálů DIO0 a DIO1 i po skončení přenosu, aby při změně adresových bitů na komparátoru byl chip select integrovaného obvodu ADuM 4154 ve stavu logické jedničky. Celková dosažitelná maximální frekvence převodu jednotlivých kanálů při tomto řešení je 42 kHz.

## 4.4 Měření a charakteristiky

Po hardwarovém i softwarovém oživení karty, jsem provedl měření jednotlivých kanálů, abych zjistil jejich elektrické (metrologické) parametry.

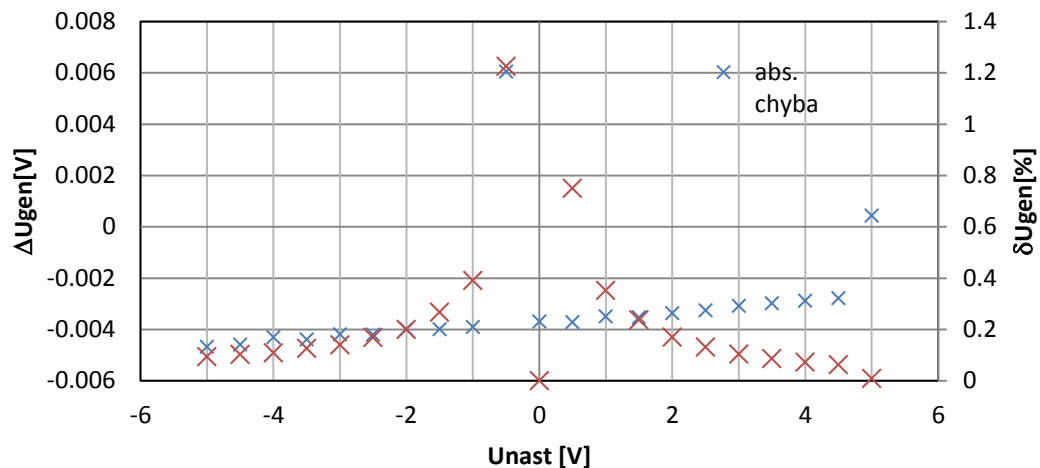
Nedříve jsem si změřil převodní charakteristiku analogového výstupu. V softwaru jsem nastavoval hodnoty výstupního napětí a měřil je pomocí multimetru Agilent 34410A. Změřené hodnoty výstupního napětí jsou uvedeny v tabulce C.3. Měření jsem provedl desetkrát pro 21 hodnot napětí, vypočítal průměrnou hodnotu a určil relativní a absolutní chybu. Průměrná absolutní chyba vyšla  $\Delta U_{\text{prům}} = 0,00369 \text{ V}$  a průměrná vypočítaná relativní chyba byla  $\delta U_{\text{prům}} = 0,25 \%$ . Výstupní charakteristika a chyby pro jednotlivá napětí jsou zobrazena v následujících grafech.

Graf 2. Naměřená výstupní charakteristika AD/DA modulu



Graf 3. Absolutní a relativní chyba výstupního kanálu

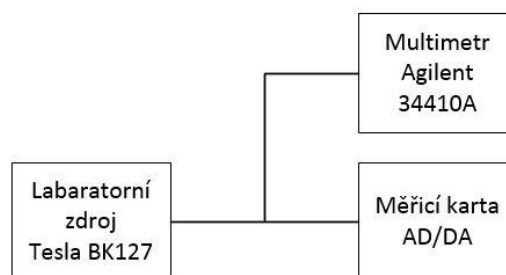
**Absolutní a relativní chyby výstupní napětí, měřeno Agilent 34410A, 10V**



Pro určení přesnosti neboli chyby vstupních kanálů jsem použil zapojení podle obrázku 32. Tabulky naměřených a vypočítaných hodnot jsou zobrazeny v příloze (C.1 a C.2 ). Pro analogové vstupní kanály jsem spočítal následující chyby:

- Kanál 1:  $\Delta U_{\text{prům}} = 0,0304 \text{ V}$   
 $\delta U_{\text{prům}} = 1,10 \%$
- Kanál 2:  $\Delta U_{\text{prům}} = 0,0203 \text{ V}$   
 $\delta U_{\text{prům}} = 0,91 \%$

Velikost a odlišnost chyb je způsobena tolerancí externích rezistorů, které určují zesílení integrovaného obvodu ADA 4941-1.

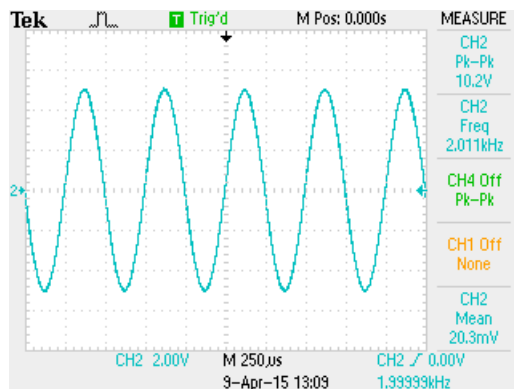


Obrázek 32. Blokové schéma zapojení pro měření napětí

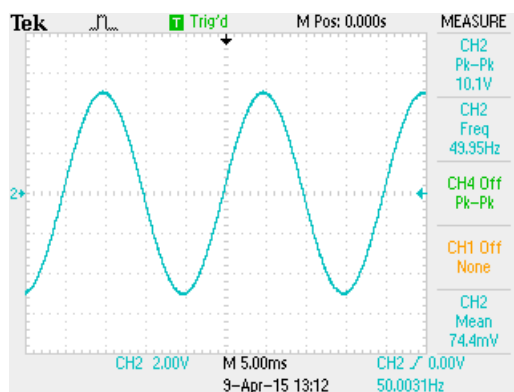
Dále jsem provedl měření offsetu jednotlivých kanálů. Vstupní piny konektoru X1 jsem propojil na zem a pro první kanál jsem naměřil  $U_{\text{offset1}} = -0,0039\text{V}$ , pro druhý kanál  $U_{\text{offset2}} = -0,0204\text{V}$ .

Pro názornou ukázkou a zjištění vzorkovací frekvence jsem naprogramoval možnost generování sinusového průběhu pro různé frekvence. Jelikož v FPGA nelze

přímo měnit parametry tohoto průběhu muselo být vytvořeno několik bloků pro různé frekvence. Amplitudu jsem zvolil jako maximální rozsah tedy 5V. Na obrázcích 33 a 34 jsou zaznamenány jednotlivé průběhy změřené osciloskopem Tectronix TDS 2014B.

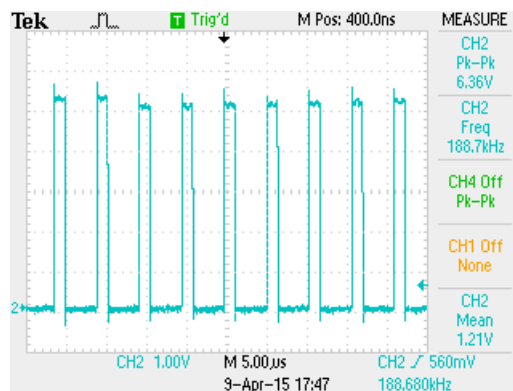


Obrázek 33. Generovaný sinusový průběh  $f = 2\text{kHz}$



Obrázek 34. Generovaný sinusový průběh  $f = 50\text{ Hz}$

Určení vzorkovací frekvence AD převodníku jsem provedl dvěma způsoby. Pomocí sinusového průběhu o frekvenci 10 kHz, kde po přiblížení jsem změřil dobu trvání jednoho kroku (převodu) a převrácená hodnota mi poskytla vzorkovací frekvenci. Druhý způsob určení vzorkovací frekvence bylo odečtení frekvence vstupního signálu na pinu CS obvodu AD5542. Což znamená, že každý impuls znamená jednu změnu. Výsledná frekvence vzorkování DA převodníku byla 188,7 kHz.



Obrázek 35. Zobrazení průběhu na signálu CS číslicově-analogového převodníku

Pomocí druhé metody jsem zjistil vzorkovací frekvenci analogově číslicového převodníku. Při čtení pouze jednoho kanálu jsem dosáhl frekvenci  $f_{\text{vzork}} = 111 \text{ kHz}$ . V případě čtení napětí ze dvou převodníků zároveň bylo dosaženo  $f_{\text{vzork}} = 66 \text{ kHz}$ . Vzorkovací perioda je závislá i na složitosti kódu, neboť operace jsou řízeny tokem dat. Dalším omezujícím faktorem je nutnost přepínání kanálu v době, kdy se na pinu  $\sim\text{CS/DIO5}$  se objeví logická 1. Tato okolnost je způsobena integrovaným obvodem ADuM 4154, u kterého se vlivem při přepínání adresních bitů při  $\text{CS} = 0$  objevovaly na výstupech náběžné rampy nikoli obdélníkový průběh.

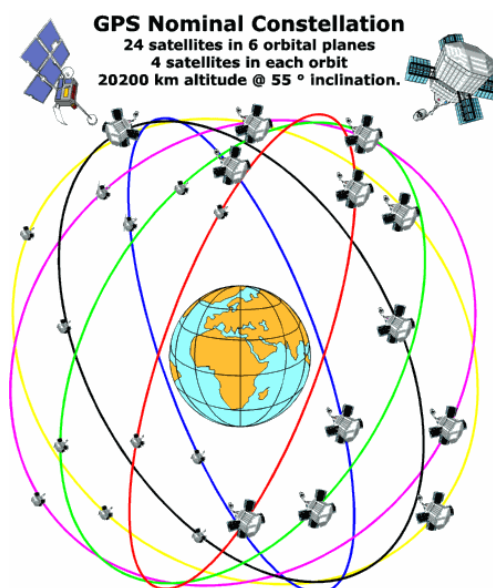
## 5 GPS

Druhým navrženým a realizovaným modulem do systému CompactRIO je karta obsahující GPS modul. GPS (Global Positioning System) je systém umožňující přesně určit polohu a čas kdekoliv na Zemi pomocí družicového polohovacího systému. Koncepte vychází z družicového navigačního systému Transit námořnictva USA. Využíval Dopplerovského jevu a sloužil pro navigaci na mořích a oceánech. V roce 1973 byl zahájen projekt NAVSTAR – GPS, který měl umožnit určení polohy v trojrozměrném měřítku.

### 5.1 Struktura systému GPS

Strukturu polohových družicových systémů tvoří tři základní segmenty – kosmický, řídicí a uživatelský. Každý segment funguje samostatně, ale využívá se přesného časování k synchronizaci mezi sebou.

Kosmický segment se skládá ze soustavy družic, které se pohybují kolem Země po přesně daných oběžných drahách. Nejdříve byl kosmický prostor projektován na 24 družic (21 navigačních a 3 záložní), ale v dnešní době se jich pohybuje kolem Země 31 ve výšce 20 350 km na šesti kruhových drahách. Jednotlivé dráhy jsou od sebe pootočené o 55 °, což by mělo zajistit konstantní signál minimálně ze čtyř družic zároveň kdekoliv na Zemi. Každá obsahuje systémy pro monitorování činnosti, záložní baterie, solární panely, atomové hodiny a raketové motorky, kterými je schopna korigovat odchylky od stanovené dráhy.



Obrázek 36. Kosmický segment systému GPS<sup>[14]</sup>

Struktura řídicího segmentu je tvořena z dalších částí (velitelství, řídicí středisko, povelové a monitorovací stanice). Jeho hlavním úkolem je kontrola polohy, atomových hodin, aktualizace navigačních zpráv a také případné korekce družic. Velitelství celého systému (Navstar Headquarters) se nachází na letecké základně v Los Angeles. Monitorovací stanice jsou v podstatě velmi přesné GPS přijímače doplněné o atomové hodiny, které měří vzdálenosti od jednotlivých družic. Tyto vzdálenosti se zprávami od družic zasílají do řídicí stanice. Ta vyhodnotí údaje a spočítají takzvané efermidy, což jsou predikce dráhy družic a popřípadě je pošle zpět družicím, které provedou opravu.

Poslední vrstvou je uživatelský segment, který dekóduje data z družic a převede na požadované informace. Pro výpočet souřadnic ve čtyřrozměrném systému (x, y, z, t) je nutné mít signál minimálně ze čtyř družic současně. Díky snadnému přístupu a možnostem, které nabízí systém GPS, bylo v dnešní době vynalezeno spousta aplikací jako například navigace (výpočet polohy, rychlosti a času) v mobilních telefonech, běžeckých hodinkách, dopravních kontejnerech, zemědělství, letectví, námořnictví a mnoho další. Dále se používá i pro finanční a bankovní sektor, v energetických a v komunikačních sítích se využívá přesné časové synchronizace GPS. [13], [15]



Obrázek 37. Družice GPS IIR(M)<sup>[15]</sup>

Přijímač GPS je uživatelský přístroj, který přijímá a vyhodnocuje signály z družic. Skládá se ze tří hlavních částí:

- Anténa
- Navigační přijímač
- Navigační počítač

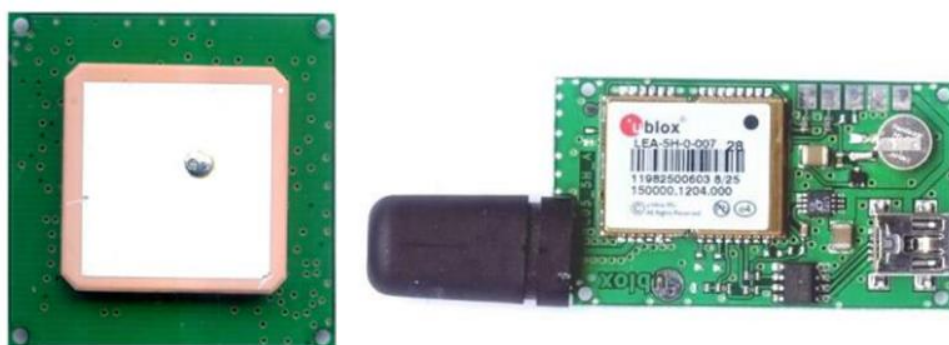
## 5.2 GPS přijímač

Pro přesnost přijatých informací má největší vliv kvalita a parametry antény. V dnešní době lze pořídit velmi přesné a drahé antény pro geodetická měření, ale i levné pro ruční přístroje. Existuje mnoho hledisek, podle kterých lze provést dělení, ale asi

nejznámější je rozdělení antén na pasivní a aktivní. Jediný rozdíl mezi těmito typy je použití integrovaného zesilovače pro zesílení přijatého signálu v aktivních anténách. Signál z pasivních antén již není vhodné zesilovat, neboť by docházelo i k zesílení šumu.

Mezi nejpoužívanější pasivní antény patří Patch (pásková) anténa. Ta je vyrobena z keramického a kovového těla a namontována na kovové základní desce. Nejčastěji má tvar plochého hranolu s rozměry 25 x 25 mm. Tyto antény mohou dosahovat velkých zisků, jsou levné a velmi vhodné pro aplikace, kde se antény připevňují na rovnou základnu například na desku plošných spojů. Nejlepší parametry dosahují při vodorovné poloze rovnoběžně se zemí a při vertikální poloze nepřijímají téměř žádný signál, tudíž záleží i na tom, v jaké poloze přijímač držíme.

Dalším používaným typem je šroubovicová (Helix) anténa. Směr vyzařování se odvíjí od velikosti úhlu stoupání šroubovice. Pro vyzařování ve směru vinutí je potřebný úhel čtrnáct stupňů. Pro malé úhly se podobá dipólu, protože vyzařuje obdobně do stran. Při vhodné konstrukci lze dosáhnout širokou směrovou charakteristiku, a proto se používá v aplikacích, kdy dochází k častým změnám polohy přijímače (pohyb v terénu atd.). Pro zlepšení směrových charakteristik se vyrábí vícenásobné vinutí, nejčastěji čtyřnásobné. Aby nedocházelo ke zničení při pádu nebo neopatrném zacházení, bývá zakryta plastovým nebo gumovým kloboučkem.



Obrázek 38. Ukázky pasivních antén (Patch, Helix) <sup>[16]</sup>

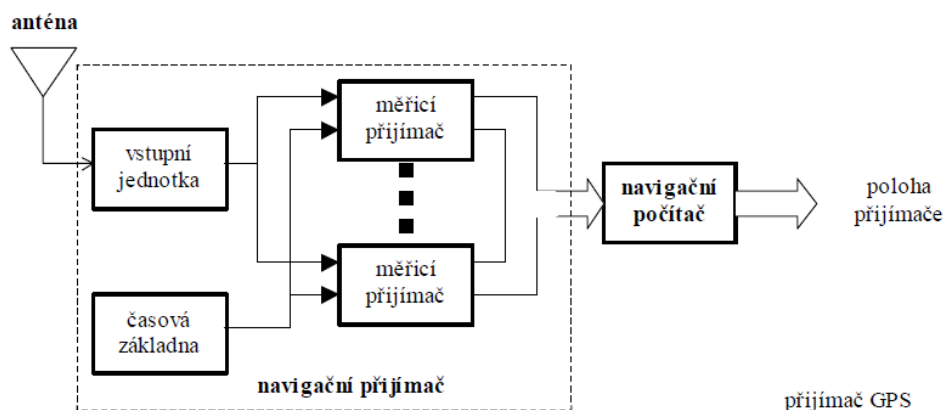
Existují i další možná řešení jako jednopólová anténa na čipu, fraktální, loop či dipólové antény, ale ty nejsou tak rozšířené jako předchozí typy.

Aktivní antény jak již bylo řečeno, obsahují vestavěný předzesilovač, čímž dosahují daleko lepší parametry než pasivní. Tento zesilovač je nízko-šumový a má dva přínosy, které pomáhají ke zlepšení citlivosti. První z nich je zesilování signálu, čímž zamezí ztrátám na vedení a druhý snižování šumového faktoru. Nevýhodou těchto antén je potřeba napájení, což vede ke zvýšení spotřeby celého GPS přijímače. Obvykle je napájení vedeno pomocí koaxiálního kabelu, který je využit i pro příjem signálu. Na stejnosměrné složce je superponován vysokofrekvenční signál. Pro vedení delší než deset centimetrů je výhodnější využít tento druh antén. Je třeba si dávat pozor na příliš

velký zisk při krátkých vzdálenostech vysokofrekvenčního vedení, protože může dojít i k zahlcení přijímače. Další výhodou oproti pasivním anténám je větší tolerance vůči nedodržení přesné hodnoty impedance.

Důležitou součástí GPS přijímače je navigační přijímač, který se stará o výběr signálů z jednotlivých družic přijatých anténou a následné zpracování. Přijímače se dělí na jednobandové, vícebandové a hybridní. Jednobandové mohou v jeden okamžik zpracovávat signál pouze z jedné družice a po jejím zpracování přepnou na další kanál. Vícebandové mají fyzicky přítomný kanál pro každou družici, čímž se zefektivní zpracování. Hybridní přijímače mají více kanálů (dva, tři), ale ne dostatek aby obsáhly všechny přítomné satelity, proto musí přepínat mezi signály z družic.

Poslední prvkem GPS přijímače je navigační počítač, který slouží ke zpracování jednotlivých vzdáleností od družic a tím vyhodnocení aktuální polohy přijímače, přesný čas, popřípadě rychlost. [13], [16]



Obrázek 39. Blokové schéma GPS přijímače <sup>[17]</sup>

### 5.3 Principy měření vzdálenosti

Poloha určená GPS přijímačem je dána průmětem jednotlivých měřených vzdáleností od družic. K určení této polohy existuje více algoritmů a metod. Podle typu měřené veličiny se dělí:

- Fáze C/A kódu nebo P(Y) kódu
- Dopplerův frekvenční posun
- Fáze nosné vlny

Nejčastěji používanou metodou zjištění polohy je měření fáze kódu. Družice v přesně definovaných časech vysílá tzv. dálkoměrný kód, který obsahuje informaci o družici a dobu odeslání. Až přijímač přijme dálkoměrný kód, rozšiřuje je a zjistí údaje o době odeslání a vypočítá vzdálenost od družice z rozdílů odeslání a přijetí kódu.

Nevýhodou této metody je nepřesná synchronizace hodin GPS přijímače a družice, proto nikdy nedostaneme úplně přesnou vzdálenost, ale tzv. pseudovzdálenost.

Druhým odlišným způsobem vyhodnocení vzdáleností je určení fáze nosné vlny. Měří se změny fáze nosné vlny přijaté GPS přijímačem, kterou umí poměrně přesně zaznamenat. Vyznačuje se ale poměrně velkou nepřesností a nejednoznačností, protože nezná počet celočíselných násobků nosných vln (ambiguit), které hrubě odpovídají vzdálenosti mezi družicí a zařízením. Z toho důvodu se počítají tyto násobky pomocí matematických metod s určitou pravděpodobností. Při správném určení násobků dosahuje tato metoda přesnosti teoreticky až na milimetry. Nevýhodou je velká náchylnost na ztrátu signálu například v tunelu.

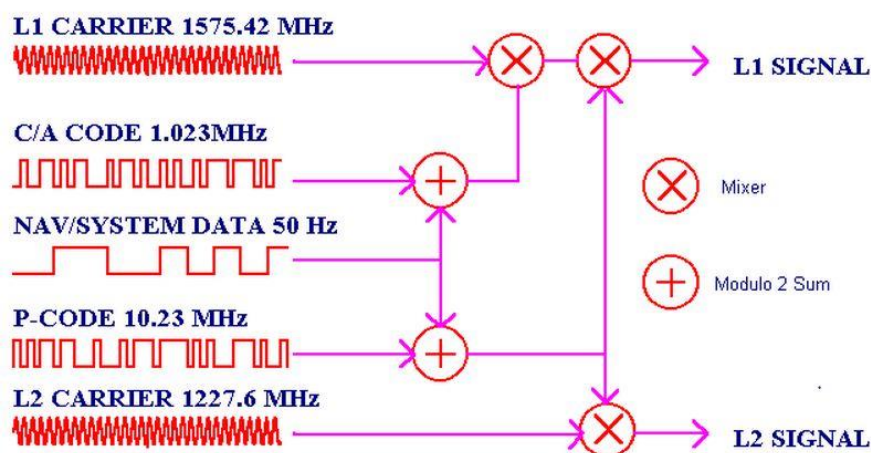
Další metoda využívá Dopplerova jevu, neboli změna frekvence pohybujícího se tělesa. Je měřena změna nosné frekvence způsobena pohybem družice vůči přijímači. Z těchto informací lze dopočítat polohu na Zemi, kde se nachází přijímač, ale vhodnější je k určení rychlosti pohybu přijímače (rychlost auta, atd.). [13], [18]

## 5.4 Signály družic

Každá družice obsahuje tři nebo čtyři atomové hodiny, které řídí všechny signály a zajišťují dlouhodobou stabilitu frekvence s relativní přesností  $10^{-13}$  za den. Aby bylo možné správně rozpoznat jednotlivé družice, je nutné používat kódování, které je od sebe odliší. Základní frekvence L odvozená od atomových hodin je  $f_0 = 10,23$  MHz a k ní koherentně vytvořené L1 ( $154 \times f_0$ , 1575,42 MHz), L2 ( $120 \times f_0$ , 1227,60 MHz).

Jednotlivé nosné frekvence jsou fázově modulovány kódy. Fázová modulace se provádí tak, že při každé binární změně se posune fáze nosné vlny o  $180^\circ$ . Pro komerční sféru se používá C/A (Clear Access) kód, jenž představuje unikátní pseudonáhodnou binární posloupnost pro každou družici. C/A kód probíhá na desetině základní frekvence a při délce 1023 bitů se obnovuje každou milisekundu a moduluje pouze frekvenci L1. Druhým, ale ne komerčně dostupným kódem, se nazývá P-kód a fázově moduluje obě nosné frekvence.

Poslední činitel způsobující modulaci frekvencí L1 a L2 je navigační zpráva. Ta se skládá z pěti podrámců a je vysílána frekvencí 50 Hz. Informace obsažené v navigační zprávě jsou důležité pro stanovení přesné polohy a času. V jednotlivých podrámcích jsou údaje o stavu družice, její poloze, ale i také stav ionosféry, část almanachu rozmístění družic, což umožňuje vyhledávání ostatních družic.



Obrázek 40. Signály vysílané družicemi <sup>[19]</sup>

Všechny vygenerované údaje poskytující systém GPS jsou zatíženy malými chybami, způsobenými různými činiteli. Obecně je lze rozdělit na chyby v řídicím, kosmickém, uživatelském segmentu a při šíření signálu. Jednou z chyb vyskytující se v kosmickém segmentu jsou satelitní hodiny. I když se jedná o velmi přesné atomové hodiny, tak i ty pracují s určitou chybou (např. chyba  $10^{-12}$  s znamená chybu 30 cm pseudovzdálenosti). Proto jsou jejich časy srovnávány s hlavním řídicím hodinovým systémem a jejich korekce je pak uložena v satelitních zprávách. Stejně tak i zdravotní stav družic a jejich poloha.

Chyby v uživatelském sektoru jsou způsobeny chybou hodin přijímače, algoritmů, typem a kvalitou antény, dobou pozorování a i poloha pozorovatele – dostupnost a kvalita signálu. Ve městech nebo zalesněných krajinách se lze potkat s pojmem multipath neboli vícecestné šíření signálu. Vzniká odrazy od budov a překážek a přijatý signál urazí větší vzdálenost, což způsobuje chybu. Tu lze eliminovat filtrací nebo stavbou vhodné konstrukce antény. Při šíření signálu z družic vzniká ionosférické a troposférické zpoždění průchodem jednotlivými sférami, neboť rychlost šíření rádiového signálu je menší než ve vakuu. Zpoždění je závislé na sluneční aktivitě, teplotě, vlhkosti a tlaku vzduchu. V některých případech jej lze kompenzovat pomocí známých modelů (Black, Hopfield). [13], [18]

## 5.5 Návrh karty s GPS modulem

Při návrhu komunikační karty s GPS modulem jsem vycházel z komerčně dostupných jednotek GPS. Kritéria výběru GPS modulu byla napájecí napětí do 5V, SPI sběrnice, velikost a cena. Po podrobném průzkumu trhu jsem sestavil tabulku vhodných kandidátů.

Tabulka 10. Dostupné GPS moduly

| Výrobce      | Model     | Sběrnice     | Počet kanálů | Cena [Kč] |
|--------------|-----------|--------------|--------------|-----------|
| Maestro      | A2200-A   | I2C,SPI,UART | 48           | 342       |
| Maestro      | A2235H    | I2C,SPI,UART | 48           | 527       |
| NVS          | NV08C-CSM | SERIAL       | 32           | 1210      |
| Fastrax      | IT430     | I2C,SPI,UART | 48           | 998       |
| Fastrax      | IT321     | I2C,SPI,UART | 12           | 447       |
| Fastrax      | IT500     | SERIAL       | 88           | 1122      |
| RF Solutions | GPS-1513R | UART         | 65           | 591       |

Po zvážení parametrů a vlastností jsem vybral modul Maestro A2200-A<sup>[20]</sup>. Tento modul je postaven na navigačním procesoru SiRFstarIV, který nabízí nízkou spotřebu, má uvnitř implementovanou ROM paměť a je postaven na ARM 7 procesoru. Nabízí možnost připojení aktivní i pasivní antény, využití tří komunikačních periférií: UART a SPI pro komunikaci s procesorem a I2C pro MEMS zařízení.



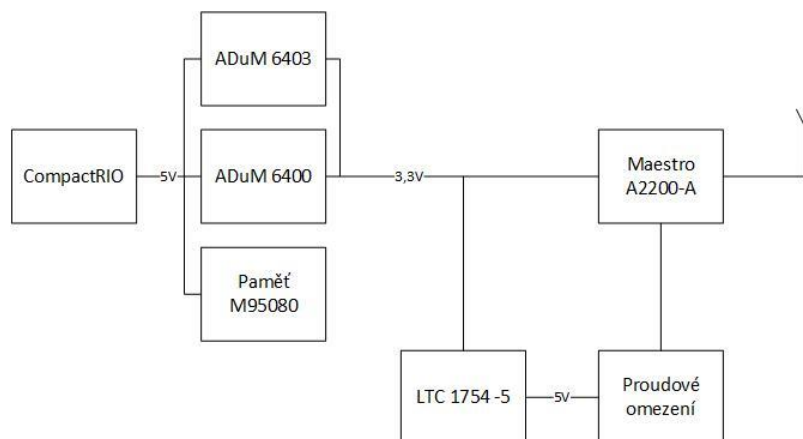
Obrázek 41. GPS modul - Maestro A2200-A<sup>[20]</sup>

Protože napájecí napětí GPS modulu se má pohybovat v okolí 3,3 V bylo nutné použít napěťový konvertor. Tento problém jsem vyřešil pomocí integrovaných obvodů ADuM 6400 a ADuM6403 od firmy Analog Devices. Již mají v sobě zabudovaný DC/DC měnič a lze si vybrat na výstupu napětí (3,3V nebo 5V). Dále obsahují galvanicky oddělené digitální vstupy a výstupy, které jsem použil pro komunikaci, ovládání a indikaci stavu GPS modulu.

Při návrhu schématu bylo nutné jako u předchozí karty AD/DA vyřešit problém s povolovacím vstupem (chip select) paměti a ostatních obvodů, aby nedocházelo k přepisování dat v paměti. Z toho důvodu jsem použil stejnou logickou kombinaci jako u předchozí karty.

Jak bylo napsáno v úvodu, Maestro A2200-A umožňuje připojení pasivní i aktivní antény. Pro aktivní anténu je nutné přivést na pin VAN napětí pro anténu. Potřebný proud k činnosti antény je spínán uvnitř modulu. Aby nedošlo ke zničení, je potřeba zajistit proudové omezení 50 mA, které jsem vyřešil pomocí dvou tranzistorů. Jako aktivní anténu jsem použil Trimble 57860-30, která má napájecí napětí 5V. Protože zisk antény dosahuje hodnot 35 dB při napájení 5V a GPS modul požaduje maximální zisk antény 30 dB, bylo nutné zajistit snížení velkého zisku antény. K tomu jsem použil pasivní dělič.

Napájecí napětí antény jsem musel zvýšit na 5 V pomocí nábojové pumpy LTC 1754-5. Na její povolovací vstup jsem připojil RC článek, který provede zpožděné připojení, aby nedocházelo k velkému počátečnímu zatížení hned po zapojení modulu do šasi CompactRIA.



Obrázek 42. Blokové schéma napájení karty s GPS modulem

Pro estetické účely moduly jsem doplnil návrh o dvě LED diody, které se rozsvěcují pomocí tranzistorů. První dioda je připojena k indikaci signálu 1PPS a druhá k signálu WAKEUP, které indikuje stav GPS modulu (aktivní, neaktivní).

Celková cenová bilance je zobrazena v následující tabulce.

Tabulka 11. Cenová bilance karty s GPS modulem

| Název         | Počet | Cena za kus [Kč] | Cena celkem [Kč] |
|---------------|-------|------------------|------------------|
| M95080        | 1     | 51               | 51               |
| LTC1754-5     | 1     | 112              | 112              |
| ADuM6400      | 1     | 330              | 330              |
| ADuM6403      | 1     | 330              | 330              |
| Maestro A2200 | 1     | 340              | 340              |
| Rezistory     | 25    | 0.5              | 12.5             |
| Kondenzátory  | 19    | 0.5              | 9.5              |
| Tranzistory   | 4     | 6                | 24               |
| LED diody     | 2     | 5                | 10               |

|                |   |     |      |
|----------------|---|-----|------|
| DPS            | 1 | 325 | 325  |
| Konektor 15pin | 1 | 28  | 28   |
| Kon. Koax      | 2 | 111 | 222  |
| Log. hradla    | 2 | 20  | 40   |
| Celkem         |   |     | 1834 |

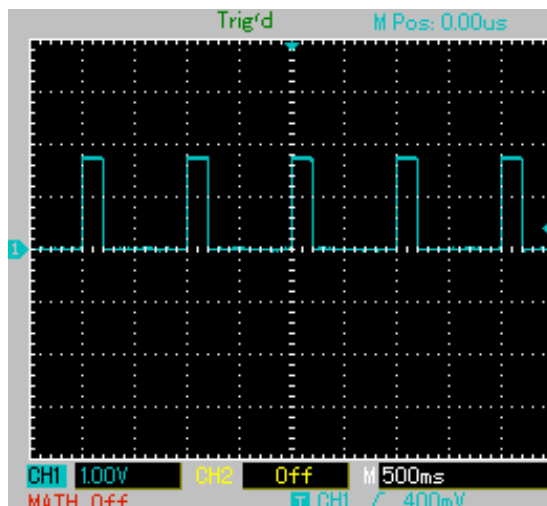
## 5.6 Oživení karty

Vlastnímu ožívání modulu předcházel hardwarový návrh sestávající z kompletního schématu a desky plošných spojů. Po realizaci a osazení komponent modulu bylo přistoupeno k vlastnímu ožívání modulu

Při programování softwaru a počátečním oživení, včetně zápisu požadovaných dat do paměti EEPROM, jsem vycházel z programů minulých modulů. Pro normální operační mód jsem použil piny DIO2 (nRST), DIO3 (ON\_OFF) jako digitální výstupy. Digitální vstupy jsem přiřadil pinům DIO0 (1PPS) a DIO1 (WAKEUP). "

Po zasunutí modulu a úspěšné identifikaci je nutné inicializovat GPS modul. Nejdříve se uvede pin nRST do stavu logické jedničky a následně provede jednotkový impuls na signálu ON\_OFF. Doba impuls by neměla být kratší než 100 ms. Při správném zapojení se na výstupním pinu WAKEUP objeví napětí reprezentující logickou jedničku a znamenající aktivní stav GPS modulu. Mezi stavy reprezentující činnost GPS modulu lze přepínat jednotkovým impulsem na pinu ON\_OFF, pro který platí stejné požadavky jako při zapínání.

V případě aktivního stavu začne modul vyhledávat jednotlivé družice a přijímat z nich signál pomocí antény. Při dostatečném signálu se tato operace děje krátkou dobu zhruba v řádech minut. Po navázání komunikace s družicemi se začne vysílat signál na pinu TM\_GPIO5. Má tvar jednotkového impulsu s periodou 1 s. Ve stavu logické jedničky vytrvává asi 200 ms. Průběh je zobrazen na obrázku 43, který jsem změřil pomocí osciloskopu UTD 2025C.



Obrázek 43. Průběh signálu 1PPS

Nevýhodou tohoto signálu byla jeho malá amplituda 1,8 V a vzhledem k hodnotě minimálního vstupního napětí galvanického oddělovače ADuM 6403 činící 2,1 V nebylo možné přenést signál této logické úrovně do jednotky cRIO. Proto jsem použil zapojení s tranzistorem, který upravuje signál na potřebné napětí.

Dalším problémem, který se vyskytl při ožívání, bylo nemožnost přijetí dat z GSP modulu. Na signálu MOSI byly data posílána vždy jednou za sekundu bez ohledu na signály CS a CLK. Vše bylo způsobeno špatnou klidovou úrovní na signálu CLK, kterou modul požadoval v logické jedničce. Jelikož nelze nastavit klidovou úroveň v CompactRIO na logickou nulu, musel jsem tento signál invertovat pomocí tranzistoru.

Pro komunikaci a přenos dat s modulem GPS je nutné znát informace o protokolu NMEA 0183, pomocí kterého se komunikuje. Jednotlivé ukázky vět a popis protokolu je napsán v následující kapitole.



Obrázek 44. Praktické měření

## 5.6.1 NMEA protokol

Navigační procesory SiRFstarIV primárně komunikují s okolními zařízeními pomocí OSP (One Socket Protocol), jehož struktura rámce je zobrazena na obrázku 45.

| Start Sequence | Payload Length    | PAYLOAD                    | Checksum | End Sequence |
|----------------|-------------------|----------------------------|----------|--------------|
| 0xA0, 0xA2     | 2 Bytes (16 bits) | Up to $(2^{11} - 1)$ Bytes | 2 Bytes  | 0xB0, 0xB3   |

Obrázek 45. Rámec protokolu OSP <sup>[21]</sup>

Některé procesory umožňují i komunikaci pomocí NMEA protokolu. V jeden okamžik může být platný pouze jeden protokol, ale je možné mezi nimi přepínat pomocí přesně definovaných zpráv.

NMEA 0183 je standart definující elektrické požadavky, požadavky pro datový přenos. Původně byl určen ke komunikaci námořnických zařízení. V dnešní době se využívá pro sonary, anemometry, gyrokompas, autopiloty a pro GPS přijímače. Fyzickou vrstvu představuje sériová linka s přenosovou rychlostí 4800 Bd, 1 stopbit, bez parity a potvrzování. Každá věta začíná znakem \$ a za ním následují tisknutelné ASCII znaky a je ukončena sekvencí <CR><LF>

Ke komunikaci se zařízením slouží tři typy vět:

- Talker sentences (věty ze strany mluvčího)
- Proprietary sentences (proprietární věty)
- Query sentences (dotazovací věty)

Věty ze strany mluvčího mají obecný formát ve tvaru: \$aabb,c1,c2,...<CR><LF>. Jednotlivá data a identifikátory jsou odděleny čárkami. V případě, kdy data v jednotlivých položkách nejsou k dispozici, zůstane datové pole prázdné, ale oddělovací čárky zůstávají. Před koncem věty je umístěn kontrolní součet v hexadecimálním tvaru začínající znakem \*.

|       |                        |
|-------|------------------------|
| aa    | identifikátor mluvčího |
| bbb   | identifikátor věty     |
| c1,c2 | data                   |

Výrobci zařízení používající NMEA protokol je umožněno pomocí proprietárních vět si vytvořit svoje vlastní. Musí začínat znaky \$P, za kterými následují tři písmena identifikující výrobce a data.

Věty dotazovací jsou určeny v případech, kdy potřebujeme přijmout pouze určitou informaci. Formát věty je následující: \$mmnnQ,xxx<CR><LF>

|     |                                       |
|-----|---------------------------------------|
| mm  | identifikátor žadatele                |
| nn  | identifikátor komu je zpráva posílána |
| Q   | znak představující dotazovací větu    |
| xxx | žádaný typ věty                       |

Pro systém GPS jsou definovány určité typy zpráv, některé budou pospány dále. V příkladech jsou data přijatá prostřednictvím přijímače MAESTRO A2200A. [21], [22], [23],

### **GSA**

Tato věta nese informace o aktivních satelitech, od kterých přijímač dostává zprávy. Příklad: \$GPGSA,A,3,07,28,10,09,19,,,,,,,,,4.1,3.0,2.7\*3C

*Tabulka 12. GSA věta*

| Příklad | Formát | Význam                                                           |
|---------|--------|------------------------------------------------------------------|
| A       | c      | Přepínání mezi N-rozměrnými módy (A - automatické, M – manuální) |
| 3       | d      | Počet dimenzí (2 = 2D, 3 = 3D)                                   |
| 07      | dd     | ID satelitu použitého pro výpočet                                |
| 4.1     | d.d    | PDOP (Position Dilution of Precision)                            |
| 3.0     | d.d    | HDOP (Horizontal Dilution of Precision)                          |
| 2.7     | d.d    | VDOP (Vertical Dilution of Precision)                            |

### **RMC**

Minimální doporučená data pro navigaci jsou obsažena v této větě. Příklad: \$GPRMC,090143.472,A,4913.6000,N,01634.5354,E,6.12,121.16,300415,,,A\*6D

*Tabulka 13. RMC věta*

| Příklad    | Formát     | Význam                               |
|------------|------------|--------------------------------------|
| 090143.472 | hhmmss.sss | Aktuální čas (UTC)                   |
| A          | c          | Status (A = ok, V = varování)        |
| 4913.6000  | ddmm.mmm   | Zeměpisná šířka                      |
| N          | c          | Sever/jih (N = sever, S = jih)       |
| 01634.5354 | ddmm.mmm   | Zeměpisná délka                      |
| E          | c          | Východ/západ (E = východ, W = západ) |
| 6.12       | d.dd       | Vodorovná rychlost v uzlech          |
| 121.16     | ddd.dd     | Kurz pohybu ve stupních              |
| 300415     | ddmmyy     | Datum                                |

### **GGA**

Věta GGA nese informace poskytující 3D lokalizaci a přesnost údajů. Příklad: \$GPGGA,113049.348,4913.6009,N,01634.5036,E,1,03,3.5,285.4,M,43.5,M,,0000\*51

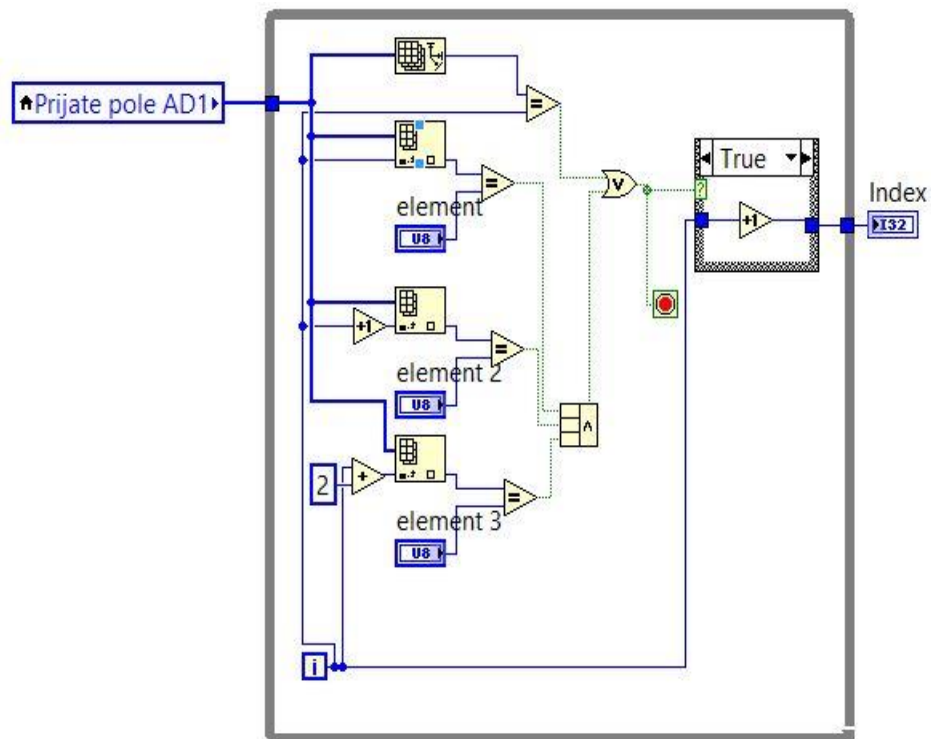
Tabulka 14. Věta GGA

| Příklad    | Formát     | Význam                                                              |
|------------|------------|---------------------------------------------------------------------|
| 113049.348 | hhmmss.sss | Čas určení souřadnic (UTC)                                          |
| A          | c          | Status (A = ok, V = varování)                                       |
| 4913.6009  | ddmm.mmm   | Zeměpisná šířka                                                     |
| N          | c          | Sever/jih (N = sever, S = jih)                                      |
| 01634.5036 | ddmm.mmm   | Zeměpisná délka                                                     |
| E          | c          | Východ/západ (E = východ, W = západ)                                |
| 1          | d          | Indikátor kvality (0 = není určena, 1 = správně určena)             |
| 3.5        | d.d        | HDOP (Horizontal Dilution of Precision)                             |
| 285.4      | ddd.d      | Nadmořská výška                                                     |
| M          | c          | Jednotka nadmořské výšky                                            |
| 43.5       | dd.d       | Rozdíl mezi WGS-84 zemským elipsoidem a střední úrovní moře (geoid) |
| M          | c          | Jednotka předchozí hodnoty                                          |

## 5.6.2 Program pro komunikaci s GPS modulem MAESTRO

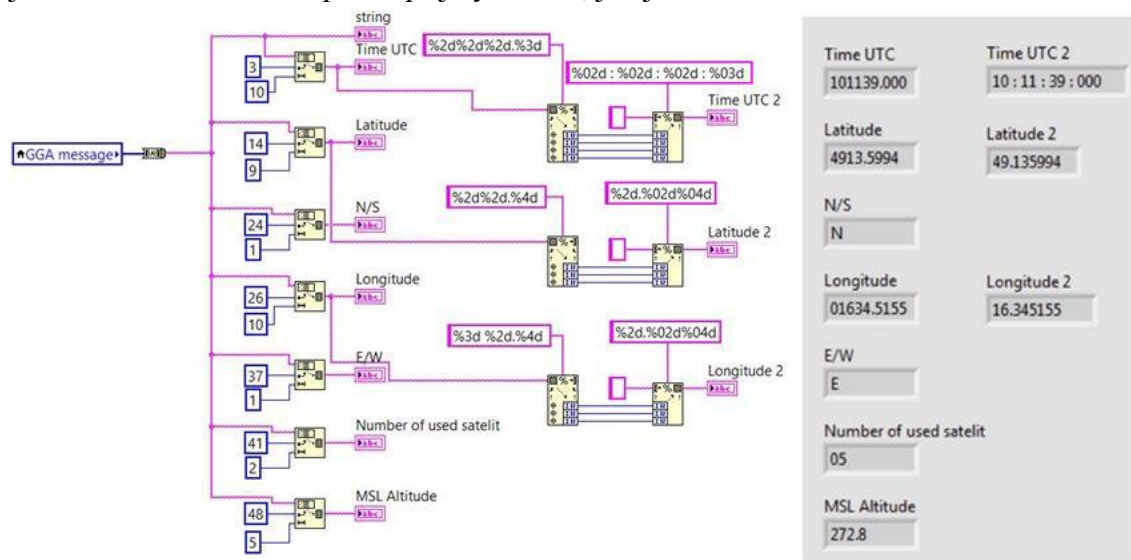
Jak již bylo napsáno, navigační procesory SiRFstarIV mají nastavený z výroby komunikační protokol OSP. Po zasunutí karty do šasi CompactRIA a uvedení GPS modulu do aktivního stavu, jsem pomocí zprávy označené MID 129 poslal data. Ta reprezentovala přepnutí do NMEA protokolu, výběr jednotlivých vět a perioda jejich obnovování.

Je zbytečné vyčítat kontinuálně data, protože jsou aktualizována za určitý čas (většinou 1 s). Z tohoto důvodu data přijímám pouze v době trvání signálu 1PPS a ukládám do pole. Pro zpracování jednotlivých dat bylo nutné vybrat pole, které obsahuje validní data. Tuto operaci nelze zpracovávat v FPGA, neboť nepodporuje proměnný index začátek vybíraného pole. Proto dekódování provádím v hostitelském VI. Dále popsany kód jsem vytvořil pro větu GGA. K nalezení indexu indikátoru této věty jsem použil blok `Index Array`, který vybere požadovaný prvek z pole. V mém případě hledám tři písmena umístěná za sebou ('GGA').



Obrázek 46. Nalezení indexu GGA zprávy

Po nalezení indexu začátku a znalosti formátu GGA zprávy jsem dekódoval jednotlivé informace a upravil přijatý formát, jak je ukázáno na obrázku 47.



Obrázek 47. Dekódování a zobrazení dat GGA zprávy

## 6 ZÁVĚR

V diplomové práci jsem se v první kapitole věnoval prostředkům pro virtuální instrumentaci od firmy National Instrument, která nabízí velké množství systémů použitelných pro měření, sběr a zpracování signálů. Podrobněji jsem se věnoval produktům myDAQ, CompactDAQ, PXI a cRIO a u nich popsal jejich využití a vlastnosti.

V druhé kapitole jsem se věnoval popisu hardwarových požadavků na uživatelsky vytvořený modul. Jsou zde i vyliceny jednotlivé režimy, které probíhají od zasunutí karty do šasi CompactRIA, přes zjištění přítomnosti, identifikaci až po pracovní funkci karty. Ve třetí kapitole jsem uvedl programy potřebné pro realizaci komunikace s realizovaným modulem a potřebné vlastnosti XML souborů pro vytvoření podpůrných VI. Protože vývojový kit není volně dostupný, není popis hardwarového řešení kompletní, aby nedával přímý návod na vytvoření dalších modulů. V závěru třetí kapitoly jsem popsal návrh, realizaci a oživení digitální osmibitové karty, které sloužila pro praktické seznámení s vývojovým kitem. Maximální možná frekvence změny na každém kanálu je omezena pouze limitní hodnotou galvanického oddělovače ADuM 5400 (25 Mbps).

V další části jsem navrhl a realizoval analogovou kartu, obsahující dva vstupy a jeden výstup. Analogové signály mohou být zpracovávány a generovány v rozsahu napětí  $\pm 5$  V. Analogově číslicové a číslicově analogové převodníky mají rozlišení 16bitů, čímž byl splněn minimální dynamický rozsah 96 dB. Frekvence vzorkování při použití jednoho analogově číslicového převodníku je 111 kHz. Samotný analogový výstup umožňuje generovat signál s frekvencí 188,7 kHz. Výsledná perioda vzorkování pro všechny kanály (dva vstupní, jeden výstupní) je 42 kHz pro každý kanál. Pro každý vstup jsem vypočítal z měření průměrné absolutní a relativní chyby. První vstupní kanál měřil s průměrnou absolutní chybou  $\Delta U_{\text{průmAI0}} = 0,0304$  V ( $\delta U_{\text{průmAI0}} = 1,1$  %) a druhý  $\Delta U_{\text{průmAI1}} = 0,0203$  V ( $\delta U_{\text{průmAI1}} = 0,91$  %). Napěťový offset jsem změřil  $U_{\text{offsetAI0}} = -0,0039$  V,  $U_{\text{offsetAI1}} = -0,0204$  V. Výstupní napětí bylo generováno s průměrnými chybami  $\Delta U_{\text{průmAO}} = 0,0036$  V ( $\delta U_{\text{průmAO}} = 0,25$  %).

Poslední kartu, kterou jsem zkonstruoval, obsahovala GPS modul a tudíž je určena pro zjištění polohy a přesnou synchronizaci. Vytvořil jsem program, který dekóduje GGA větu a vypíše jednotlivé informace, týkající se polohy a času. Na kartě je přítomný konektor, který slouží k indikaci signálu 1PPS, čímž lze zajistit velmi přesnou časovou synchronizaci externího zařízení.

Podářilo se mi navrhnout a realizovat moduly pro cRIO, vytvořit softwarové funkční bloky do LabVIEW pro ovládání navržených modulů. Oba moduly byly úspěšně oživeny a jejich funkčnost ověřena měřením a úspěšným příjmem a rozkódováním GPS signálu

# LITERATURA

- [1] NATIONAL INSTRUMENTS. *NI myDAQ* [online]. 2014[cit. 2014-12-28]  
Dostupné z: <http://www.ni.com/mydaq>
- [2] NATIONAL INSTRUMENTS. *CompactDAQ* [online]. 2014[cit. 2014-12-28]  
Dostupné z: <http://www.ni.com/data-acquisition/compactdaq/>
- [3] NATIONAL INSTRUMENTS. *PXI Platform* [online]. 2014[cit. 2014-12-28]  
Dostupné z: <http://sine.ni.com/np/app/main/p/ap/global/lang/cs/pg/1/sn/n24:PXI-FSLASH-CompactPCI/>
- [4] NATIONAL INSTRUMENTS. *NI CompactRIO* [online]. 2014[cit. 2014-12-28]  
Dostupné z: <http://www.ni.com/compactrio/>
- [5] NATIONAL INSTRUMENTS. *NI cRIO-9951. CompactRIO Module Development Kit User Manual. Hardware User Manual*. 2011 [cit. 2014-12-28]
- [6] *Serial Peripheral Interface (SPI)* [online]. [cit. 2014-12-28] Dostupné z: <https://learn.sparkfun.com/tutorials/serial-peripheral-interface-spi>
- [7] NATIONAL INSTRUMENTS. *FPGA Module User Manual* [online]. 2011[cit. 2014-12-28] Dostupné z: <http://www.ni.com/pdf/manuals/370690b.pdf>
- [8] NATIONAL INSTRUMENTS. *NI cRIO-9951. CompactRIO Module Development Kit User Manual. Software User Manual*. 2011 [cit. 2014-12-28]
- [9] SYSTEM LOGIC SEMICONDUCTOR. *SL74HCT244* [online].[cit. 2014-12-28] Dostupné z: [http://pdf.datasheetcatalog.com/datasheets/50/338625\\_DS.pdf](http://pdf.datasheetcatalog.com/datasheets/50/338625_DS.pdf)
- [10] ANALOG DEVICES. *ADuM6400/ADuM6401/ADuM6402/ADuM6403/ADuM6404* [online]. 2012 [cit. 2014-12-28]. Dostupné z: [http://www.analog.com/static/imported-files/data\\_sheets/ADuM6400\\_6401\\_6402\\_6403\\_6404.pdf](http://www.analog.com/static/imported-files/data_sheets/ADuM6400_6401_6402_6403_6404.pdf)
- [11] TEXAS INSTRUMENTS. *SN54AHCT373, SN74AHCT373* [online]. 2003 [cit. 2014-12-28]. Dostupné z: <http://www.ti.com/lit/ds/symlink/sn54ahct373.pdf>
- [12] ST MICROELECTRONICS. *M95080-W M95080-R M95080-DF* [online]. 2014 [cit. 2014-12-28]. Dostupné z: <http://www.st.com/web/en/resource/technical/document/datasheet/DM00043274.pdf>
- [13] RAPANT, P. *Družicové polohové systémy*. Vyd. 1. Ostrava: Vysoká škola báňská - Technická univerzita, 2002, 197 s. ISBN 80-248-0124-8. [online]. 2014 [cit. 2015-04-02]. Dostupné z: [http://gis.vsb.cz/vojtek/content/gnps/files/\\_source/RAP02.pdf](http://gis.vsb.cz/vojtek/content/gnps/files/_source/RAP02.pdf)
- [14] SCOTT J. GPS Precision farming. [online]. [cit. 2015-04-02]. Dostupné z: <http://www.fieldtesting.co.uk/GPS.html>
- [15] Official U.S. Government information about the Global Positioning System (GPS) and related topics. [online]. [cit. 2015-04-10]. Dostupné z: <http://www.gps.gov/>

- [16] UBLOX. *GPS Antennas. RF Design Considerations for u-blox GPS Receivers*. [online]. 2009 [cit. 2015-04-12]. Dostupné z: [http://www.u-blox.ch/images/downloads/Product\\_Docs/GPS\\_Antennas\\_ApplicationNote\(GPS-X-08014\).pdf](http://www.u-blox.ch/images/downloads/Product_Docs/GPS_Antennas_ApplicationNote(GPS-X-08014).pdf)
- [17] HRDINA, Z., PÁNEK, P., VEJRAŽKA F. *Radiové určování polohy. (Družicový systém GPS)*. Vysokoškolské skriptum, ČVUT Praha, 1996 . 267 [cit. 2015-04-12].
- [18] ČÁBELKA M. *Úvod do GPS*. [online]. 2008 [cit. 2015-04-12]. Dostupné z: <https://www.natur.cuni.cz/geografie/geoinformatika-kartografie/ke-stazeni/vyuka/gps/skriptum-uvod-do-gps/>
- [19] DANA P. *Global Positioning System Overview*. [online]. The University of Colorado at Boulder. 1994 [cit. 2015-04-12]. Dostupné z: <http://www.colorado.edu/geography/gcraft/notes/gps/gps.html>
- [20] MAESTRO. *A2200-A* [online]. 2012 [cit. 2015-04-13]. Dostupné z: <http://www.maestro-wireless.com/a-2200-a>
- [21] CSR. *SiRFstarIV: One Socket Protocol* [online]. 2012 [cit. 2015-05-02]. Dostupné z: [http://support.maestro-wireless.com/download\\_attachment.php?kb\\_att=27](http://support.maestro-wireless.com/download_attachment.php?kb_att=27)
- [22] CSR. *NMEA Reference Guide* [online]. 2012 [cit. 2015-05-02]. Dostupné z: [http://support.maestro-wireless.com/download\\_attachment.php?kb\\_att=26](http://support.maestro-wireless.com/download_attachment.php?kb_att=26)
- [23] MARTÍNEK M. *GPS a komunikační protokol NMEA* [online]. 2016 [cit. 2015-05-03]. Dostupné z: <http://www.abclinuxu.cz/serialy/gps-a-komunikacni-protokol-nmea>

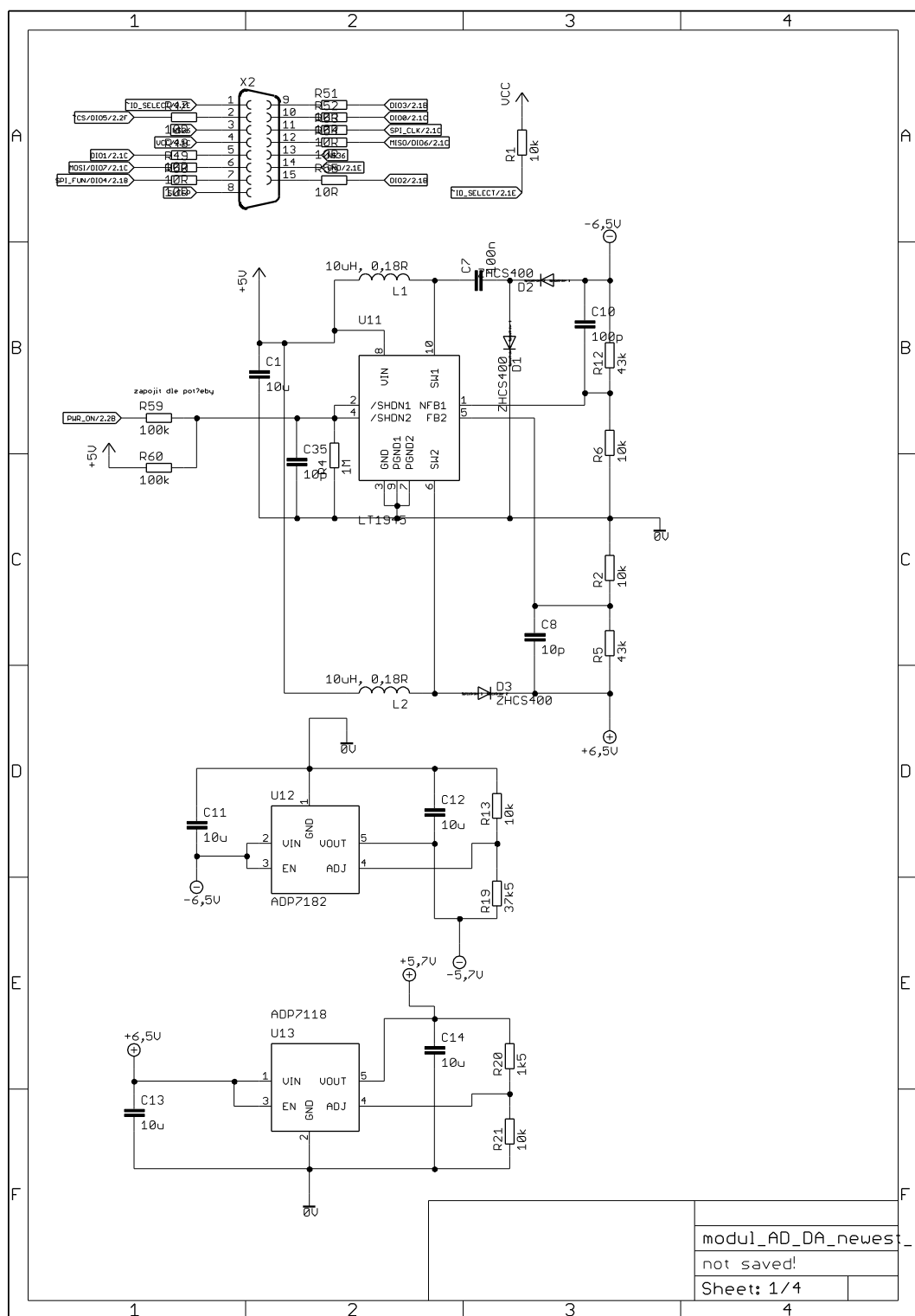
# PŘÍLOHY

## OBSAH

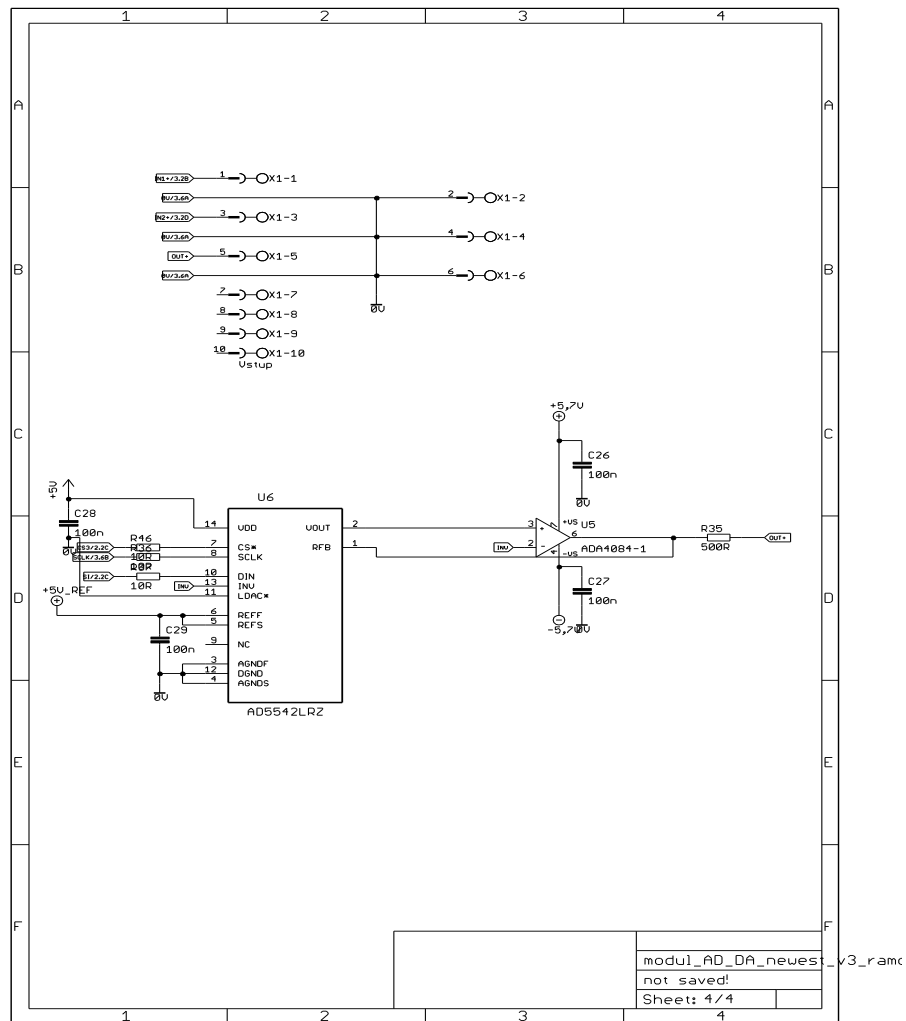
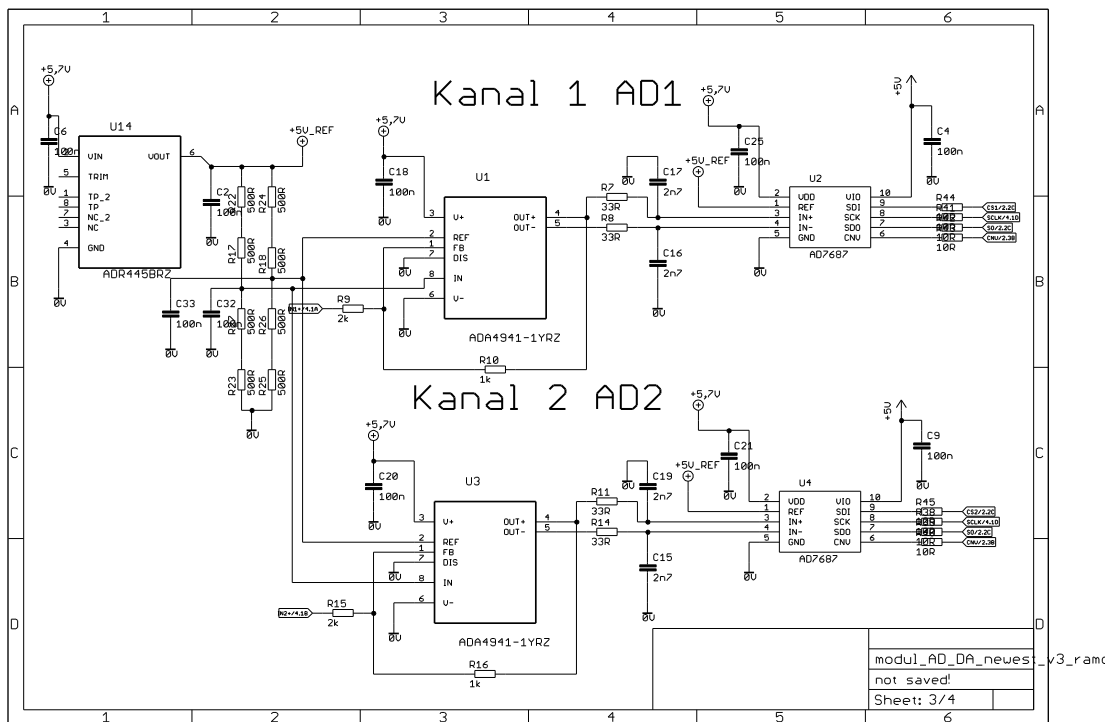
|     |                                                                         |    |
|-----|-------------------------------------------------------------------------|----|
| A   | Měřicí modul AD/DA.....                                                 | 76 |
| A.1 | Schéma zapojení karty s GPS modulem .....                               | 76 |
| A.2 | DPS – spodní strana (cesty) 1:1 .....                                   | 79 |
| A.3 | DPS – horní strana (cesty) 1:1 .....                                    | 79 |
| A.4 | DPS – spodní strana (osazovací výkres) 1:1 .....                        | 80 |
| A.5 | DPS – horní strana (osazovací výkres) 1:1 .....                         | 80 |
| B   | Karta s GPS modulem .....                                               | 81 |
| B.1 | Schéma zapojení karty s GPS modulem .....                               | 81 |
| B.2 | DPS – spodní strana (cesty) 1:1 .....                                   | 83 |
| B.3 | DPS – horní strana (cesty) 1:1 .....                                    | 83 |
| B.4 | DPS – spodní strana (osazovací výkres) 1:1 .....                        | 84 |
| B.5 | DPS – spodní strana (osazovací výkres) 1:1 .....                        | 84 |
| C   | Tabulky měření.....                                                     | 85 |
| C.1 | Tabulka pro určení absolutní a relativní chyby vstupního kanálu 1 ..... | 85 |
| C.2 | Tabulka pro určení absolutní a relativní chyby vstupního kanálu 2 ..... | 85 |
| C.3 | Tabulka pro určení absolutní a relativní chyby výstupního kanálu .....  | 86 |
| D   | Obsah příloženého CD .....                                              | 87 |

## A.1 Schéma zapojení karty s GPS modulem

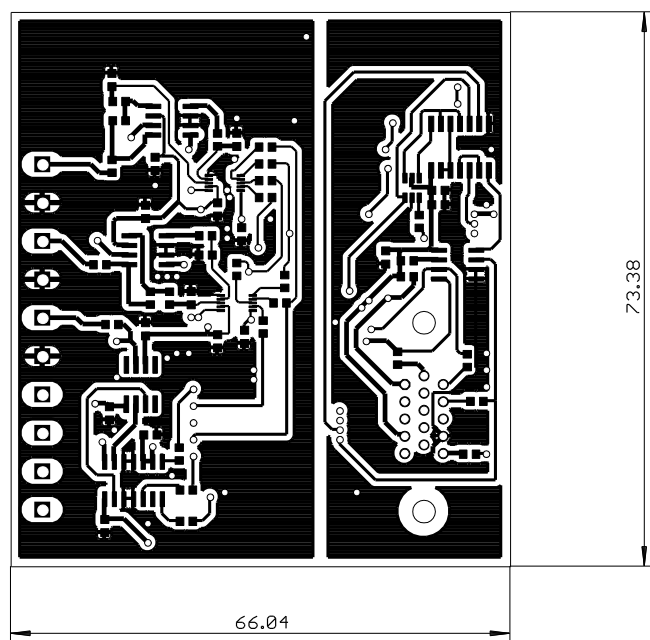




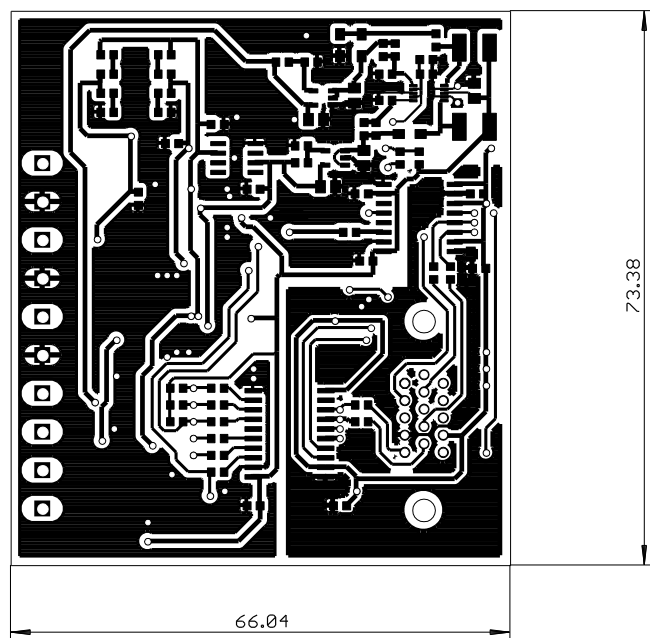
|                            |  |
|----------------------------|--|
| modul_AD_DA_newest_v3_ramc |  |
| not saved!                 |  |
| Sheet: 1/4                 |  |



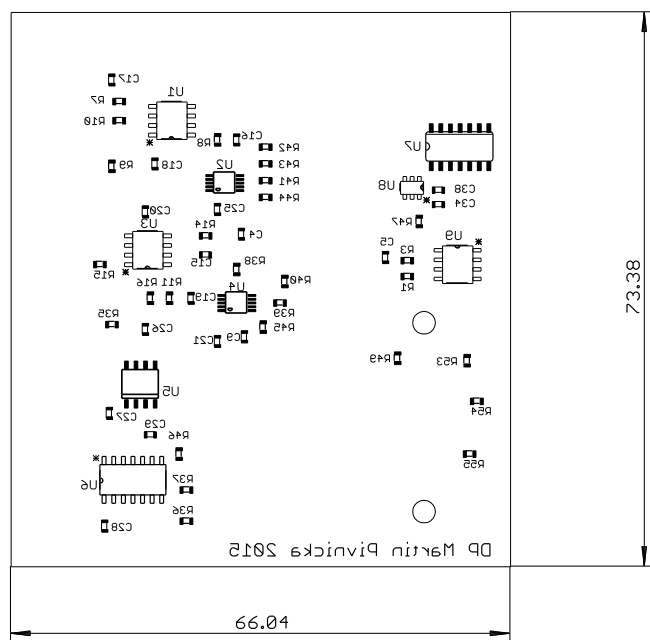
## A.2 DPS – spodní strana (cesty) 1:1



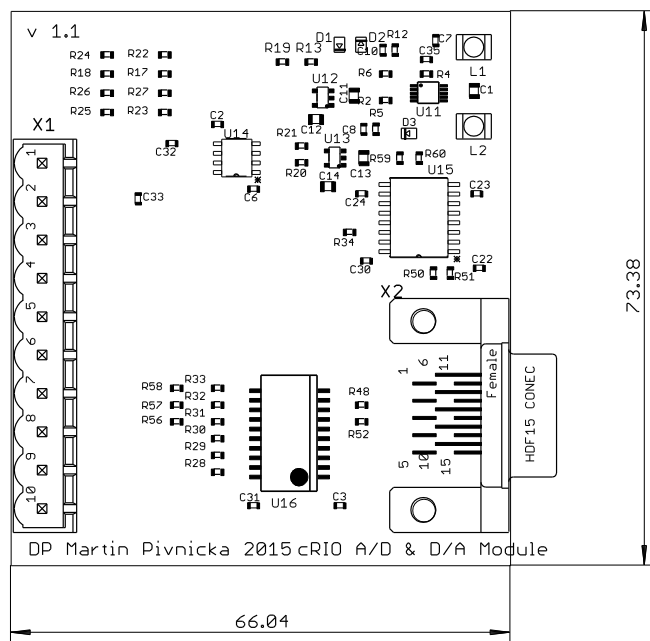
## A.3 DPS – horní strana (cesty) 1:1



## A.4 DPS – spodní strana (osazovací výkres) 1:1

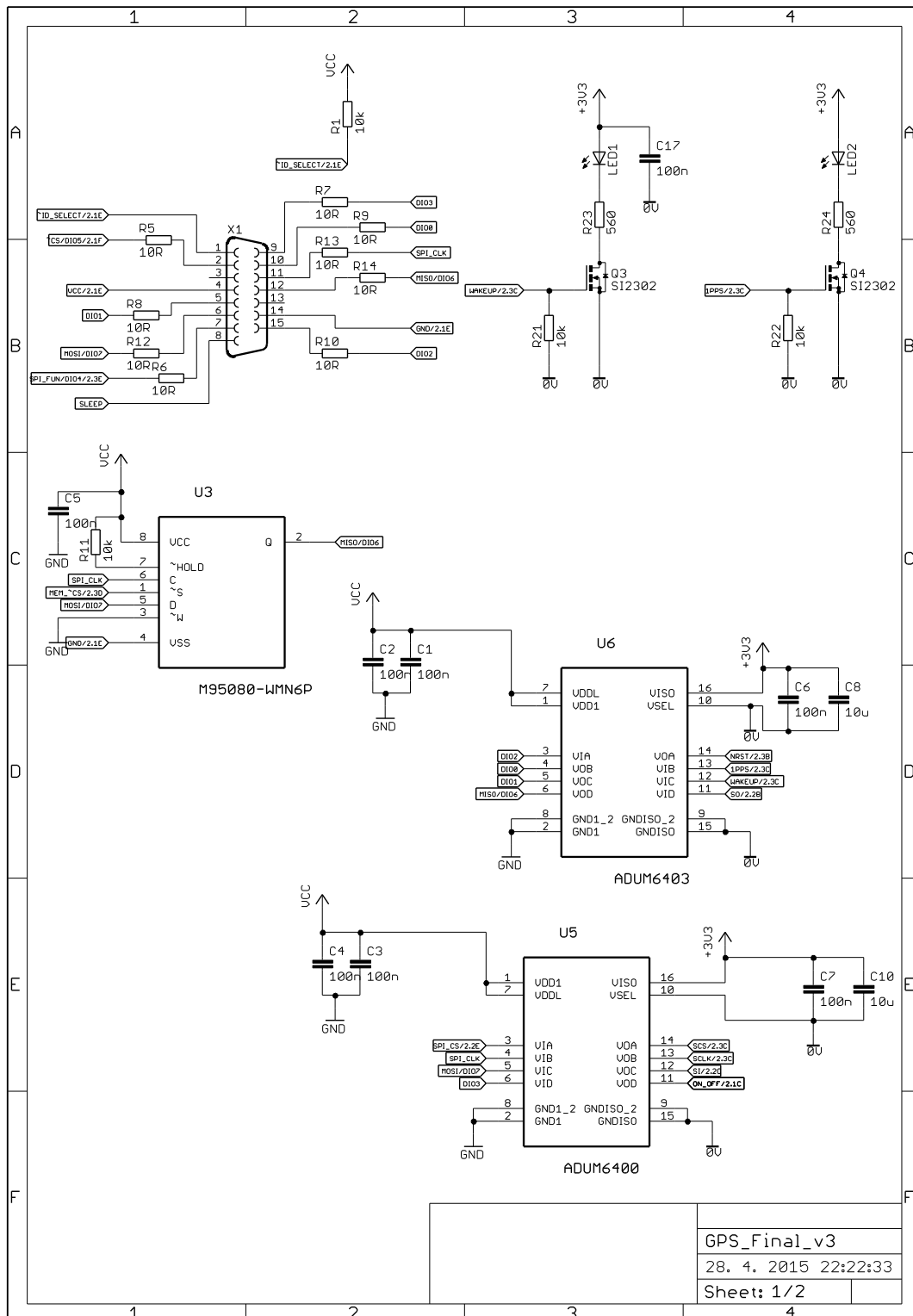


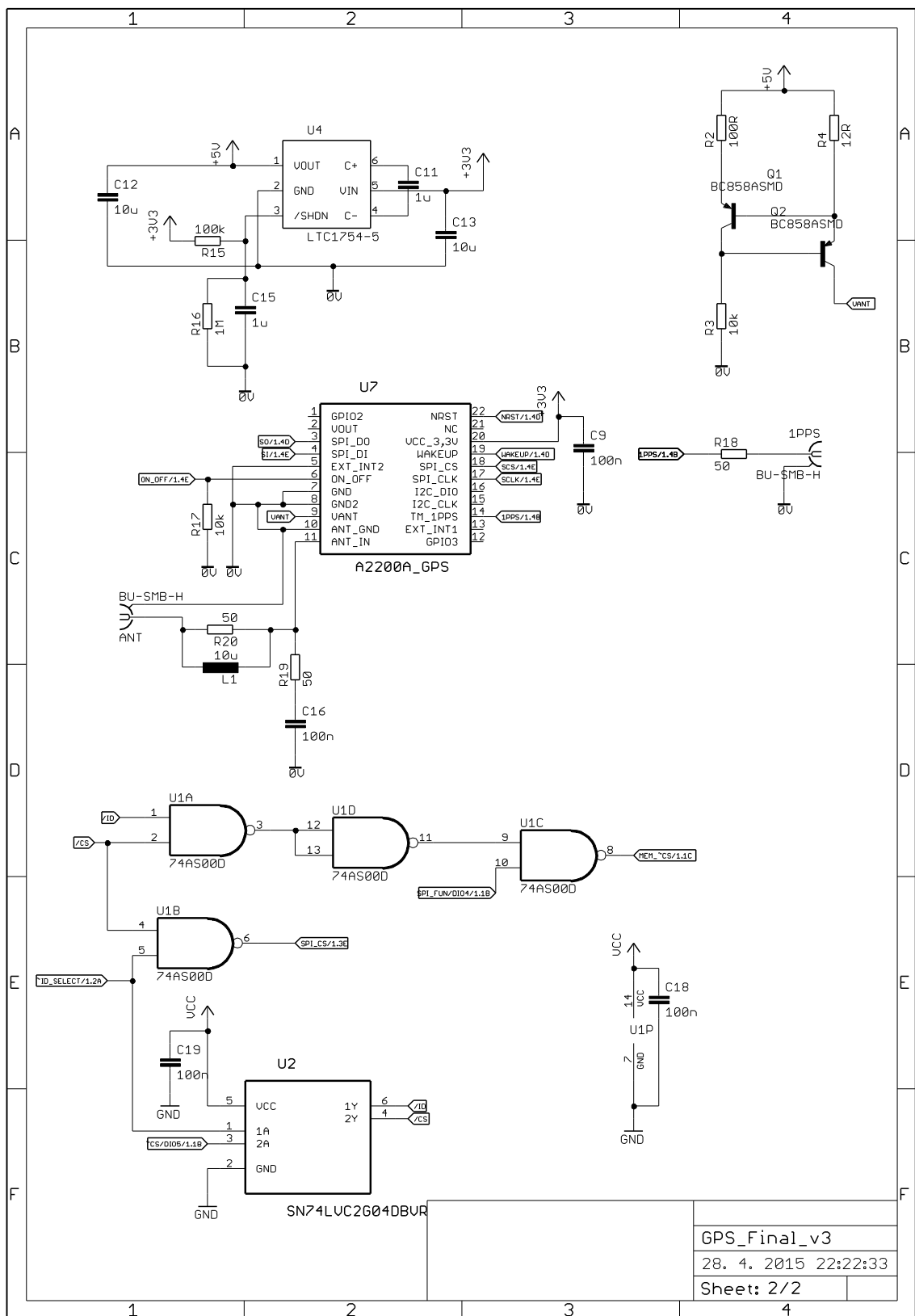
## A.5 DPS – horní strana (osazovací výkres) 1:1



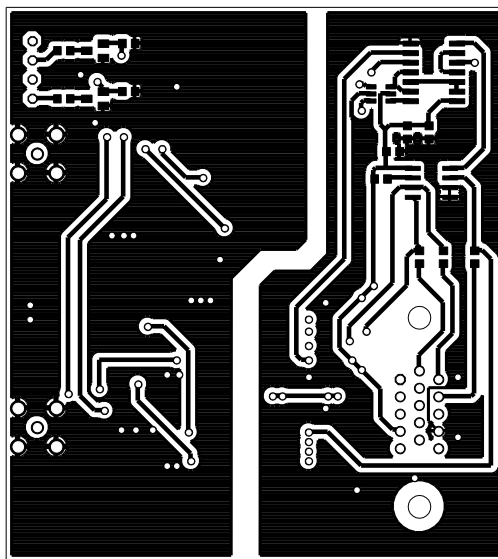
# B KARTA S GPS MODULEM

## B.1 Schéma zapojení karty s GPS modulem

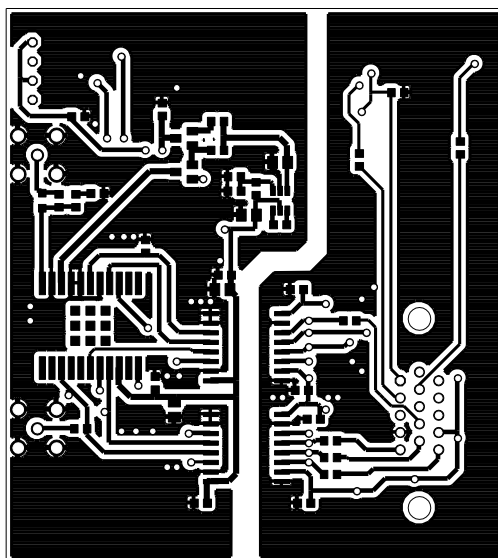




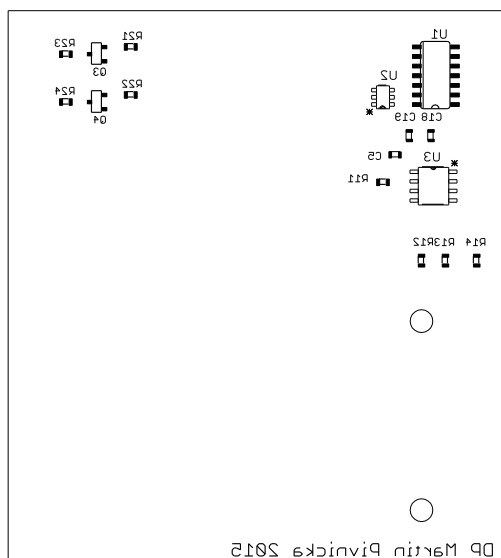
## B.2 DPS – spodní strana (cesty) 1:1



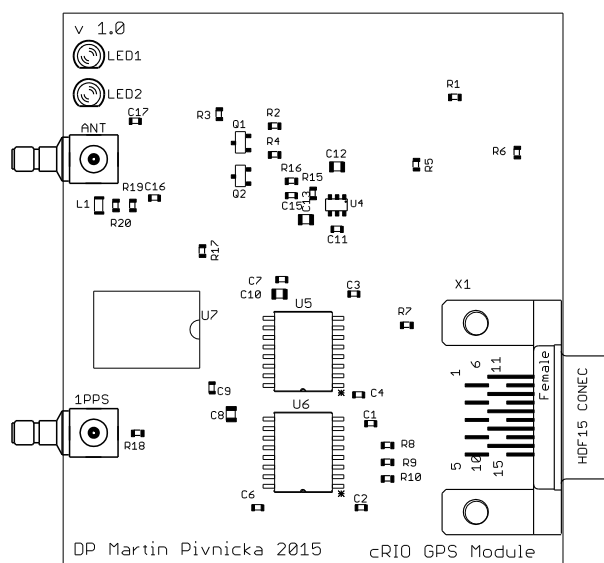
## B.3 DPS – horní strana (cesty) 1:1



## B.4 DPS – spodní strana (osazovací výkres) 1:1



## B.5 DPS – spodní strana (osazovací výkres) 1:1



# C TABULKY MĚŘENÍ

## C.1 Tabulka pro určení absolutní a relativní chyby vstupního kanálu 1

Pozn.: měřeno Agilent 34410A, rozsah 10V, zdroj Tesla BK127

| Unast [V] | Uref [V] | UAD1 (1) [V] | $\Delta U$ [V] | $\delta U$ [%] | Uref [V] | UAD1 (2) [V] | $\Delta U$ [V] | $\delta U$ [%] |
|-----------|----------|--------------|----------------|----------------|----------|--------------|----------------|----------------|
| 5         | 4.9903   | 4.9274       | -0.0629        | 1.2604         | 5.0110   | 4.9537       | -0.0573        | 1.1435         |
| 4         | 4.0522   | 3.9998       | -0.0524        | 1.2931         | 4.0175   | 3.9662       | -0.0513        | 1.2769         |
| 3         | 3.0214   | 2.9811       | -0.0403        | 1.3338         | 3.0088   | 2.9697       | -0.0391        | 1.2995         |
| 2         | 2.0505   | 2.0215       | -0.0290        | 1.4143         | 1.9941   | 1.9662       | -0.0279        | 1.3991         |
| 1         | 1.0040   | 0.9876       | -0.0164        | 1.6335         | 0.9958   | 0.9803       | -0.0155        | 1.5565         |
| 0         | -0.0025  | -0.0067      | -0.0042        | -              | 0.0033   | -0.0065      | -0.0098        | -              |
| -1        | -1.0023  | -0.9944      | 0.0079         | 0.7882         | -1.0021  | -0.9996      | 0.0025         | 0.2495         |
| -2        | -2.0750  | -2.0536      | 0.0214         | 1.0313         | -1.9961  | -1.9768      | 0.0193         | 0.9669         |
| -3        | -3.0052  | -2.9755      | 0.0297         | 0.9883         | -3.0140  | -2.9843      | 0.0297         | 0.9854         |
| -4        | -4.0038  | -3.9645      | 0.0393         | 0.9816         | -4.0020  | -3.9625      | 0.0395         | 0.9870         |
| -5        | -4.9753  | -4.9245      | 0.0508         | 1.0210         | -4.9982  | -4.9753      | 0.0229         | 0.4582         |

## C.2 Tabulka pro určení absolutní a relativní chyby vstupního kanálu 2

Pozn.: měřeno Agilent 34410A, rozsah 10V, zdroj Tesla BK127

| Unast [V] | Uref [V] | UAD2 (1) [V] | $\Delta U$ [V] | $\delta U$ [%] | Uref [V] | UAD2 (1) [V] | $\Delta U$ [V] | $\delta U$ [%] |
|-----------|----------|--------------|----------------|----------------|----------|--------------|----------------|----------------|
| 5         | 5.0106   | 4.9754       | -0.0352        | 0.7025         | 5.0022   | 4.9667       | -0.0355        | 0.7097         |
| 4         | 4.0105   | 3.9796       | -0.0309        | 0.7705         | 4.0075   | 3.9809       | -0.0266        | 0.6638         |
| 3         | 2.9998   | 2.9738       | -0.0260        | 0.8661         | 2.9962   | 2.9712       | -0.0250        | 0.8344         |
| 2         | 1.9974   | 1.9743       | -0.0231        | 1.1565         | 2.0019   | 1.9744       | -0.0275        | 1.3737         |
| 1         | 1.0001   | 0.9765       | -0.0236        | 2.3598         | 1.0011   | 0.9786       | -0.0225        | 2.2475         |
| 0         | 0.0056   | -0.0145      | -0.0201        | -              | 0.0061   | -0.0264      | -0.0325        | -              |
| -1        | -1.0056  | -1.0234      | -0.0178        | 1.7701         | -1.0065  | -1.0245      | -0.0180        | 1.7884         |
| -2        | -2.0053  | -2.0186      | -0.0133        | 0.6632         | -2.0084  | -2.0243      | -0.0159        | 0.7917         |
| -3        | -3.0053  | -3.0165      | -0.0112        | 0.3727         | -3.0084  | -3.0221      | -0.0137        | 0.4554         |
| -4        | -4.0062  | -4.0156      | -0.0094        | 0.2346         | -4.0084  | -4.0179      | -0.0095        | 0.2358         |
| -5        | -4.9923  | -4.9968      | -0.0045        | 0.0901         | -4.9920  | -4.9978      | -0.0058        | 0.1162         |

### C.3 Tabulka pro určení absolutní a relativní chyby výstupního kanálu

Pozn.: měřeno Agilent 34410A, rozsah 10V

| U <sub>nast</sub> [V] | U1 [V]  | U2 [V]  | U3 [V]  | U4 [V]  | U5 [V]  | U6 [V]  | U7 [V]  | U8 [V]  | U9 [V]  | U10 [V] | Uprům [V] | ΔU [V]   | δV [%]   |
|-----------------------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|-----------|----------|----------|
| 5                     | 5.0005  | 5.0006  | 5.0007  | 5.0008  | 5.0004  | 5.0006  | 5.0004  | 5.0003  | 5       | 5.0001  | 5.00044   | 0.00044  | 0.008799 |
| 4.5                   | 4.4977  | 4.4972  | 4.4972  | 4.4974  | 4.4974  | 4.4971  | 4.497   | 4.4974  | 4.4969  | 4.4969  | 4.49722   | -0.00278 | 0.061816 |
| 4                     | 3.997   | 3.9973  | 3.9974  | 3.997   | 3.9969  | 3.9972  | 3.9971  | 3.9969  | 3.9972  | 3.9972  | 3.99712   | -0.00288 | 0.072052 |
| 3.5                   | 3.4975  | 3.497   | 3.4969  | 3.4972  | 3.4972  | 3.4969  | 3.4968  | 3.4971  | 3.4968  | 3.4968  | 3.49702   | -0.00298 | 0.085215 |
| 3                     | 2.9968  | 2.9971  | 2.9971  | 2.9968  | 2.9967  | 2.997   | 2.997   | 2.9967  | 2.997   | 2.997   | 2.99692   | -0.00308 | 0.102772 |
| 2.5                   | 2.4971  | 2.4967  | 2.4966  | 2.4969  | 2.4969  | 2.4966  | 2.4966  | 2.4969  | 2.4965  | 2.4966  | 2.49674   | -0.00326 | 0.13057  |
| 2                     | 1.9965  | 1.9968  | 1.9968  | 1.9965  | 1.9964  | 1.9967  | 1.9967  | 1.9964  | 1.9967  | 1.9968  | 1.99663   | -0.00337 | 0.168784 |
| 1.5                   | 1.4968  | 1.4964  | 1.4964  | 1.4966  | 1.4966  | 1.4963  | 1.4963  | 1.4966  | 1.4963  | 1.4963  | 1.49646   | -0.00354 | 0.236558 |
| 1                     | 0.9963  | 0.9966  | 0.9967  | 0.9963  | 0.9963  | 0.9967  | 0.9966  | 0.9963  | 0.9966  | 0.9966  | 0.9965    | -0.0035  | 0.351229 |
| 0.5                   | 0.4966  | 0.4962  | 0.4962  | 0.4965  | 0.4964  | 0.4961  | 0.4961  | 0.4965  | 0.4961  | 0.4961  | 0.49628   | -0.00372 | 0.749577 |
| 0                     | -0.0039 | -0.0036 | -0.0035 | -0.004  | -0.0039 | -0.0035 | -0.0036 | -0.0039 | -0.0036 | -0.0035 | -0.0037   | -0.0037  | -        |
| -0.5                  | -0.5036 | -0.5041 | -0.4041 | -0.5037 | -0.5038 | -0.5041 | -0.5042 | -0.5037 | -0.5041 | -0.5041 | -0.49395  | 0.00605  | 1.22482  |
| -1                    | -1.0042 | -1.0038 | -1.0037 | -1.0042 | -1.0042 | -1.0037 | -1.0037 | -1.0042 | -1.0037 | -1.0037 | -1.00391  | -0.00391 | 0.389477 |
| -1.5                  | -1.5037 | -1.5041 | -1.5042 | -1.5037 | -1.5037 | -1.5043 | -1.5042 | -1.5037 | -1.5042 | -1.5042 | -1.504    | -0.004   | 0.265957 |
| -2                    | -2.0043 | -2.0039 | -2.0038 | -2.0042 | -2.0043 | -2.0038 | -2.0038 | -2.0043 | -2.0037 | -2.0038 | -2.00399  | -0.00399 | 0.199103 |
| -2.5                  | -2.504  | -2.5043 | -2.5044 | -2.5039 | -2.5039 | -2.5045 | -2.5044 | -2.5039 | -2.5044 | -2.5044 | -2.50421  | -0.00421 | 0.168117 |
| -3                    | -3.0043 | -3.0041 | -3.004  | -3.0044 | -3.0045 | -3.004  | -3.0041 | -3.0045 | -3.004  | -3.004  | -3.00419  | -0.00419 | 0.139472 |
| -3.5                  | -3.5043 | -3.5044 | -3.5046 | -3.5042 | -3.5042 | -3.5046 | -3.5045 | -3.5042 | -3.5046 | -3.5044 | -3.5044   | -0.0044  | 0.125556 |
| -4                    | -4.0042 | -4.0043 | -4.0042 | -4.0045 | -4.0044 | -4.0043 | -4.0043 | -4.0045 | -4.0042 | -4.0042 | -4.00431  | -0.00431 | 0.107634 |
| -4.5                  | -4.5044 | -4.5046 | -4.5047 | -4.5045 | -4.5045 | -4.5048 | -4.5047 | -4.5045 | -4.5047 | -4.5045 | -4.50459  | -0.00459 | 0.101896 |
| -5                    | -5.0044 | -5.0048 | -5.0046 | -5.0048 | -5.0047 | -5.0047 | -5.0048 | -5.0047 | -5.0047 | -5.0046 | -5.00468  | -0.00468 | 0.093512 |

## **D OBSAH PŘILOŽENÉHO CD**

- Elektronická verze diplomové práce
- Projekty plošných spojů v programu Eagle
- Projekty v LabVIEW