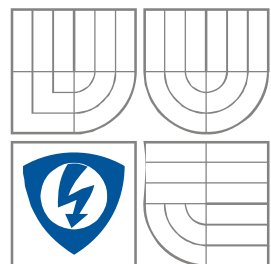


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

MODELOVÁNÍ A IMPLEMENTACE SUBSYSTÉMŮ KOMUNIKAČNÍHO ŘETĚZCE V OBVODECH FPGA

COMMUNICATION CHAIN SUB-BLOCK MODELLING AND IMPLEMENTATION IN FPGA

DISERTAČNÍ PRÁCE
DISSERTATION THESIS

AUTOR PRÁCE
AUTHOR

Ing. Michal Kubíček

VEDOUCÍ PRÁCE
SUPERVISOR

prof. Dr. Ing. Zdeněk Kolka

BRNO, 2009

Abstrakt

Současné obvody pro obnovu bitové synchronizace jsou stále ve většině případů založené na analogové smyčce fázového závěsu. Analogovou část obvodu je třeba pro každou výrobní technologii znovu navrhnout a migrace takového bloku mezi technologiemi je obtížná. V literatuře existují varianty obvodu CDR založené na asynchronním převzorkování, které jsou implementovány v čistě digitální technologii a jejich migrace je tak bezproblémová. Jako jejich hlavní nevýhody jsou uváděny vysoká složitost digitálního obvodu a menší přirozená odolnost těchto metod vůči jitteru přítomnému v signálu. Tato práce má za cíl ukázat, že tyto nevýhody plně digitálních obvodů CDR je možné překonat návrhem nových algoritmů a jejich optimalizací. Pro optimalizaci byly využity obvody FPGA, které umožňují měnit parametry zkoumaného obvodu v reálném čase (podobně jako při modelování na PC) a zároveň umožňují měření v reálných podmínkách, které je často obtížné modelovat. Rychlost měření je navíc mnohonásobně vyšší, než při použití simulace. Výstupem práce jsou optimalizované bloky CDR s výjimečně nízkými nároky na hardware a velmi malou spotřebou. Jejich chybovost je v reálných přenosových podmínkách zcela srovnatelná s běžnými obvody založenými na smyčce fázového závěsu. Tím byly odstraněny hlavní nevýhody plně digitálních obvodů CDR.

Práce se dále zabývá měřením parametrů digitálních spojů. Byla vyvinuta nová metoda pro měření jitteru přímo v obvodu FPGA, která umožňuje charakterizovat přenosový kanál bez nutnosti připojení dalších přístrojů a tedy bez ovlivnění měřeného kanálu. Metoda vyžaduje jen použití minimálního množství hardwarových prostředků obvodu FPGA.

Dále byl vyvinu specializovaný měřič distribuce chybovosti, který umožňuje podrobnou analýzu vlastností atmosférických optických spojů z hlediska možného protichybového zabezpečení přenosu dat. V návaznosti na tato měření byla navržena koncepce systému pro zabezpečení přenosu dat založeného na technice ARQ.

Klíčová slova

FPGA, obnova bitové synchronizace, asynchronní převzorkování, sériový přenos dat, chybovost, jitter, měření jitteru, kanál s úniky, ARQ, bezkabelový optický spoj

Abstract

Most modern clock and data recovery circuits (CDR) are based on analog blocks that need to be redesigned whenever the technology process is to be changed. On the other hand, CDR based blind oversampling architecture (BO-CDR) can be completely designed in a digital process which makes its migration very simple. The main disadvantages of the BO-CDR that are usually mentioned in a literature are complexity of its digital circuitry and finite phase resolution resulting in larger jitter sensitivity and higher error rate. This thesis will show that those problems can be solved by designing a new algorithm of BO-CDR and subsequent optimization. For this task an FPGA was selected as simulation and verification platform. This enables to change parameters of the optimized circuit in real time while measuring on real links (unlike a simulation using inaccurate link models). The output of this optimization is a new BO-CDR algorithm with heavily reduced complexity and very low error rate.

A new FPGA-based method of jitter measurement was developed (primary for CDR analysis), which enables a quick link characterization without using probing or additional equipment. The new method requires only a minimum usage of FPGA resources.

Finally, new measurement equipment was developed to measure bit error distribution on FSO links to be able to develop a suitable error correction scheme based on ARQ protocol.

Keywords

FPGA, clock and data recovery, blind oversampling, serial data transmission, bit error rate, jitter, jitter measurement, fading channel, ARQ, free space optical link

Prohlášení

Prohlašuji, že svou disertační práci na téma Modelování a implementace subsystémů komunikačního řetězce v obvodech FPGA jsem vypracoval samostatně pod vedením školitele a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené disertační práce dále prohlašuji, že v souvislosti s vytvořením této disertační práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 31. srpna 2009

Michal Kubíček

Bibliografická citace

KUBÍČEK, M. *Modelování a implementace subsystémů komunikačního řetězce v obvodech FPGA*. Disertační práce. Brno: FEKT VUT v Brně, 2009. 89 stran.

Seznam zkratek

ABEL	Pokročilý jazyk boolovských rovnic (<i>Advanced Boolean Equation Language</i>)
ADC	Analogově-digitální převodník (<i>Analog to Digital Converter</i>)
APD	Lavinová fotodioda (<i>Avalanche Photo Diode</i>)
APLL	Analogový fázový závěs (<i>Analog Phase Locked Loop</i>)
ARQ	Protokol pro opakovaný přenos dat (<i>Automatic Repeat Request</i>)
ASIC	Zákaznický integrovaný obvod (<i>Application Specific Integrated Circuit</i>)
ASSP	Standardní specializovaný integrovaný obvod (<i>Application Specific Standard Part</i>)
AWGN	Aditivní bílý Gaussovský šum (<i>Additive White Gaussian Noise</i>)
BED-T	Měřič distribuce chybovosti (<i>Bit Error Distribution Tester</i>)
BER	Bitová chybovost (<i>Bit Error Rate</i>)
BERT	Měřič bitové chybovosti (<i>Bit Error Rate Tester</i>)
BO-CDR	Obnova bitové synchronizace asynchronním převzorkováním (<i>Blind Oversampling Clock and Data Recovery</i>)
CDR	Obnova hodinového a datového signálu (<i>Clock and Data Recovery</i>)
CID	Po sobě jdoucí identické bity (<i>Consecutive Identical Bits</i>)
CISC	Procesor s komplexní sadou instrukcí (<i>Complex Instruction Set Computer</i>)
CMOS	Complementary Metal-Oxide-Semiconductor
CMT	Blok pro úpravu hodinového signálu (<i>Clock Management Tile</i>)
CPLD	Složité obvody PLD (<i>Complex PLD</i>)
CPRI	Common Public Radio Interface
CRC	Cyklický redundantní součet (<i>Cyclic Redundant Check</i>)
ČTÚ	Český telekomunikační úřad
DCD	Zkreslení střídý (<i>Duty Cycle Distortion</i>)
DCM	Blok pro úpravu hodinového signálu (<i>Digital Clock Manager</i>)
DDJ	Jitter závislý na datovém signálu (<i>Data Dependent Jitter</i>)
DDR	Vzorkování oběma hranami hodinového signálu (<i>Double data rate</i>)
DJ	Deterministický jitter (<i>Deterministic Jitter</i>)
DLL	Fázová smyčka (<i>Delay Locked Loop</i>)

DLR	Německé centrum pro letectví a vesmír (<i>Deutsches Zentrum für Luft- und Raumfahrt</i>)
DPLL	Digitální fázový závěs (<i>Digital phase locked loop</i>)
DPP	Přímá volba fáze (<i>Direct Phase Picking</i>)
DR	Obnova datového signálu (<i>Data Recovery</i>)
DSP	Digitální signálový procesor (<i>Digital Signal Processor</i>)
FEC	Dopředná korekce chyb (<i>Forward Error Correction</i>)
FIFO	Vyrovňovací paměť (<i>First-In First-Out</i>)
FPGA	Hradlové pole (<i>Field Programmable Gate Array</i>)
FSO	Bez kabelové optické spoje (<i>Free Space Optics</i>)
FWHM	Šířka na úrovni poloviny maxima (<i>Full Width at Half Maximum</i>)
GPS	Globální navigační systém (<i>Global Positioning System</i>)
HDL	Jazyk pro popis hardwaru (<i>Hardware Description Language</i>)
HW	Hardware
IL	Nábojově vázané (<i>Injection Locked</i>)
IM	Intenzitní modulace (<i>Intensity Modulation</i>)
IP	Duševní vlastnictví (<i>Intellectual Property</i>)
ISI	Mezisymbolové přeslechy (<i>Inter Symbol Interferences</i>)
ISP	Programovatelné v systému (<i>In System Programmable</i>)
ITU	Mezinárodní telekomunikační unie (<i>International Telecommunication Union</i>)
JEDEC	Joint Electron Device Engineering Council
LED	Světlo emitující dioda (<i>Light Emitting Diode</i>)
LFSR	Posuvný registr s lineární zpětnou vazbou (<i>Linear Feedback Shift Register</i>)
LP	Dolní propust (<i>Low-Pass</i>)
LUT	Tabulka přiřazení (<i>Look-Up Table</i>)
MV	Většinová volba (<i>Majority Voting</i>)
OOK	Dvoustavové on-off klíčování (<i>On-Off Keying</i>)
PCI	Peripheral Component Interconnect
PD	Fázový detektor (<i>Phase detector</i>)
PER	Paketová chybovost (<i>Packet Error Rate</i>)
PI	Fázový interpolátor (<i>Phase Interpolator</i>)
PJ	Periodický jitter (<i>Periodic Jitter</i>)
PLD	Programovatelné logické obvody (<i>Programmable Logic Devices</i>)
PLL	Fázový závěs (<i>Phase Locked Loop</i>)

PON	Pasivní optická síť (<i>Passive Optical Network</i>)
PRBS	Pseudonáhodná sekvence (<i>Pseudo-Random Bit Sequence</i>)
RISC	Procesor s redukovanou instrukční sadou (<i>Rich Instruction Set Computer</i>)
RJ	Náhodný jitter (<i>Random Jitter</i>)
RMS	Efektivní hodnota (<i>Root Mean Square</i>)
SATA	Serial AT Attachment
SDH	Protokol synchronní digitální hierarchie (<i>Synchronous Digital Hierarchy</i>)
SDR	Vzorkování jednou hranou hodinového signálu (<i>Single data rate</i>)
SNR	Poměr signálu k šumu (<i>Signal to Noise Ratio</i>)
SONET	Synchronní optická síť (<i>Synchronous optical networking</i>)
SPLD	Jednoduché obvody PLD (<i>Simple PLD</i>)
SRIO	Serial RapidIO
STM	Synchronní transportní modul (<i>Synchronous Transport Module</i>)
STR	Obnova časování symbolů (<i>Symbol Timing Recovery</i>)
SW	Software
TCP	Protokol pro řízení přenosu dat (<i>Transmission Control Protocol</i>)
TDC	Převod času na číselnou hodnotu (<i>Time to Digital Conversion</i>)
UART	Univerzální asynchronní přijímač/vysílač (<i>Universal Asynchronous Receiver/Transmitter</i>)
UBJ	Nekorelovaný vázaný jitter (<i>Uncorrelated Bounded Jitter</i>)
UI	Jedna perioda signálu (<i>Unit Interval</i>)
VCO	Napětím řízený oscilátor (<i>Voltage controlled oscillator</i>)
VHDL	Jazyk pro popis velmi rychlých obvodů (<i>Very High Speed Hardware Description Language</i>)
XAUI	Rozhraní pro připojení rychlostí 10 Gb/s (<i>10 Gigabit Attachment Unit Interface</i>)
XOR	Operace výlučné nebo (<i>Exclusive OR</i>)

Seznam symbolů

A	okamžitá odchylka fáze signálu
A_j	amplituda jitteru
A_{MAX}	mezí amplituda jitteru
c	rychlost světla ve volném prostoru (vakuu)
clk	hodinový signál (clock)
Δ_{CDR}	doba reakce algoritmu CDR na změnu fáze
Δ_{DOM}	maximální povolená změna fáze
Δ_T	odchylka od ideálního vzorkovacího okamžiku
Δ_{Tmax}	mezí odchylka od ideálního vzorkovacího okamžiku
f_{bit}	frekvence datového signálu
f_{clk}	frekvence hodinového signálu
f_j	frekvence sinusového jitteru
f_{rec}	frekvence hodinového signálu vzorkovače obvodu BO-CDR
$J_{[s]}$	jitter v sekundách
$J_{[UI]}$	relativní jitter v jednotkách [UI]
k	počet vícefázových hodinových signálů
$\varphi_{[deg]}$	fáze signálu ve stupních
$\varphi_{[rad]}$	fáze signálu v radiánech
$\varphi_{[UI]}$	relativní fáze signálu v jednotkách [UI]
φ_{RL}	fázová rezerva pro lichý stupeň převzorkování
φ_{RS}	fázová rezerva pro sudý stupeň převzorkování
M	stupeň převzorkování
M_{CLK}	počet hodinových signálů vícefázového vzorkovače
n	počet klopných obvodů potřebných pro synchronizaci
N	největší počet po sobě jdoucích identických bitů (CID)
N_B	největší počet bitů obsahující pouze W hran v PRBS
n_{FF}	počet klopných obvodů synchronizačního obvodu vzorkovače
$PDF(\tau)$	distribuční funkce pravděpodobnosti jitteru v datovém signálu
P_{ERR}	pravděpodobnost chyby
P_{ERRA}	pravděpodobnost chyby při neideální poloze vzorkovacího okamžiku

σ_{RJ}	směrodatná odchylka náhodného rozložení jitteru
Q	jakost
ρ_{EDG}	střední hustota hran přijímaného signálu
Rx	přijímač
t	čas
τ	posun v čase
T_{bit}	perioda datového signálu
T_{clk}	perioda hodinového signálu
Tx	vysílač
W	parametr obvodu CDR (délka rozhodovacího okna)
ξ	počet bitů pro rozhodovací proces výběru fáze

Obsah

1 Úvod.....	1
1.1 ÚVOD DO PROBLEMATIKY	1
2 Rozbor současného stavu.....	3
2.1 MOŽNOSTI REALIZACE DIGITÁLNÍCH OBVODŮ	3
2.2 OBNOVA BITOVÉ SYNCHRONIZACE	5
2.2.1 Sériový přenos dat.....	6
2.2.2 Obvody CDR	8
2.2.3 Vlastnosti obvodů CDR.....	10
2.3 OBVODY CDR S ASYNCHRONNÍM PŘEVZORKOVÁNÍM.....	11
2.3.1 Obvody BO-CDR s výběrem fáze	11
2.3.2 Modifikace obvodu BO-CDR s výběrem fáze	13
2.4 OBVODY CDR V FPGA	17
2.5 MĚŘENÍ JITTERU	19
2.6 BEZKABELOVÉ OPTICKÉ SPOJE	20
2.7 CÍLE DISERTACE	21
3 Realizace obvodu BO-CDR v FPGA	23
3.1 REALIZACE VZORKOVAČE A GENERÁTORU VÍCEFÁZOVÉHO HODINOVÉHO SIGNÁLU V FPGA	23
3.1.1 Přímé vzorkování (SDR).....	23
3.1.2 Vzorkování DDR	24
3.1.3 Vícefázové vzorkování.....	25
3.1.4 Využití zpožďovacího vedení.....	29
3.1.5 Využití HW transceiverů.....	31
3.1.6 Srovnání vlastností vzorkovačů.....	31
3.2 JÁDRO OBVODU BO-CDR.....	33
3.3 STANOVENÍ TEORETICKÉ CITLIVOSTI OBVODU CDR NA JITTER.....	35
3.3.1 Jitter	35
3.3.2 Stupeň převzorkování	38
3.4 CITLIVOST ALGORITMŮ BO-CDR NA JITTER.....	40
3.4.1 Nízkofrekvenční jitter (režim sledování).....	40
3.4.2 Vysokofrekvenční jitter (režim filtrace).....	44
3.5 NOVÉ ALGORITMY BO-CDR.....	47
3.5.1 Návrh algoritmů.....	47
3.5.2 Fyzická implementace algoritmů	49
3.5.3 Stanovení citlivosti algoritmů na jitter.....	50
4 Optimalizace algoritmů BO-CDR	53
4.2 OPTIMALIZACE ALGORITMU S2PAR.....	55
4.3 OPTIMALIZACE ALGORITMU CCNT	57
4.4 OPTIMALIZACE ALGORITMU MAJORITNÍ VOLBY	59
4.5 POROVNÁNÍ CHYBOVOSTI A NÁROKŮ NA IMPLEMENTACI OBVODŮ CDR.....	59
5 Měření jitteru v FPGA	63
5.1 POUŽITÁ METODA MĚŘENÍ JITTERU	63
5.2 IMPLEMENTACE MĚŘIČE JITTERU V FPGA	67
5.3 MĚŘENÍ JITTERU NA REÁLNÉM SPOJI	68

6	Použití navržených metod	71
6.1	ČTYŘKANÁLOVÝ MĚŘIČ CHYBOVOSTI SDH-STM1	71
6.2	MĚŘENÍ PARAMETRŮ BEZKABELOVÝCH OPTICKÝCH SPOJŮ	74
6.2.1	<i>Měřič distribuce chybovosti</i>	<i>74</i>
6.2.2	<i>Měření parametrů FSO</i>	<i>75</i>
6.2.3	<i>Návrh systému protichybového zabezpečení přenosu dat kanálem FSO</i>	<i>77</i>
7	Závěr.....	81
8	Literatura.....	83

1 Úvod

1.1 ÚVOD DO PROBLEMATIKY

Vývoj v oblasti vysokorychlostních komunikačních prostředků klade stále vyšší nároky na realizaci obvodových prvků, především pak datových vysílačů a přijímačů. Spolu s růstem přenosových rychlostí a rostoucími požadavky na potřebnou šířku spektra se zvyšuje i důraz na efektivní využití přenosového pásma, vysoký stupeň integrace prvků komunikačního řetězce, jejich snadnou implementaci a nízké náklady na výrobu. Před vlastní implementací nového prvku je tak nutné provést jeho optimalizaci z hlediska uvedených kritérií. Tato optimalizace se obvykle provádí nejdříve na základě simulací (ideální model, reálný model, interakce s dalšími bloky) a poté na základě zkušebních měření, kdy je implementace nového bloku provedena do vhodného prototypu zařízení a testována v reálné aplikaci. Z hlediska simulace může být obtížné nalezení modelu zkoumaného kanálu, který by dostatečně vystihoval jeho chování a zároveň umožňoval rychlou simulaci. Následná implementace prototypu může být časově náročnou procedurou, což dále prodlužuje vývoj celého zařízení.

Z tohoto pohledu se jeví obvody FPGA (Field Programmable Gate Array) jako ideální platforma pro současný vývoj a verifikaci navržených metod v reálných podmínkách. Tyto obvody umožňují ověření funkčnosti navrženého řešení (algoritmů, architektury) přímo na reálných přenosových systémech, přičemž rychlost měření mnohonásobně převyšuje možnosti simulace na PC. Zároveň se „simulací“ tak dochází o k verifikaci navržených metod. Proces návrhu obvodů FPGA je velmi podobný procesu návrhu obvodů ASIC (Application Specific Integrated Circuit), což umožňuje pozdější bezproblémovou migraci navržených obvodů do integrované technologie (jakmile je proces optimalizace úspěšně ukončen). Výhodou migrace je především několikanásobné zvýšení rychlosti (i více než desetinásobné), snížení spotřeby a také ceny při sériové výrobě, avšak vzhledem ke zlepšujícím se parametrům moderních obvodů FPGA začíná být patrný opačný trend nahrazování obvodů ASIC hradlovými poli. To umožňuje inovovat funkce zařízení přímo v systému (během provozu) a prodlužují tak životnost a zvyšuje funkčnost zařízení.

V disertační práci je využita uvedená metoda k vývoji a optimalizaci plně digitálního obvodu pro obnovu bitové synchronizace s asynchronním převzorkováním (BO-CDR; Blind Oversampling Clock and Data Recovery), který je kvalitativně srovnatelný s obvody založenými na analogovém fázovém závěsu (PLL; Phase Locked Loop). Podobné realizace již byly dříve publikovány ([13], [14], [30]), ale téměř ve všech případech šlo o realizaci obvodu v technologii ASIC, která vykazovala vysokou složitost použitých algoritmů. Publikované realizace obvodu v technologii FPGA jsou jen velmi zevrubné ([46], [48]) a často zavádějící, jak bude ukázáno v následujících kapitolách ([34]). Doposud také nebylo publikováno přímé porovnání obvodů BO-CDR s klasickými obvody CDR s fázovým závěsem.

Práce se dále zabývá možnostmi analýzy přenosového kanálu. Za tímto účelem byl vyvinut blok pro přímé měření jitteru, který umožňuje jednoduše a rychle stanovit vlastnosti přenosového média. Pomocí popsané metody je možné provést odhad chybovosti s vysokou přesností ve velmi krátkém čase (ve srovnání s přímým měřením chybovosti). Tato metoda vyniká oproti již publikovaným variantám ([71], [77]) rychlostí měření, přesností i nízkými nároky na hardware. Na rozdíl od dříve publikovaných řešení je v práci uvedena analýza přesnosti měření, výsledky měření na reálných spojích a jejich srovnání s výsledky získanými běžnými metodami.

V oblasti bezkabelových optických spojů (FSO; Free Space Optics) jsou komponenty komunikačního řetězce ve stavu vývoje a jen ve výjimečných případech se lze setkat s typy určenými přímo pro tento druh spojů. Takovými bloky jsou například kanálový kodér nebo blok řízení toku dat, které mají za úkol zajistit dostatečnou kvalitu spoje (z pohledu aplikace), tedy nízkou chybovost a vysokou dostupnost přenosového kanálu. V současné době jsou již tyto typy bloků optimalizovány pro mnoho typů kanálu (radiové spoje, kabelové optické a metalické spoje). Takové bloky ale nelze přímo použít pro atmosférické optické spoje, které mají velmi specifické vlastnosti. Navíc se požadavky na tyto bloky pro dva různé optické spoje mohou významně lišit v závislosti na parametrech těchto spojů.

Práce se zabývá vlastnostmi bezkabelových optických spojů z hlediska protichybového zabezpečení. Pro podrobné měření parametrů optického spoje byl vyvinut měřič krátkodobé chybovosti [82]. Ten umožňuje podrobně analyzovat chování zkoumaného spoje v čase s neobvykle vysokým rozlišením. Výsledky měření jsou použity pro návrh protichybového zabezpečení přenosu dat vhodného pro FSO. Běžně používané techniky protichybového kódování jsou totiž vzhledem k charakteru kanálu FSO prakticky nepoužitelné [96], [99]. Běžné protokoly pro opakovaný přenos dat (ARQ; Automatic Repeat Request), jako je například protokol TCP (Transport Control Protocol), jsou uzpůsobeny pro provoz na kanálech s velmi nízkou ztrátovostí dat a na spojích FSO selhávají [100]. V rámci disertaci je na základě příčin tohoto jevu navrženo řešení protichybového zabezpečení přenosu dat těchto spojů.

2 Rozbor současného stavu

2.1 MOŽNOSTI REALIZACE DIGITÁLNÍCH OBVODŮ

V dnešní době lze realizovat komplexní číslicové systémy třemi základními druhy digitálních obvodů:

- Mikroprocesory
- Aplikačně specifické integrované obvody (ASIC, ASSP)
- Hradlová pole (FPGA)

Každý z uvedených typů digitálních obvodů má určité přednosti a slabiny. Konkrétní realizaci je třeba pro každou aplikaci vybrat tak, aby splňovala naše požadavky na rychlost zpracování dat, spotřebu, rozměry, náklady na vývoj a následnou výrobu.

MIKROPROCESORY

Implementace digitálních subsystémů v mikroprocesoru umožňuje velmi snadnou modifikaci funkce, ať již v průběhu návrhu nebo přímo v cílové aplikaci. Je možné použít sofistikované algoritmy pro zpracování dat, přičemž nároky kladené na návrháře jsou poměrně malé, neboť bloky jsou často popsány vyššími programovacími jazyky (C, C++). To umožňuje snížit náklady na vývoj, který je zároveň poměrně rychlý. Na trhu je k dispozici široká nabídka různě výkonných procesorů uzpůsobených pro různé aplikace. Samotné procesory jsou vyráběny ve velkých sériích, jsou poměrně levné a lze tak dosáhnout velmi nízkých nákladů na realizaci celého zařízení.

Jejich velkou nevýhodou je poměrně nízký výpočetní výkon daný sekvenčním zpracováním dat, což limituje jejich použití. Tento problém se snaží výrobci vyřešit mnoha způsoby. Implementace složitých operací do jediné instrukce vede ke zrychlení běhu programu (procesory architektury CISC). Tím se ale zvyšuje složitost programového řadiče procesoru a snižuje se maximální taktovací frekvence procesoru. Naopak minimalizace množství možných instrukcí zjednodušuje programový řadič a umožňuje rychlejší taktování procesoru (architektura RISC). Přidáním pomocných výpočetních jednotek (koprocetorů) k vlastnímu procesoru umožňuje významně zvýšit výkon systému založeného i na poměrně jednoduchém procesoru. Koprocetory jsou realizovány buď přímo v mikroprocesoru (jako samostatné bloky na čipu) nebo jako samostatné součástky na desce plošných spojů a to buď zákaznické integrované obvody nebo obvody FPGA.

ZÁKAZNICKÉ INTEGROVANÉ OBVODY

Aplikačně specifické integrované obvody ASIC (Application Specific Integrated Circuit) umožňují implementaci téměř libovolně složitých struktur, které mohou zpracovat data paralelně a na mnohem vyšších kmitočtech, než umožňují procesory.

Představují špičku technologických možností pro realizaci uživatelské aplikace z hlediska výpočetního výkonu, latence, spotřeby a při dostatečně velké sériové výrobě i ceny. Jejich hlavní nevýhodou je velmi dlouhý a drahý proces vývoje před vlastní výrobou. Ten obvykle trvá řádově roky a obvykle je požadováno, aby byla jeho cena vyvážena masivní sériovou výrobou obvodů.

Jako obvod ASIC je realizováno velké množství běžně dostupných součástek, jako jsou periferie procesorů, smíšené analogově-digitální obvody (A/D převodníky), transceivery a mnoho dalších. Vzhledem k univerzálnímu použití těchto obvodů se již neoznačují jako ASIC, ale jako ASSP (Application Specific Standard Part). Takové obvody jsou běžně dostupné a výrobcem je k nim dodávána dokumentace potřebná k jejich implementaci (datasheet). Významnou nevýhodou obvodů ASIC (respektive ASSP) je nemožnost změny jejich funkce, jakmile jsou vyrobeny (oprava chyb v návrhu, modifikace funkce s ohledem na nové technologie).

Uvedené vlastnosti omezují tyto obvody na velkosériovou výrobu, kde je cena vývoje vyvážena velkým množstvím vyrobených obvodů, a na špičkové aplikace, kdy tyto obvody představují jediné možné řešení implementace a cena vývoje je vzhledem k užítku zařízení akceptovatelná.

PROGRAMOVATELNÉ LOGICKÉ OBVODY

Jako programovatelné logické obvody (PLD; Programmable Logic Devices) se označují obvody složené z jednoduchých programovatelných bloků schopných realizovat logickou funkci (tzv. logických buněk). Tyto bloky jsou uspořádány v pravidelné struktuře (poli), přičemž programováním funkce jednotlivých buněk a jejich vzájemným propojením lze realizovat složité kombinační funkce. Obvody PLD se dělí na tři základní podskupiny:

- SPLD – Simple Programmable Logical Devices
- CPLD – Complex Programmable Logical Devices
- FPGA – Field Programmable Gate Array

Obvody SPLD jsou historicky nejstarší a strukturou nejjednodušší ze skupiny obvodů PLD. Jsou schopny realizovat poměrně jednoduché funkce, jako adresní dekodéry, jednoduché čítače a podobně. Obvody CPLD vznikly implementací několika obvodů SPLD na jeden čip a přidáním programovatelné propojovací struktury. Obvody FPGA jsou složeny z poměrně jednoduchých základních logických buňkách, mnohem menších než je tomu v případě obvodů CPLD. Jednodušší základní bloky umožňují větší flexibilitu a efektivitu implementace a dovolují dosahovat vyšších taktovacích kmitočtů, než je tomu u struktur se složitými základními logickými bloky (CPLD). Struktura obvodů FPGA se označuje jako Fine Grain (jemnozrná, s jednoduchými buňkami) a struktura obvodů CPLD jako Medium Grain (se středně složitými buňkami). Existují specializované programovatelné obvody, které jsou složeny z poměrně velkých a složitých základních bloků (řadiče pamětí, bloky DSP, celé procesory). Jejich struktura se označuje jako Coarse Grain (hrubozrná, s velkými a složitými buňkami) a tyto obvody již nebývají řazeny do kategorie PLD.

Obvody FPGA se z aplikačního hlediska řadí mezi mikroprocesory a obvody ASIC. Dokáží zpracovat velmi rychlé datové toky a umožňují snadnou implementaci paralelních algoritmů. To umožňuje dosahovat mnohem vyšších výpočetních výkonů, než v případě mikroprocesorů. Výkonu obvodů ASIC sice samostatné obvody FPGA

nedosahují, ale kombinací několika (v praxi i desítek) obvodů FPGA lze dosáhnout srovnatelných parametrů. Oproti obvodům ASIC je možné hradlová pole rekonfigurovat přímo v cílové aplikaci (ISP; In System Programmable), stejně jako mikroprocesory. Čas potřebný pro vývoj aplikace je delší, než v případě mikroprocesorových systémů, ale stále mnohem kratší ve srovnání s obvody ASIC.

Na druhou stranu spotřeba obvodů FPGA je až řádově vyšší než u realizace stejné funkce obvodem ASIC. Cena vyšších řad obvodů FPGA je stále poměrně vysoká, nicméně v poslední době výrazně klesá a především s ohledem na jejich rostoucí výkon je použití hradlových polí stále výhodnější. V případě vývoje prototypů je však podstatná jejich reprogramovatelnost a vysoký výpočetní výkon (více než stonásobný ve srovnání s nejvýkonnějšími DSP procesory [3]).

Obvody FPGA se velmi často používají pro návrh digitálních struktur obvodů ASIC: nový blok je popsán jazykem HDL, implementován do systému hradlových polí a po důkladném ověření funkce je popis použit pro výrobu obvodu ASIC. To umožňuje výrazné snížení času vývoje a snížení pravděpodobnosti chyby ve vývoji obvodu ASIC. Na druhou stranu lze v mnoha aplikacích (například spotřební elektronika) pozorovat opačný trend, kdy jsou obvody ASIC nahrazovány obvody FPGA. Ty již mají v dnešní době dostatečný výpočetní výkon a díky možnosti rekonfigurace lze přímo v cílové aplikaci modifikovat jejich funkci (například aktualizace firmwaru za provozu přímo u zákazníka).

V praxi se lze jen zřídka setkat se systémem, který by byl složen pouze z jednoho typu výše zmíněných obvodů. Téměř každá aplikace dnes využívá mikroprocesor, který umožňuje snadné a komplexní řízení celého systému. Obvody ASIC jsou nenahraditelné ve vysokorychlostních aplikacích a tam, kde by jiné řešení bylo neekonomické (obvody ASSP).

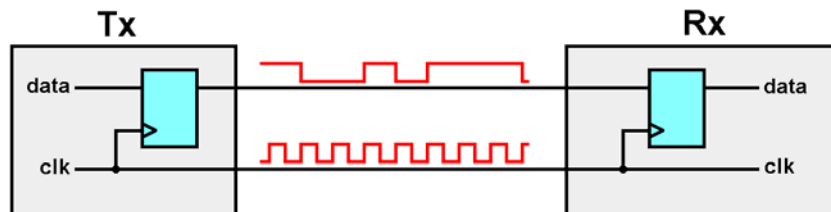
Pro vývoj nových aplikací je velmi výhodné použít obvody FPGA, především pak ty, v nichž jsou implementovány některé strukturální prvky obvodů ASIC (jako vysokorychlostní transceivery, obvody pro syntézu hodinového signálu,...) a procesorová jádra (například procesor PowerPC v obvodech FPGA firmy Xilinx řady Virtex-II Pro, Virtex-4 a Virtex-5). Pokud procesor není součástí FPGA, lze část strukturálních prvků hradlového pole použít pro syntézu procesoru, který může být zcela definován uživatelem. To umožňuje realizovat kompaktní specializované procesory schopné i přes nižší taktovací frekvenci předčít výpočetním výkonem v konkrétní aplikaci velký univerzální procesor běžící na mnohonásobně vyšší frekvenci.

2.2 OBNOVA BITOVÉ SYNCHRONIZACE

Existuje velké množství přenosových datových systémů, které pracují s digitálními signály v paralelní nebo sériové podobě. Jimi přenášená informace může být kódována různým počtem stavů. V nejjednodušším případě jde o dvojstavové (binární) kódování, kdy datový signál může nabývat pouze jednoho ze dvou možných stavů, v případě digitálních systémů kódovaných zpravidla jako 0 a 1. Popis systémů v této kapitole je pro zjednodušení výkladu omezen pouze na systémy s binárním kódováním, závěry jsou však platné i pro systémy s vícestavovým kódováním.

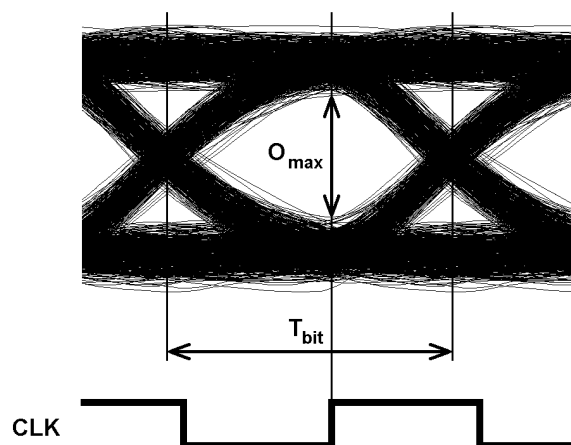
2.2.1 SÉRIOVÝ PŘENOS DAT

Sériový přenos dat lze realizovat dvěma způsoby, buď jako synchronní (obr. 2.1) nebo asynchronní (Obr. 2.3). Synchronní přenos dat je realizován dvěma identickými signálovými spoji, z nichž jeden je určen pro samotný datový signál, zatímco druhý je určen pro přenos hodinového signálu, který fázově i frekvenčně koresponduje s přenášeným datovým signálem. V přijímači je hodinový signál použit pro vzorkování datového signálu, přičemž vysílačem je zaručen jejich optimální fázový posun tak, aby byl datový signál vzorkován v ideálním okamžiku (zpravidla uprostřed datového bitu, v místě největšího otevření diagramu oka; Obr. 2.2).



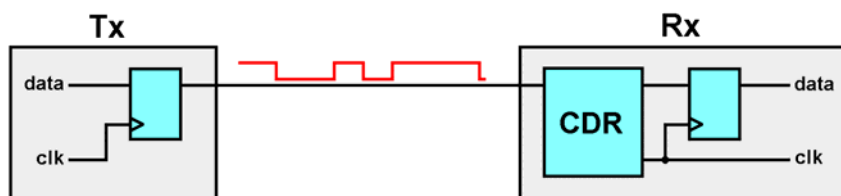
Obr. 2.1 Synchronní sériový přenos dat

Synchronní přenos dat na daném médiu teoreticky umožňuje dosáhnout vyšší přenosové rychlosti, než by tomu bylo při použití asynchronního přenosu [1], [2]. Tato výhoda je však ve většině případů zanedbatelná ve srovnání s nevýhodou představující nutnost implementovat dva identické přenosové kanály pro datový a hodinový signál, přičemž kanál pro hodinový signál nepřenáší žádnou užitečnou informaci. Existuje velké množství aplikací, kde je vytvoření druhého paralelního kanálu pro přenos hodinového signálu prakticky nemožné nebo vysoce neekonomické (například bezkabelové optické spoje). S rostoucími přenosovými rychlostmi je navíc problematické zajistit ideálně stejnou dobu šíření obou signálů (datového a hodinového) tak, aby mohl být v přijímači použit pro vzorkování datového signálu přímo přijatý hodinový signál. V přijímači tak musí být implementován přídavný blok pro úpravu hodinového signálu, který koriguje jeho fázi. Tím se ztrácí výhoda jednodušší vstupní části synchronního přijímače oproti asynchronnímu.



Obr. 2.2 Ideální vzorkování signálu v místě největšího otevření diagramu oka

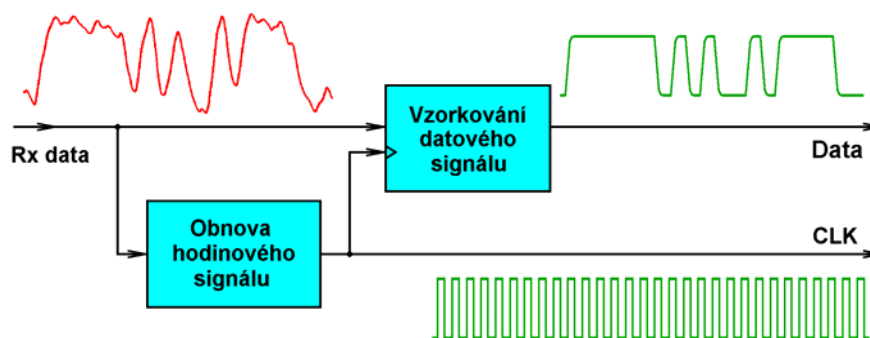
Synchronní sériový přenos dat bývá často použit například pro komunikaci mezi jednotlivými čipy na desce plošných spojů. Náklady na vytvoření cesty pro hodinový signál jsou zde poměrně malé a díky malé délce spoje nehrozí nadměrné zkreslení signálů, které by vyžadovalo jejich další zpracování ve vstupních obvodech přijímače. Ten tak zůstává jednoduchý. Pro přenos dat na větší vzdálenosti je synchronní přenos méně vhodný.



Obr. 2.3 Asynchronní sériový přenos dat

Asynchronní sériové datové spoje (Obr. 2.3) používají pouze jeden signálový spoj mezi vysílačem a přijímačem, kterým je přenášen pouze datový signál. Ten je v přijímači zpracován blokem pro obnovu datového a hodinového signálu (CDR; Clock and Data Recovery), někdy také nazývaném blokem pro obnovu datové či bitové synchronizace nebo obvodem obnovy časování symbolů (STR; Symbol Timing Recovery). Tento blok (téměř výhradně hardwarový) není u synchronních systémů potřebný a nutnost jeho použití je hlavní nevýhodou asynchronních systémů.

Blok CDR (Obr. 2.4) odvozuje z datového signálu informaci o původním hodinovém signálu. V ideálním případě generuje kmitočtově i fázově přesnou replikou originálního hodinového signálu použitého ve vysílači pro vysílání dat. Toto odvození se nazývá obnova hodinového signálu. Hodinový signál je poté použit pro vzorkování přijímaného datového signálu. Toto vzorkování se nazývá rekonstrukce (obnova) datového signálu. Oba signály lze poté zpracovat stejnými obvody, jako v případě synchronního systému.



Obr. 2.4 Obecný princip obnovy hodinového signálu a datové resynchronizace.

Informaci o hodinovém signálu lze z datového signálu odvodit na základě polohy hran, tedy rozhraní mezi dvěma různými stavy (v případě binárního kódování mezi bity 0 a 1). Aby bylo možné hodinový signál spolehlivě obnovit, musí být zajištěna dostatečná hustota hran datového signálu, představující vloženou informaci o hodinovém signálu. Hustota hran bývá ve vysílači často uměle zvyšována (především u vysokorychlostních datových spojů), aby bylo možné hodinový signál spolehlivě

obnovit. Existují tři základní metody vkládání přídavné informace o hodinovém signálu do datového signálu: scrambling, vysílání synchronizační sekvence a kódování. Každá z uvedených technik má výhody a nevýhody, které předurčují jejich použití v konkrétní aplikaci.

Většina moderních vysokorychlostních standardů (Gigabit Ethernet, SATA, XAUI, CPRI, PCI Express, SRIIO a další [41], [42]) dnes využívá kódování 8b/10b [4], které přes poměrně velkou redundanci poskytuje řadu výhod. Kromě zajištění definované vysoké hustoty hran a nulové stejnosměrné složky signálu umožňuje přenášet pomocné informace a udržet synchronizaci linky v době, kdy pro přenos nejsou připravena užitečná data.

2.2.2 OBVODY CDR

Existuje celá řada realizací obvodu pro obnovu hodinového a datového signálu, které se liší architekturou, vlastnostmi a použitím [5]. Nejběžněji používané architektury jsou založeny na smyčce fázového závěsu (PLL; Phase Locked Loop) a na závěsu zpoždění (DLL; Delay Locked Loop). Existují však i další, méně běžné, varianty obvodu CDR, které mohou být pro některé aplikace výhodnější. Základní architektury obvodů CDR pro vysokorychlostní datové přenosy lze rozdělit dle následujících kritérií:

- Topologie využívající *zpětnovazební smyčku pro sledování fáze*; do této kategorie spadají obvody založené na
 - fázovém závěsu (PLL), dále dělitelné na typy
 - bez reference hodinového signálu
 - s externí referencí hodinového signálu
 případně podle toho, zda využívají
 - analogový fázový závěs (Analog PLL; APLL)
 - digitálním fázovým závěsem (Digital PLL; DPLL)
 - závěsu zpoždění (DLL)
 - fázovém interpolátoru (PI; Phase Interpolator)
 - nábojové vazbě (IL; Injection Locked)
- Topologie založená na *asynchronním převzorkování* (blind oversampling) přijímaného signálu bez zpětnovazebního sledování fáze (dále jen BO-CDR)
- Topologie zajišťující *fázové vyrovnaní bez zpětné vazby*; do této skupiny patří obvody využívající
 - hradlovaný oscilátor (Gated Oscillator)
 - vysokojakostní pásmová propust (High-Q Bandpass Filter)

Z hlediska obvodu CDR lze přenosové systémy rozdělit na systémy s kontinuálním přenosem dat (continuous-mode) a na systémy s blokovým přenosem dat (burst-mode). Oba systémy se liší chováním přenosového kanálu v době, kdy nejsou vysílána užitečná data.

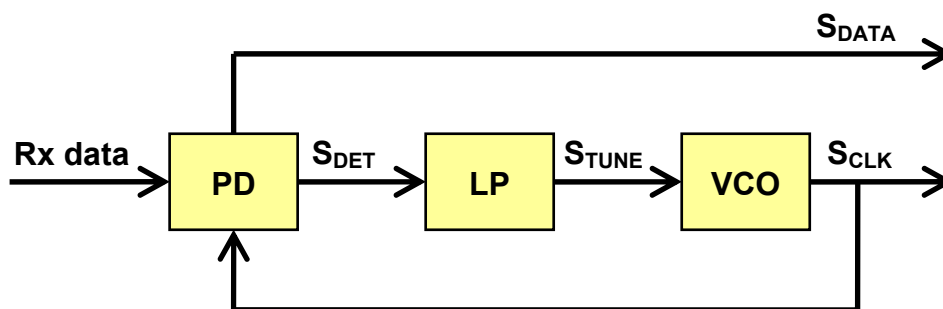
U systémů s *kontinuálním přenosem dat* je po dobu absence platných dat ve vysílači na linku vysílán definovaný pomocný signál s nenulovou hustotou hran, který nepřenáší užitečnou informaci, ale zajišťuje udržení synchronizace vysílače a přijímače (tedy udržení synchronizace obvodu CDR v přijímači). Jakmile jsou ve vysílači připravena užitečná data, je možné ihned začít jejich vysílání bez nutnosti synchronizace obvodu CDR v přijímači.

V případě systémů s *blokovým přenosem dat* není při absenci užitečných dat ve vysílači přenášen žádný signál a linka se nachází v definovaném klidovém stavu (zpravidla logická 0 nebo 1). Jakmile je třeba vyslat nová užitečná data, je třeba nejdříve zajistit synchronizaci obvodu CDR v přijímači, což je obvykle realizováno vysláním krátké synchronizační sekvence (preamble) před vlastními daty.

Obvody CDR, které jsou schopné velmi rychlého zachycení, jsou vhodné pro použití v systémech s blokovým přenosem dat, neboť umožňují použít kratší synchronizační sekvence na počátku vysílání. Do této kategorie patří architektury CDR založené na *hradlovaném oscilátoru a vysokojakostní pásmové propusti*. Takové obvody je možné navrhnout tak, že jsou schopné zachycení na první hranu datového signálu a nevyžadují tak prakticky žádnou synchronizační sekvenci. Tento princip je použit například u pasivních optických sítí (PONs; Passive Optical Networks [11]). Nevýhodou takto optimalizovaných obvodů CDR je obvykle velmi malé potlačení jitteru vstupního signálu. Jsou tak schopné zpracovat jen kvalitní signály, které obsahují poměrně malý jitter.

Varianty obvodů CDR založené na PLL jsou schopné zpracovat signály obsahující poměrně velké množství jitteru. Jejich nevýhodou je však delší doba synchronizace (zachycení) na přijímaný datový signál. To jejich použití omezuje na spoje s kontinuálním přenosem dat, kde dochází k synchronizaci pouze jednou při spuštění systému a doba synchronizace je tak zanedbatelná vzhledem k celkové době, po kterou jsou data přenášena. Obvody CDR založené na asynchronním převzorkování lze upravit pro blokový i kontinuální přenos dat a představují tak z tohoto hlediska univerzální řešení [5].

Obvody CDR všech uvedených druhů byly původně realizovány diskrétními součástkami, nyní jsou však běžně dostupné jako zákaznické integrované obvody ASSP (Application Specific Standard Part) [35]. Často jsou samotné bloky CDR součástí mnohem větších obvodů ASSP určených například k realizaci fyzické vrstvy standardních vysokorychlostních rozhraní ([36], [37]). Podobné bloky obsahují i současné obvody FPGA všech předních výrobců ([51], [57], [60]).



Obr. 2.5 Zjednodušené blokové schéma obvodu CDR založeného na smyčce fázového závěsu.

Zjednodušené blokové schéma obvodu CDR s fázovým závěsem je zachyceno na Obr. 2.5. Poloha hran přijímaného datového signálu S_{RX} je porovnávána fázovým detektorem (PD) s lokálně generovaným hodinovým signálem S_{CLK} . Fázový detektor má na svém výstupu signál S_{DET} úměrný okamžitému fázovému rozdílu hran porovnávaných signálů. Tento signál je po průchodu dolní propustí (LP) použit jako ladící signál S_{TUNE} napětím řízeného oscilátoru (VCO). Fázový detektor zároveň slouží jako vzorkovač dat s výstupem synchronním vzhledem k obnovenému hodinovému signálu. Podrobnější popis konkrétních realizací je možné nalézt například v [6], [7], [8], [9].

Výhodou obvodů CDR založených na PLL je jejich přirozená schopnost sledování frekvence vstupního signálu (která není vlastní všem obvodům CDR) a dobré potlačení vstupního jitteru. Nevýhodou je pak velmi dlouhá doba zachycení (10^4 až 10^5 bitů [35], [39]) a zvětšený přenos jitteru v okolí mezní frekvence filtru zpětnovazební smyčky (efekt „Jitter Peaking“ [29], [59]). Existují modifikace základního uspořádání obvodu, které dokáží uvedené nedostatky částečně eliminovat, což má ale za následek delší dobu synchronizace [5], [8].

Velkou část obvodu CDR využívajícího PLL ale tvoří analogové bloky, které komplikují implementaci těchto obvodů do levných technologií CMOS a jsou tak jejich zásadní nevýhodou. Obvod implementovaný v jedné technologii navíc nelze přímo použít v jiné (zpravidla novější) technologii. Celý obvod je třeba nejprve cílové technologii přizpůsobit a funkčnost implementace následně ověřit. To zvyšuje nároky na čas potřebný k realizaci obvodu.

2.2.3 VLASTNOSTI OBVODŮ CDR

Na trhu je velké množství realizací obvodů CDR, ať již v diskrétní podobě nebo jako součást transceiverů a mnohých dalších obvodů. Jejich vlastnosti lze posuzovat podle několika základních hledisek:

- Přenosová rychlost
- Spotřeba
- Cena
- Rychlost zachycení
- Tolerance jitteru

Přenosová rychlost je klíčový parametr, který je na obvod CDR kladen a významně ovlivňuje zbývající vlastnosti obvodu. Z tohoto hlediska lze rozlišit dvě základní skupiny obvodů CDR:

- **Jednoúčelové**, optimalizované pro jednu nebo několik vybraných rychlostí (například transceivery pro síť SONET nebo Ethernet).
- **Univerzální**, které lze použít pro libovolnou aplikaci, vyžadující přenosovou rychlost ze spojitého intervalu rychlostí podporovaných daným obvodem.

Jednoúčelové transceivery jsou zpravidla jednodušší a tím i levnější a v dané aplikaci lze očekávat, že budou vykazovat nižší spotřebu a menší chybovost. Spotřeba je silně závislá na konkrétní přenosové rychlosti, architektuře a technologii. Ve většině

případů je možné ji snadno zjistit nebo alespoň s dostatečnou přesností odhadnout s využitím katalogového listu daného obvodu.

Rychlost zachycení je klíčový parametr v aplikacích s blokovým přenosem dat, kde je často požadována korektní extrakce dat od první detekované hrany datového signálu. V aplikacích s kontinuálním přenosem dat nehraje velkou roli, neboť k zachycení dojde pouze jednou při navázání spojení (doba zachycení je tak zanedbatelná vzhledem k celkové době přenosu dat). Obvody, které jsou schopné velmi rychlého zachycení, jsou ale zpravidla více citlivé na jitter a nehodí se tak pro aplikace s kontinuálním přenosem dat, které mívají v tomto směru vyšší požadavky.

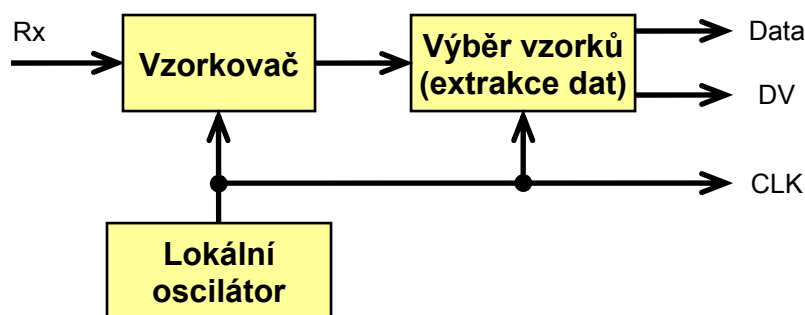
Tolerance obvodu CDR na jitter popisuje schopnost obvodu obnovit datový signál obsahující definované množství jitteru při zachování určité mezní chybovosti. Tento parametr je klíčový z hlediska stanovení chybovosti obvodu v konkrétní aplikaci a jeho stanovení bude zkoumáno v kapitole 3.3.

2.3 OBVODY CDR S ASYNCHRONNÍM PŘEVZORKOVÁNÍM

Existují dva typy obvodů s asynchronním převzorkováním datového signálu (Blind Oversampling CDR; BO-CDR): obvody s většinovou volbou vzorku (Majority Sample Voting) a obvody s výběrem fáze (Phase Picking). Varianta s většinovou volbou vykazuje výrazně horší vlastnosti z hlediska chybovosti, proto je používána jen výjimečně pro menší přenosové rychlosti [18], [23].

2.3.1 OBVODY BO-CDR S VÝBĚREM FÁZE

Obvody založené na výběru fáze vycházejí z podobného principu, jako obvody založené na fázovém závěsu: ideální vzorkovací okamžik je odvozen na základě sledování polohy hran v přijímaném signálu. Základní blokové schéma obvodu je na Obr. 2.6. Lokální oscilátor generuje hodinový signál, jímž je taktován celý obvod CDR. Vzorkovač odebírá M vzorků z každého bitu přijímaného datového signálu. Tyto vzorky jsou paralelně předány do bloku výběru vzorků, který na základě detekované polohy hrany v přijímaném signálu vybere z každé M -tice optimální vzorek jako platný.



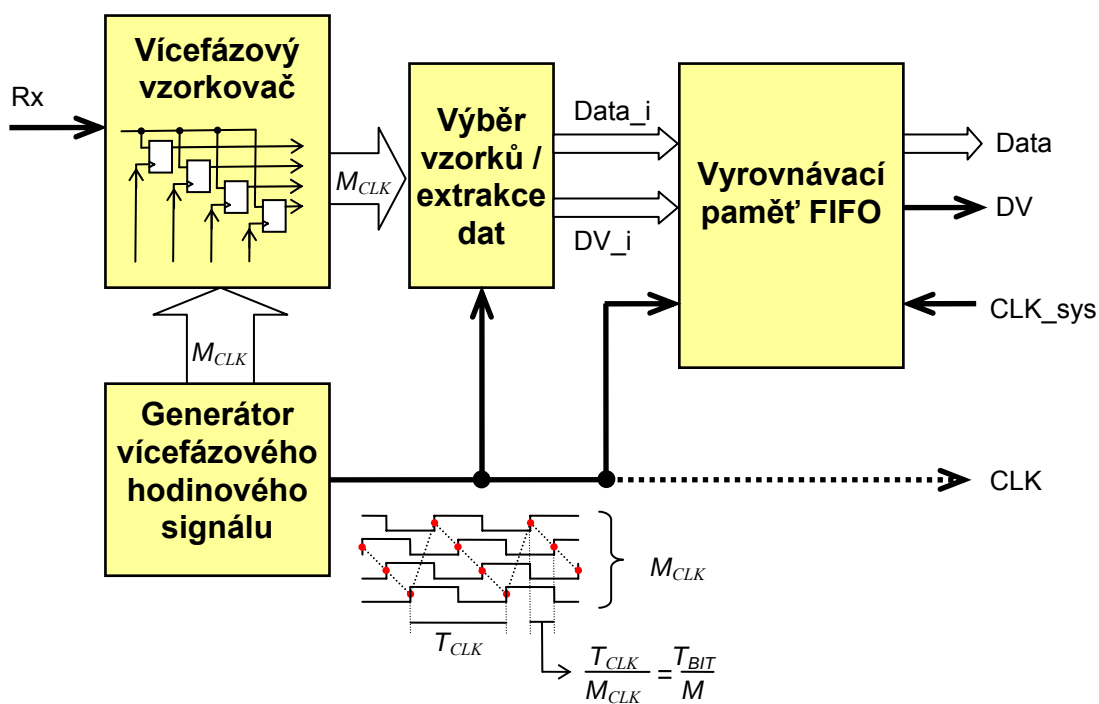
Obr. 2.6 Blokové schéma obvodu CDR založeném na asynchronním převzorkování.

Funkce obvodu je zachycena na Obr. 2.7. Přijímaný datový signál **Rx data** je vzorkován M -krát během jedné periody bitu T . Stupeň převzorkování M určuje fázové rozlišení obvodu a tím přesnost, s jakou je možné stanovit polohu hrany v přijímaném

2.3.2 MODIFIKACE OBVODU BO-CDR S VÝBĚREM FÁZE

Pro vyšší přenosové rychlosti byla vyvinuta řada modifikovaných architektur obvodů BO-CDR, které umožňují použít vzorkovací kmitočty srovnatelné s přenosovou rychlostí, nebo dokonce menší [12], [13], [14], [18]. V současné době již existují prototypy hybridních obvodů pro všechny běžně používané přenosové rychlosti až do 44 Gb/s v technologii CMOS [15], [22]. Všechny tyto implementace jsou provedeny v obvodech ASIC, které umožňují dosáhnout na konkrétní použité technologii nejvyšší možné přenosové rychlosti.

Základem modifikovaných architektur (Obr. 2.8) je **vícefázový vzorkovač**, který během jedné periody T_{CLK} lokálního referenčního hodinového signálu CLK odebere M_{CLK} fázově posunutých vzorků datového signálu. Toho je docíleno použitím M_{CLK} hodinových signálů s periodou T_{CLK} vzájemně fázově posunutých o hodnotu T_{CLK}/M_{CLK} , přičemž tento poměr je přímo roven poměru T_{BIT}/M periody bitové periody a použitého stupně převzorkování. Samotný vícefázový vzorkovač je pak tvořen soustavou M_{CLK} jednoduchých vzorkovačů řízených fázově posunutými hodinovými signály. V nejjednodušším případě je perioda T_{CLK} rovna bitové periodě vzorkovaného datového signálu T_{BIT} a M_{CLK} je pak přímo rovno stupni převzorkování M . Existující implementace obvodů BO-CDR obvykle pracují s poměrem M_{CLK}/M v rozsahu 1 až 8. Vyšší poměr umožňuje použít pro danou přenosovou rychlost menší kmitočet hodinového signálu. Zároveň však roste složitost digitálního obvodu **výběru vzorků (extrakce dat)**, který má úměrně větší šířku vstupu ze vzorkovače.



Obr. 2.8 Blokové schéma modifikované varianty obvodu CDR založeném na asynchronním převzorkování.

Modifikované obvody BO-CDR pracují s hodinovým kmitočtem f_{REC} odpovídajícím součinu přenosové rychlosti f_{BIT} a poměru M_{CLK}/M (2.1). Během každého

taktu lokálního hodinového signálu tak obvod musí na svém výstupu generovat právě M_{CLK}/M platných obnovených bitů.

$$f_{REC} = f_{BIT} \cdot \frac{M_{CLK}}{M}, \quad (2.1)$$

Rovnost 2.1 platí pouze v ideálním případě, kdy je možné předpokládat přesný poměr referenčních hodinových signálů vysílače (f_{BIT}) a přijímače (f_{REC}). V reálných podmínkách nelze zajistit rovnost vztahu jinak, než přenášením referenčního hodinového signálu (to ale odpovídá architektuře synchronního systému) nebo obnovením hodinového signálu v přijímači pomocí PLL (což neodpovídá koncepci BO-CDR). Obvod CDR tak musí být schopen pracovat korektně i s referenčním signálem, který má poněkud vyšší či nižší frekvenci, než by odpovídalo přenosové rychlosti dle vztahu 2.1.

Pokud je frekvence lokálního hodinového signálu nižší, než požadovaná, musí být obvod schopen během jedné periody obnovit více bitů, než odpovídá poměru M_{CLK}/M . V opačném případě musí být naopak schopen obnovit méně bitů během jedné periody. V reálných podmínkách dochází (vlivem jitteru a frekvenčního driftu) během přenosu dat k oběma situacím a obvod BO-CDR tak musí splňovat oba požadavky. Počet platných bitů na výstupu bloku **výběru vzorků** tedy není konstantní a pohybuje se v rozmezí daném

$$\left\langle \frac{M_{CLK}}{M} - 1; \frac{M_{CLK}}{M} + 1 \right\rangle \quad (2.2)$$

Na výstupu bloku **výběru vzorků** tak existuje dvojice signálu **Data_i** a **DV_i**, které mají stejnou funkci, jako v případě základní implementace algoritmu, avšak jsou vždy vícebitové. Standardní digitální obvody, které zpracovávají obnovený datový signál, obvykle nejsou schopné s takovým vstupem pracovat (proměnný počet platných bitů). Proto je téměř vždy součástí obvodů BO-CDR také **vyrovnávací paměť FIFO** (v této souvislosti často označovaná jako elastický buffer [18]), která zajišťuje kompatibilní rozhraní obvodu tak, že na jeho výstupu **Data** je vždy platné slovo konstantní šířky (zpravidla 8 nebo 16 bitů, v případě použití kódování 8b/10b také 10 nebo 20 bitů [41]).

Výhodou obvodů BO-CDR oproti jiným typům je jejich přirozená vyšší odolnost vůči šumu přítomnému na čipu vyplývající z digitální realizace. Citlivost na šum se projevuje pouze u vzorkovače a u zdroje vícefázového hodinového signálu. Ten ale není ovlivňován přijímaným signálem obsahujícím jitter, narozdíl od generátoru hodinového signálu klasického obvodu CDR s PLL. Další významnou výhodou je plně digitální realizace obvodu BO-CDR, která umožňuje velmi snadnou migraci do různých technologií digitálních obvodů. Obvody splňují podmínky pro blokový přenos dat, neboť jsou schopné velmi rychlého zachycení i na první hranu signálu. Avšak na rozdíl od obvodů založených na vysokojakostní pásmové propusti a hradlovaném oscilátoru dokáží pracovat v kontinuálním režimu přenosu s vysokou tolerancí jitteru srovnatelnou s obvody CDR s PLL. Oproti obvodům s PLL navíc dokáží sledovat jitter s mnohem větší šířkou pásma (obvody s PLL jsou omezeny mezní frekvencí zpětnovazebního filtru, který určuje stabilitu systému), čehož se využívá v hybridních architekturách obvodů CDR ([15], [22]).

Jako hlavní nevýhoda obvodů BO-CDR bývá uváděna komplexnost algoritmu výběru fáze ([18]). Ten vyžaduje implementaci složitého digitálního obvodu, který zvyšuje potřebnou plochu na čipu a také spotřebu obvodu. Disertační práce se hlouběji zabývá odstraněním této nevýhody.

Konečné fázové rozlišení vzorkovače neumožňuje vzorkovat datový signál přesně ve středu diagramu oka. Mezní odchylka od ideálního okamžiku je dána stupněm převzorkování a činí $1/2$ rozlišení vzorkovače. V případě minimálního stupně převzorkování $M=3$ je odchylka okamžiku vzorkování od středu diagramu oka až $1/6$ periody. Vzorkování mimo střed diagramu oka snižuje poměr signálu k šumu v okamžiku vzorkování a vede k nárůstu chybovosti. Zvýšením stupně převzorkování dochází ke zmenšení chyby, zároveň však silně narůstá složitost obvodu výběru fáze. Proto je v konkrétní realizaci vždy třeba zvolit kompromis mezi chybovostí a složitostí obvodu.

Další nevýhoda je zapříčiněna asynchronní funkcí obvodu a tedy nutností implementace vyrovnávací paměti FIFO, jejíž velikost určuje toleranci obvodu na nízkofrekvenční jitter (wander). Tento problém je řešen použitím hybridní architektury CDR, kdy je pro sledování pomalých změn frekvence použita smyčka fázového závěsu ([15], [22]).

S rostoucími přenosovými rychlostmi také rostou nároky na vzorkovač, který se stává spolu s generátorem vícefázového hodinového signálu nejnáročnější částí obvodu z hlediska implementace. Jeho realizace vyžaduje velmi pečlivý návrh, který se blíží návrhu vysokofrekvenčních analogových integrovaných obvodů ([22]). Tradiční obvody využívající PLL musí odebrat pouze 2 vzorky každého přijatého bitu, kdežto obvody BO-CDR musí odebrat alespoň 3 vzorky a nároky na vzorkovač jsou tak vyšší.

Velká část prací, které se zabývají technikou BO-CDR, se hlouběji nezabývá optimalizací algoritmu výběru vzorků. Ten je výhradně řešen většinovou volbou (MV; Majority Vote) fáze v intervalu fixní délky (nejčastěji 24 bitů). To vyžaduje poměrně komplikovaný logický komparátor, který je často nutné rozdělit na několik sekcí (pipelining), aby splňoval požadavky na maximální pracovní kmitočet. Autoři popisují konkrétní algoritmus MV zvolený pro danou implementaci, avšak neuvažují možné modifikace samotného způsobu volby ([13], [14] a [17]). Jejich cílem je implementovat algoritmu tak, aby byl v dané technologii schopen pracovat na požadovaném kmitočtu. V některých případech je ale algoritmus přesto z hlediska maximální dosažitelné přenosové rychlosti limitující a potřeba jeho optimalizace je zmíněna přímo autorem [15].

Analýzou vlivu stupně převzorkování a zvoleného algoritmu výběru fáze na chybovost obvodu BO-CDR se zabývá v několika publikacích z poslední doby. V [33] se autor zabývá analýzou kanálu s aditivním bílým Gaussovým šumem (AWGN; Additive White Gaussian Noise), přičemž se zaměřuje především na vliv stupně převzorkování na chybovost při daném poměru signálu k šumu (SNR; Signal to Noise Ratio). Výsledky jsou uvedeny pouze pro sudé stupně převzorkování, které vyžadují složitější algoritmus výběru fáze. Z analýzy je ale dobře patrné, že vyšší stupeň převzorkování umožňuje dosáhnout lepší chybovosti při daném SNR. Autor dále zkoumal vliv parametru ξ algoritmu výběru fáze na chybovost při daném stupni převzorkování. Tento parametr určuje počet bitů, ze kterých je vybírána optimální fáze vzorkovacího signálu (většinová volba). Výsledky jsou uvedeny pro parametr $\xi=1$ a $\xi=4$, přičemž při vyšší

hodnotě parametru bylo dosaženo nižší chybovosti. Optimální hodnota parametru ale není uvedena.

Další článek [32] se zabývá problematikou volby stupně převzorkování a volby parametru zvoleného algoritmu výběru fáze. V tomto případě algoritmus vybírá fázi odpovídající většinové volbě prováděné na intervalu W bitů a volba je pak platná pro celý tento interval. Zmíněny jsou opět pouze sudé stupně převzorkování, které vykazují nižší odolnost vůči jitteru (jak bude ukázáno v kapitole 3). Na základě výsledků simulací autoři zvolili algoritmus se stupněm převzorkování 8 s délkou rozhodovacího okna 24 bitů, který doporučily pro implementaci. Realizace takového obvodu ale klade poměrně vysoké nároky na hardwarové prostředky (osminásobné sečtení počtu hran v intervalu 24 bitů a komparátor s osmi vstupy).

V [30] lze najít podobnou analýzu, tentokrát pro liché stupně převzorkování. Autoři v tomto případě stanovili také citlivost algoritmu na náhodný jitter (s normálním rozložením hustoty pravděpodobnosti), která se z praktického hlediska jeví jako nejvíce objektivní metoda porovnání vlastností obvodů CDR. Jako optimální pro implementaci vybrali autoři variantu se stupněm převzorkování 3 a většinovou volbou v intervalu 24 bitů. Oproti variantě ve [32] tak došlo vlivem snížení stupně převzorkování k výraznému snížení HW nároků. Přesto je ale zapotřebí implementace složitějšího obvodu pro součet detekovaných hran a komparátoru, tudíž nároky na HW jsou opět poměrně velké. Algoritmus výběru fáze je také limitující z hlediska maximální dosažitelné přenosové rychlosti.

Nejpodrobněji se analýzou obvodů BO-CDR zabývá článek [18]. Je zde uveden vliv stupně převzorkování i délky okna pro výběr fáze. Pro dosažení nízkých chybovostí ale autoři uvádějí nutnost použití velmi velkých délek rozhodovacích intervalů, nad kterými je prováděna většinová volba. To klade velmi velké nároky na hardwarové prostředky. Autoři navrhuji možná zjednodušení, která jsou ale stále poměrně náročná na implementaci.

Výsledky v uvedených člancích jsou založené na klasických simulacích a statistických analýzách. Při realizaci obvodu CDR technologií ASIC je možnost optimalizace omezena právě na simulace a statistické analýzy, neboť náklady na opakování výroby obvodu jsou velmi vysoké. Optimalizace založená na simulaci vyžaduje použití dostatečně přesných modelů, které se ne vždy podaří vytvořit. Problematická je také rychlost simulace, která je ve srovnání s přímým měřením mnohonásobně menší a řeší ji statistická analýza obvodu. Optimalizace algoritmu výběru fáze je ale stále neřešeným problémem obvodů BO-CDR. Ten tak zůstává hardwarově nejnáročnějším blokem celého obvodu.

Z uvedených hledisek je patrné, že optimalizace algoritmů v obvodu FPGA je velmi výhodná. Obvody FPGA jsou svojí strukturou velmi blízké obvodům ASIC a postup návrhu je v obou případech do značné míry identický. Měření a optimalizaci lze pak provádět na reálném spoji při vysoké rychlosti měření (ve srovnání se simulací). Zároveň je možné zkoumaný algoritmus modifikovat přímo v systému během měření, aniž by bylo třeba provádět jakékoliv změny na měřicí aparatuře. To zvyšuje reprodukovatelnost změřených výsledků a usnadňuje proces optimalizace.

2.4 OBVODY CDR V FPGA

Moderní obvody FPGA obsahují hardwarové bloky vysokorychlostních transceiverů (HW transceivery), které umožňují snadnou implementaci sériových komunikačních rozhraní s rychlostí až 11,3 Gb/s na diferenční pár (Tab. 2.1). Technologicky jsou to dílčí obvody ASIC umístěné na jednom čipu spolu s klasickou programovatelnou strukturou obvodu FPGA, se kterou jsou propojeny. Původně výrobci obvodů FPGA transceivery implementovali pouze do vyšších řad obvodů, tzv. high-end FPGA, jako jsou Virtex-II Pro (2002, Xilinx, [38]), Stratix GX (2002, Altera, [49]) a později i LatticeSC (2006, Lattice, [54]). Dnes jsou transceivery neodmyslitelnou součástí moderních výkonných obvodů FPGA a jsou zastoupeny ve všech řadách obvodů předních výrobců ([40], [43], [51]).

V roce 2006 implementovala firma Lattice transceivery i do nižší řady obvodů, tzv. low-cost FPGA, LatticeECP2 (Lattice, 2006, [55]). Následně firma Altera uvedla na trh řadu středních obvodů s transceivery, tzv. mid-range FPGA, Arria GX (Altera, 2007, [52]) a Arria II GX (Altera, 2009, [53]). K nejnovějším obvodům kategorie low-cost patří Spartan-6 (Xilinx, 2009, [45]) a LatticeECP3 (Lattice, 2009, [57]).

Tab. 2.1 Přehled obvodů FPGA s vysokorychlostními transceivery.

Výrobce	Řada	Podporované přenosové rychlosti [Gb/s]
Xilinx	Virtex-II Pro	0.6–3.125
	Virtex-II Pro X	2.488–6.25
	Virtex-4	0.622–6.5
	Virtex-5 GTP	0.1–3.75
	Virtex-5 GTX	0.15–6.5
	Virtex-6	0.15–6.5
	Spartan-6	0.614–0.81 + 1.22–1.62 + 2.45–3.125
Altera	Stratix GX	0.5–3.1875
	Stratix II GX	0.6–6.375
	Stratix IV	0.6–8.5
	Stratix IV GT	2.5–6.5 + 9.9–11.3
	Arria GX	0.6–3.125
	Arria II GX	0.155–3.75
Lattice	LatticeSC	0.6–3.8
	LatticeECP2M	0.25–3.125
	LatticeECP3	0.23–3.2

HW transceivery umožňují snadnou realizaci vysokorychlostních datových spojů na úrovni jediné desky i celého systému (propojení pomocí tzv. backplane). Obsahují mnoho dílčích bloků, které umožňují dosáhnout požadovaných parametrů vysílaného signálu a charakteristik přijímače (ekvalizéry, kodéry,...). Součástí každého přijímače HW transceiveru je obvod CDR, který je prozatím ve všech případech založen na smyčce fázového závěsu.

Nevýhodou použití HW transceiverů je jejich spotřeba, která se při nejnižších rychlostech pohybuje kolem 100 mW na jeden kanál (v závislosti na konkrétní

konfiguraci transceiveru) a při vyšších rychlostech až kolem 500 mW na kanál. Spotřeba je z velké části dána právě použitím obvodu CDR s PLL. Další nevýhodou je omezená minimální přenosová rychlost, která se pohybuje kolem 600 Mb/s pro starší obvody a kolem 100 Mb/s pro novější obvody. Ta je způsobena použitím analogových prvků v transceivech, které mohou pracovat jen v určitém rozsahu frekvencí.

Na nižších přenosových rychlostech lze HW transceivery nahradit implementací transceiveru v samotném programovatelném poli obvodu FPGA (SW transceivery; [46], [58]). Pokud má být obvod CDR přijímače SW transceiveru implementován v FPGA, musí být plně digitální, čemuž vyhovuje pouze architektura asynchronního převzorkování. Veškeré další funkční sub-bloky SW transceiveru je nutné definovat dle potřeby samostatně (kodér 8b10b, scrambler,...) pomocí standardních hardwarových prostředků obvodu FPGA (bloky LUT, klopné obvody, blokové paměti RAM,...).

Realizace obvodu CDR v programovatelné struktuře FPGA má oproti použití HW transceiverů výhodu výrazně nižší spotřeby při stejné přenosové rychlosti. Tato výhoda se plně projevuje v případě, že je třeba implementovat více sériových rozhraní v jednom obvodu FPGA. Více bloků CDR pracujících na stejné přenosové rychlosti vyžaduje použití jediného obvodu pro generování hodinových signálů, který má majoritní podíl na celkové spotřebě obvodu CDR. Při použití transceiverů by celkový počet obvodů PLL (implementovaných v jejich přijímačích) odpovídal počtu kanálů.

Z hlediska uživatele jsou HW transceivery jednodušší na použití, neboť jsou v současné době plně podporovány návrhovými systémy formou standardně konfigurovatelných IP jader, které lze použít přímo v navrhovaném systému jako běžné instance. SW transceivery nejsou návrhovými systémy přímo podporovány a uživatel je nucen vytvořit jejich popis klasickými prostředky (dominantně použitím jazyků HDL).

Samostatnou kapitolou je IP jádro LSCDR (Low-Speed Clock and Data Recovery) MACO (Masked Array for Cost Optimization) firmy Lattice [58], které je použitím i realizací velmi podobné HW transceiverům. Umožňuje realizaci obvodu BO-CDR pro přenosové rychlosti 100 až 500 Mb/s. Jedná se o volitelný HW IP blok, který tak není konfigurovatelný uživatelem a jeho implementace v obvodu je volitelná při výrobě obvodu (obsahují jej jen některé obvody řady LatticeSC, které jako jediné umožňují používat IP jádra MACO). V dokumentaci IP jádra MACO jsou pouze základní charakteristiky obvodu CDR, chybí zde například popis realizace algoritmu výběru fáze. To je poměrně důležitá, avšak často přehlížená vlastnost (srovnatelná s šířkou pásma filtru zpětné vazby fázového závěsu), neboť například algoritmus přímého výběru fáze (Direct Phase Picking; DPP) je schopen splnit požadovanou charakteristiku tolerance jitteru běžných standardů, ale oproti jiným realizacím vykazuje vyšší chybovost v reálných přenosových podmínkách způsobenou nestabilitou algoritmu (viz kapitola 4.5). IP jádro obsahuje pouze samotný obvod BO-CDR, další bloky transceiveru je v případě potřeby nutné přidat samostatně.

V literatuře ([34], [46], [47], [48]) lze najít popis několika realizací obvodu BO-CDR v FPGA. Většinou se jedná o jednoduchou realizaci bez analýzy charakteristik obvodu z hlediska citlivosti na jitter. Výjimkou je implementace popsaná v [28], která se jako jediná zabývá nejen samotnou implementací BO-CDR v FPGA, ale také analýzou jeho vlastností. Autoři ale nevycházeli z aktuální literatury zabývající se problematikou implementace BO-CDR v FPGA a implementace je tak velmi podobná již publikovaným variantám [46]. K měření citlivosti obvodu na jitter navíc použili nestandardní metodu modulace referenčního hodinového signálu přijímače, přestože se

pro tato měření výhradně používá modulace hodinového signálu vysílače [59], [70]. Změřené hodnoty tolerance jitteru jsou vztaženy k frekvenci hodinového signálu, jehož frekvence je ale pětinasobkem datové rychlosti. Skutečná tolerance obvodu na jitter je tedy mnohem nižší (je menší poměrem frekvence hodinového a datového signálu, tedy pětinou uvedené hodnoty). Tento fakt autoři nezohlednili ve výsledcích měření, které se tak mylně jeví (a jsou prezentovány) jako velmi dobré a srovnatelné s jině publikovanými výsledky.

2.5 MĚŘENÍ JITTERU

Měření jitteru obsaženého v signálu dnes představuje jedno ze základních měření v oblasti vysokorychlostních signálů a lze jej využít pro odhad chybovosti (BER; Bit Error Rate) datového spoje [18], [30], kdy může nahradit pro nízké hodnoty chybovosti časově náročné přímé měření BER [79].

Možnost měřit jitter přímo v systému je ve většině reálných případů omezena na použití osciloskopu, spektrálního analyzátoru nebo podobného specializovaného přístroje, který je nutné do obvodu připojit pomocí sondy [62], [76]. Sondou je měřený obvod do jisté míry ovlivněn a snižuje se tak přesnost měření. V některých případech je navíc připojení samotné sondy problematické. V případě vysokorychlostních diferenčních signálů často vyžaduje i pájení a použití přídavných zakončovacích rezistorů.

Proto jsou zkoumány možnosti implementace obvodu pro měření jitteru přímo v cílovém obvodu (typicky FPGA). Takový měřič by byl součástí samotného zařízení a prakticky by neovlivňoval zkoumaný signál. Jitter by bylo možné měřit přímo v cílové aplikaci, bez nutnosti připojení měřicích přístrojů (například osciloskopu) a bez jakýchkoliv zásahů do zapojení. Samotný zkoumaný spoj tak nemusí být fyzicky vůbec přístupný (například signál ve vnitřní vrstvě plošného spoje). Tuto metodou by navíc bylo možné použít v již existujících systémech s obvody FPGA bez nutnosti jejich fyzické modifikace.

Pro obvody FPGA bylo doposud vyvinuto několik metoda měření jitteru. Metoda zvaná Follow-me [71] je založena na sledování jitteru jemným fázovým posunem hodinového signálu s využitím obvodu pro úpravu hodinového signálu v FPGA (DCM; Digital Clock Manager). Tento přístup umožňuje měření jitteru na nižších kmitočtech. Vlivem omezené šířky pásma zpětnovazební smyčky ale obvod nedovoluje zachytit vysokofrekvenční jitter. Metoda je v literatuře popsána jen velmi zevrubně, což se ukázalo být nepřekonatelnou překážkou pro její implementace do cílového obvodu a ověření jejich vlastností. Autoři uvádějí pouze výsledky behaviorální simulace obvodu, výsledky reálných měření bohužel zcela chybí.

Další implementace obvodu pro měření jitteru v FPGA je uvedena v [77]. Tato technika je založena na principu TDC (Time to Digital Conversion) měření periody datového signálu a umožňuje měřit vysokofrekvenční jitter v synchronních systémech. Její nevýhodou je omezený pracovní kmitočet, malé rozlišení (v uvedené implementaci pouze 1 ns) a poměrně vysoké nároky na hardware (velké množství použitých hodinových signálů).

Obvody BO-CDR mají obvykle dostatečnou šířku pásma, která jim umožňuje bezpečně sledovat jitter na nižších frekvencích, který tak pro jejich analýzu není

podstatný. Jejich chybovost je způsobena především vysokofrekvenčním jitterem, který by měl být při jejich analýze hlavní sledovanou veličinou. Vysokofrekvenční jitter metodou Follow-me zachytit nelze, proto nemůže být pro tato měření použita. Použití metody TDC není vhodné z hlediska malého rozlišení a vysokých nároků na HW. Pro odhad vlastností kanálu byla proto vyvinuta nová metoda měření jitteru v FPGA založená na vzorkování diagramu oka, popsaná v kapitole 5.

2.6 BEZKABELOVÉ OPTICKÉ SPOJE

Bez kabelové optické spoje využívají jako médium pro přenos dat optický svazek šířící se volným prostorem, tedy vakuem nebo zemskou atmosférou. Světlo je elektromagnetickým vlněním, které je možné modulovat změnou některého z parametrů. Existují dva základní typy modulace optického signálu:

- Modulace pole
- Intenzitní modulace

Systémy využívající modulaci pole se nazývají koherentní a modulací je ovlivňován některý z parametrů nosného optického signálu (parametr pole), tedy amplituda, frekvence, fáze nebo polarizace. Zdrojem optického signálu u koherentních systémů musí být vysoce koherentní laser (s velmi malou šířkou spektrální čáry a vysokou stabilitou). V přijímači pak musí být lokálně generován stejný optický signál, který je nutný pro koherentní demodulaci přijímaného signálu heterodynní nebo homodynní detekcí [93].

Druhý typ systémů pro přenos optického signálu využívá intenzitní modulace. Ta je realizována přímým řízením (modulací) intenzity vyzařované optické energie vysílače. V přijímači je pak pro demodulaci signálu použita metoda přímé detekce, kdy je podstatná pouze okamžitá intenzita (výkon) přijímaného signálu, následovaný obvodem běžným CDR. Jde tedy o nekoherentní systémy. V literatuře se označují jako systémy s intenzitní modulací, přímou detekcí a dvoustavovým klíčování (IM-DD-OOK; Intensity Modulation, Direct Detection, On-Off Keying). Intenzitní modulace signálu je používána u klasických optických vláknových spojů, jejichž komponenty jsou proto používány i pro konstrukci bezkabelových spojů. Tím se výrazně snižují náklady na realizaci FSO spojů pracujících právě s intenzitní modulací.

Atmosféra je z hlediska optického záření prostředím s útlumem závislým na vlnové délce. Útlum je způsoben absorpcí některých spektrálních složek atomy a molekulami, ze kterých je atmosféra složena. V závislosti na spektrálních vlastnostech jednotlivých příměsí a množství těchto příměsí v atmosféře je útlum závislý na vlnové délce optického signálu. Při navrhování bezkabelových optických spojů se proto vychází z naměřených hodnot útlumu atmosféry.

Bez kabelové optické spoje jsou silně tlumeny sněhem a aerosoly. Mlha obvykle dokáže spoj zcela přerušit a v takovém případě nelze než použít alternativní cestu pro přenos dat. Často se používá například radiový datový spoj s řádově nižší přenosovou rychlostí, který zabezpečí po dobu výpadku alespoň omezené spojení. Radiový signál není citlivý na mlhu, avšak hustý déšť obvykle způsobuje značný útlum na kmitočtech řádu GHz, na kterých bývají radiové spoje tohoto typu provozovány. Optický spoj však deštěm významně tlumen není a oba systémy se tak vhodně doplňují. Pokud spoj není

zcela přerušen hustou mlhou, způsobují aerosoly útlum signálu, který se projevuje rovnoměrně rozloženými chybami, typickými pro kanál typu AWGN (Additive White Gaussian Noise).

Celkový útlum atmosféry je měřitelný veličinou meteorologická viditelnost VM, která je definována jako vzdálenost, v níž klesne intenzita optického signálu na 5 % původní hodnoty. Tato veličina se udává pro vlnovou délku $\lambda=555$ nm a je běžně měřena mnoha meteorologickými stanicemi, což ji činí výhodnou pro použití v oblasti bezkabelových optických spojů.

U FSO spojů je velmi známým jevem únik [92], [94], [96], [102]. Jde o krátkodobé, řádově několik milisekund trvající poklesy úrovně přijímaného signálu, které jsou způsobeny refrakcí optického paprsku způsobenou turbulentním prouděním vzduchu a vícecestným šířením optického signálu. Turbulence vznikají obvykle za slunečního počasí a bývají nejvýraznější nad některými konkrétními druhy povrchů (střechy budov, asfaltové či betonové plochy). Jsou tak typické především pro terestriální spoje. Vzhledem k náhodné povaze turbulencí se pro jejich popis používá statistických metod [92].

Chyby vzniklé úniky způsobují významné problémy při přenosu dat, neboť během výpadku signálu jsou ztraceny řádově stovky kilobitů až desítky megabitů dat. Podrobné analýzy chybovosti spojů FSO byly uveřejněny v několika článcích z poslední doby ([99], [100], [101]), které se také zabývají možnostmi korekce chyb způsobených těmito jevy.

Optický spoj může být přerušen některými dalšími vlivy, které mohou způsobit dočasné výpadky signálu. Náhodný charakter má průlet hmyzu či ptáků optickým paprskem. Tento jev je poměrně vzácný a v některých případech prakticky vyloučený (spoj mezi stratosférickými platformami). Chyby způsobené nepřesným nasměrováním hlavic vysílače a přijímače mobilních spojů již náhodný charakter nemají a silně závisí na vzájemné úhlové rychlosti vysílače a přijímače a na elektromechanických vlastnostech směrovacího systému. Na něj jsou kladeny velmi vysoké požadavky (vysoká přesnost nasměrování a rychlost reakce na změnu polohy protějšší hlavičky) a na vývoji těchto systémů se stále pracuje.

Chování optické části spoje z hlediska úniků je silně závislé na konkrétní realizaci spoje. Například dva spoje stejné délky založené na stejných komponentách mohou mít zcela jiné vlastnosti, pokud bude jeden z nich umístěn nad povrchem způsobujícím silné turbulence (například střechy budov) a druhý nikoliv. Je proto obtížné předem stanovit potřebné vlastnosti systému pro protichybové zabezpečení přenosu dat. Disertační práce se zabývá možnostmi měření parametrů bezkabelových optických spojů, které by bylo možné použít pro návrh vhodného protichybového zabezpečení přenosu dat kanálem FSO. Metoda měření by měla umožňovat snadné, přesné a levné řešení použitelné pro stanovení optických vlastností konkrétního spoje. Na základě analýzy změřených vlastností kanálu FSO je navržen systém pro zabezpečený přenos dat, který dosahuje lepších parametrů, než srovnatelné systémy publikované v poslední době [99].

2.7 CÍLE DISERTACE

Obvody BO-CDR jsou v dnešní době sice běžně používané, ale optimalizaci jejich algoritmu výběru fáze byla věnována jen malá pozornost. Použití obvodů FPGA

pro optimalizaci skýtá dvě hlavní výhody oproti tradičním metodám (simulace a statistická analýza).

- Obvod je možné optimalizovat na reálném kanálu, pro který může být obtížné nalézt dostatečně přesný simulační model.
- Rychlost simulace je mnohonásobně menší, než rychlost přímého měření.

Možnost použití obvodů BO-CDR v obvodech FPGA je zmíněna v několika současných publikacích a aplikačních zprávách. Závěry vyplývající z těchto dokumentů jsou ale neúplné a v některých případech i zavádějící.

Pro srovnání vlastností obvodů CDR se běžně používá měření jitteru přijímaného signálu, které je možné měřit například osciloskopem. Připojením osciloskopu ale ovlivňuje přijímaný signál a nelze jej vždy použít (obtížné připojení sondy). Měření jitteru přímo v cílovém obvodu se tak jeví jako ideální. Blok pro měření jitteru byl do obvodů FPGA v minulosti již implementován, avšak nikoliv v podobě, která by umožňovala charakterizovat přenosový kanál pomocí parametrů vhodných k porovnání obvodů CDR.

Realizace bloků komunikačního řetězce pomocí FPGA má velký aplikační potenciál v oblasti bezkabelových optických spojů. Na platformě rekonfigurovatelných obvodů je možné jednak analyzovat přenosové prostředí a následně navrhnout a realizovat nové protokoly pro zabezpečený přenos dat a vytvořit tak transparentní systém (síťový most) pro přenos běžně používané služby.

Cíle disertace lze shrnout do několika konkrétních bodů:

- Návrh a optimalizace nových efektivních algoritmů výběru fáze obvodů BO-CDR a jejich porovnání s existujícími variantami obvodů CDR na reálných kanálech.
- Implementace plně digitálního obvodu pro měření jitteru přijímaného datového signálu na vstupu FPGA, umožňující rychlou analýzu datového spoje.
- Návrh měřicího systému pro stanovení vlastností kanálu FSO podstatných pro realizaci protichybového zabezpečení přenosu dat. Implementace síťového mostu pro FSO v FPGA.

3 Realizace obvodu BO-CDR v FPGA

Jak bylo uvedeno v předchozí kapitole, je implementace obvodu BO-CDR v obvodu FPGA vhodná ve čtyřech základních případech.

- Obvod FPGA neobsahuje transceivery (Hard IP), které je ale třeba realizovat
- Obvod FPGA obsahuje HW transceivery, ale ty neumožňují dosáhnout požadované přenosové rychlosti (omezení minimální přenosovou rychlostí)
- Realizace provedená pomocí SW transceiverů v obvodu FPGA, který obsahuje HW transceivery, může vést ke snížení spotřeby
- Verifikace nově navržených algoritmů BO-CDR, které mají být následně implementovány technologií ASIC

V každém z uvedených případů je třeba řešit problematiku realizace jednotlivých bloků BO-CDR. Jsou to **vzorkovač (vícefázový vzorkovač)**, **generátor hodinového signálu** a **blok extrakce dat** (Obr. 2.6, Obr. 2.8).

3.1 REALIZACE VZORKOVAČE A GENERÁTORU VÍCEFÁZOVÉHO HODINOVÉHO SIGNÁLU V FPGA

Vstupním blokem obvodu CDR založeném na převzorkování je vzorkovač, který musí být schopen odebrat M rovnoměrně rozložených vzorků během každé periody bitu (M je stupeň převzorkování; Oversampling factor). Existuje několik možností realizace.

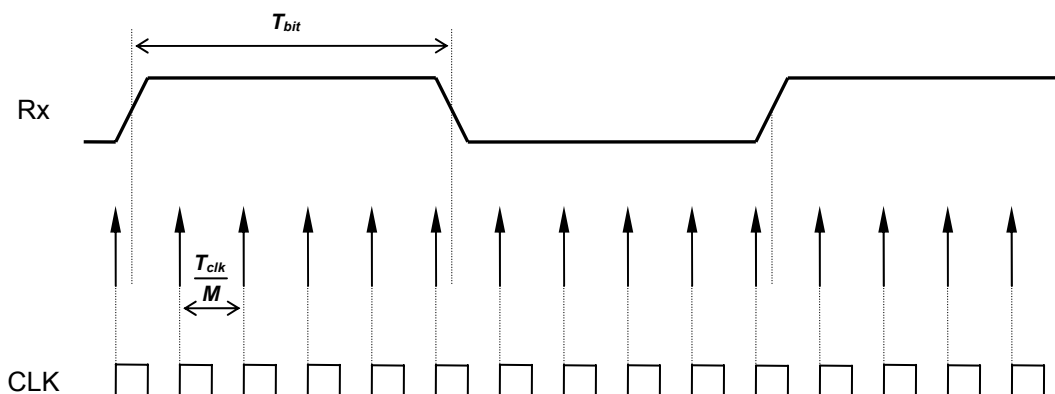
3.1.1 PŘÍMÉ VZORKOVÁNÍ (SDR)

Nejjednodušší možností realizace vzorkovače je použití jediného klopného obvodu typu D, který je řízen hodinovým signálem, jehož frekvence f_{REC} je rovna součinu přenosové rychlosti f_{BIT} a stupně převzorkování M (Obr. 3.1):

$$f_{REC} = f_{BIT} \cdot M, \quad (3.1)$$

Tato realizace je velmi úsporná z hlediska použitých hardwarových prostředků, klade ale vysoké nároky na časové parametry obvodu (vysoký poměr f_{REC} a f_{BIT}). Z hlediska implementace v FPGA vzorkovač nevyžaduje použití speciálních bloků, ani zavedení omezujících podmínek (constraints) na umístění vzorkovače v programovatelné struktuře obvodu při samotné implementaci. Klopný obvod může být součástí vstupní makrobuňky nebo běžné logické buňky, aniž by byly ovlivněny časové relace mezi jednotlivými vzorkovacími doménami.

Další výhodou je, že zdrojem hodinového signálu může být přesný oscilátor, jehož jitter může být velmi malý. Oscilátor musí pracovat na frekvenci danou vztahem (3.1). Pokud není k dispozici hodinový signál s potřebnou frekvencí, je třeba jej získat úpravou dostupného signálu uvnitř obvodu FPGA. K úpravě hodinového signálu slouží bloky označované výrobcí obvodů FPGA jako DCM (Digital Clock Manager), PLL (Phase Locked Loop), CMT (Clock Management Tile) atd. [40], [50]. Jedná se o bloky založené na DLL nebo PLL, které umožňují provádět operace s hodinovým signálem, jako jsou kmitočtová syntéza a fázový posun. Hodinový signál na jejich výstupu ale vždy obsahuje jitter velikosti až stovek ps p-p [39].

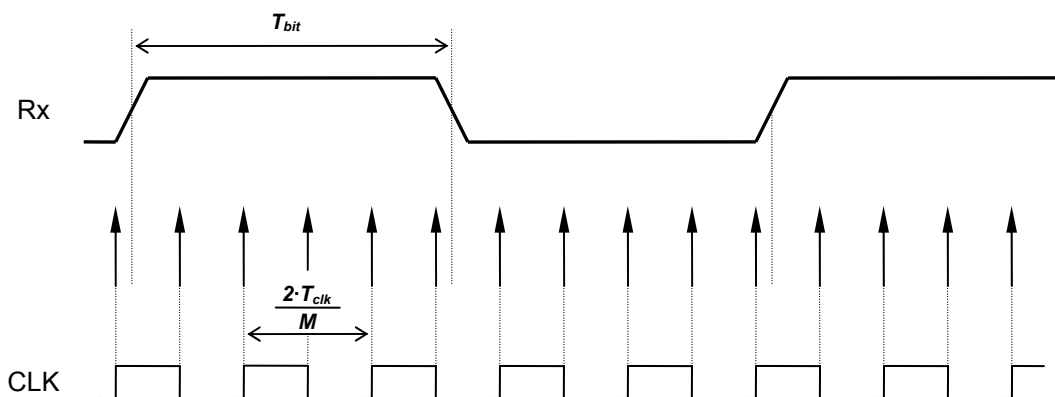


Obr. 3.1 Vzorkování přijímaného signálu jedním hodinovým signálem (SDR; $M=5$).

Realizace vzorkovače SDR se obvykle používá spíše pro nižší přenosové rychlosti (do 10 Mb/s), kde je možné snadno dosáhnout dostatečného stupně převzorkování. Existují ale také publikované varianty pro vyšší přenosové rychlosti [28].

3.1.2 VZORKOVÁNÍ DDR

Obvody FPGA dovolují implementovat ve vstupních blocích klopné obvody reagující na obě hrany hodinového signálu, tzv. DDR (Double Data Rate; Obr. 3.2). Při zachování kmitočtu hodinového signálu je vzorkovač vybavený obvodem DDR schopen dosáhnout dvojnásobného vzorkovacího kmitočtu, než odpovídající vzorkovač SDR, čímž je možné při stejných nárocích na časové parametry obvodu dosáhnout dvojnásobné přenosové rychlosti.

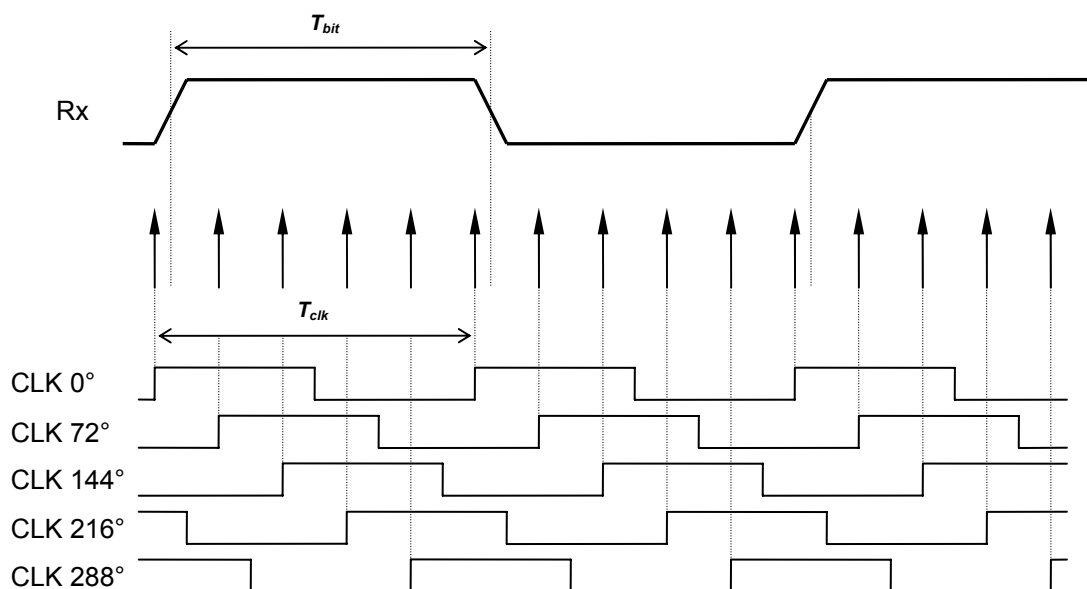


Obr. 3.2 Vzorkování přijímaného signálu jedním hodinovým signálem s využitím obou jeho hran (DDR; $M=5$).

Klopný obvod DDR je třeba budit hodinovým signálem se střídou 1:1, aby nedošlo k deformaci jednotlivých vzorkovaných domén (tedy jejich rozšíření a zúžení). Jeho zdrojem může být opět vysoce kvalitní oscilátor. Podobně, jako v případě vzorkovače SDR, při implementaci vzorkovače DDR ve vstupní makrobuňce obvodu FPGA není nutné zavádět další omezující podmínky. V případě, že je vzorkovač realizován v běžné programovatelné struktuře obvodu (jako součást konfigurovatelných logických buněk), je třeba jeho implementaci věnovat zvýšenou pozornost. V běžných logických buňkách dnešních obvodů FPGA nejsou k dispozici obvody DDR. Ty je třeba realizovat dvojicí klopných obvodů řízených přímou a inverzní verzí hodinového signálu. V některých případech (například v obvodech Xilinx [44], [60]) musí být umístěn každý klopný obvod v samostatné logické buňce, neboť v rámci jedné buňky lze implementovat klopné obvody reagující pouze na jednu vybranou hranu jediného hodinového signálu. Pak je třeba omezujícími podmínkami pro implementaci zajistit, aby zpoždění obou datových cest ze vstupu obvodu do vzorkujících klopných obvodů bylo stejné, tedy aby rozdíl doby šíření datového signálu (parametr signálu nazývaný „skew“) byl co nejmenší. V opačném případě by nebyla zajištěna stejná šířka jednotlivých domén.

3.1.3 VÍCEFÁZOVÉ VZORKOVÁNÍ

Vzorkování DDR ve své podstatě využívá dva hodinové signály fázově posunuté o 180° (polovinu periody). Rozšířením této koncepce na více hodinových signálů s menším, rovnoměrně rozloženým fázovým zpožděním, lze dosáhnout výrazně vyšších stupňů převzorkování při zachování nízkého vzorkovacího kmitočtu. V nejjednodušším případě je třeba pro BO-CDR se stupněm převzorkování M generovat M hodinových signálů fázově posunutých o $360^\circ/M$. V takovém případě má hodinový signál frekvenci odpovídající datovému signálu (Obr. 3.3). Při použití hodinového signálu s větším počtem fází lze jeho frekvenci dále snižovat. Dvojnásobný počet hodinových signálů dovoluje použít poloviční frekvenci hodinového signálu.



Obr. 3.3 Vzorkování přijímaného signálu vícefázovým hodinovým signálem ($M=5$, $T_{CLK} = T_{BIT}$).

Perioda hodinového signálu vzorkovače f_{REC} musí být obecně vždy celočíselným násobkem vzorkovacího intervalu:

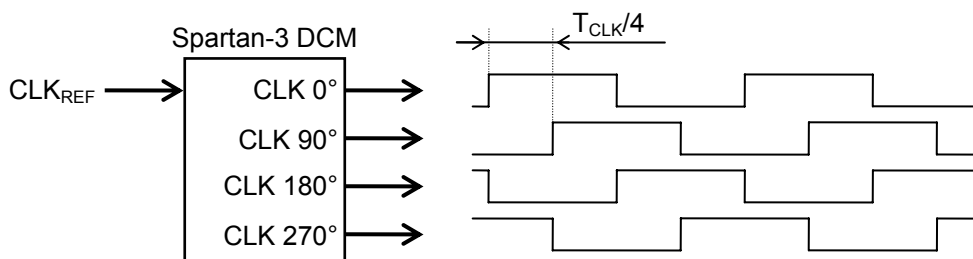
$$T_{REC} = k \cdot \frac{T_{BIT}}{M}, \quad f_{REC} = \frac{M \cdot f_{BIT}}{k}, \quad k \in \{N\} \quad (3.2)$$

kde k je přirozené číslo a udává počet vícefázových hodinových signálů. Příklad, kdy $k=1$ odpovídá vzorkovači SDR, varianta s $k=2$ odpovídá vzorkovači DDR.

Poměr k/M udává poměr frekvence referenčního hodinového signálu a frekvence bitového signálu. V praxi se nejčastěji používá několik konkrétních hodnot tohoto poměru, které zjednodušují implementaci obvodu. V případě, že $k/M=1$, mají oba hodinové signály teoreticky stejnou frekvenci a zpracování dat probíhá bit po bitu. Taková implementace má minimální požadavky na množství použitých HW prostředků [46].

Tuto možnost ale není možné využít pro dnes nejvyšší používané přenosové rychlosti, neboť logické obvody mají omezený pracovní kmitočet (několik GHz pro obvody ASIC, respektive stovek MHz pro obvody FPGA). Proto se využívá vyšších poměrů k/M a následné zpracování vzorků je paralelní. To umožňuje použít hodinový signál s výrazně nižší frekvencí. Z praktických důvodů se používá velikost poměru $k/M=4, 8$ nebo 16 (v případě použití kódování 8b10b také 10 nebo 20), což vede ke zpracování až 2 bytů během jediného taktu hodinového signálu [15], [22].

V obvodech ASIC je problematika generování vícefázového hodinového signálu s potřebným rozlišením zvládnuta do rozlišení přibližně 30 ps, odpovídající trojnásobnému převzorkování signálu s přenosovou rychlostí 11 Gb/s [22]. Nejčastěji bývá použit kruhový oscilátor [15], [20], [23], který umožňuje generovat dostatečný počet hodinových signálů při současné možnosti přeladění. V obvodech FPGA jsou ale možnosti generování vícefázového signálu omezeny možnostmi bloků pro úpravu hodinového signálu. Ty sice umožňují generovat vícefázový hodinový signál (2-8 fázově posunutých signálů), avšak pouze s krokem rovným $1/2^i$ periody, kde i je přirozené číslo, tedy pouze sudým stupněm převzorkování. Pokud je třeba realizovat lichý stupeň převzorkování, je nutné nastavit obvod pro sudé převzorkování s požadovaným fázovým rozdílem a po navzorkování jednotlivé vzorky přeuspořádat do požadované (liché) formy. Pro vzorkovač s $M=4$ při požadovaném převzorkování $M=5$ je třeba odebrat celkem 5 čtveřic vzorků, které jsou poté vyčteny obvodem pro detekci hran jako 4 pětice vzorků. V systému tak musí být přítomen signál enable.

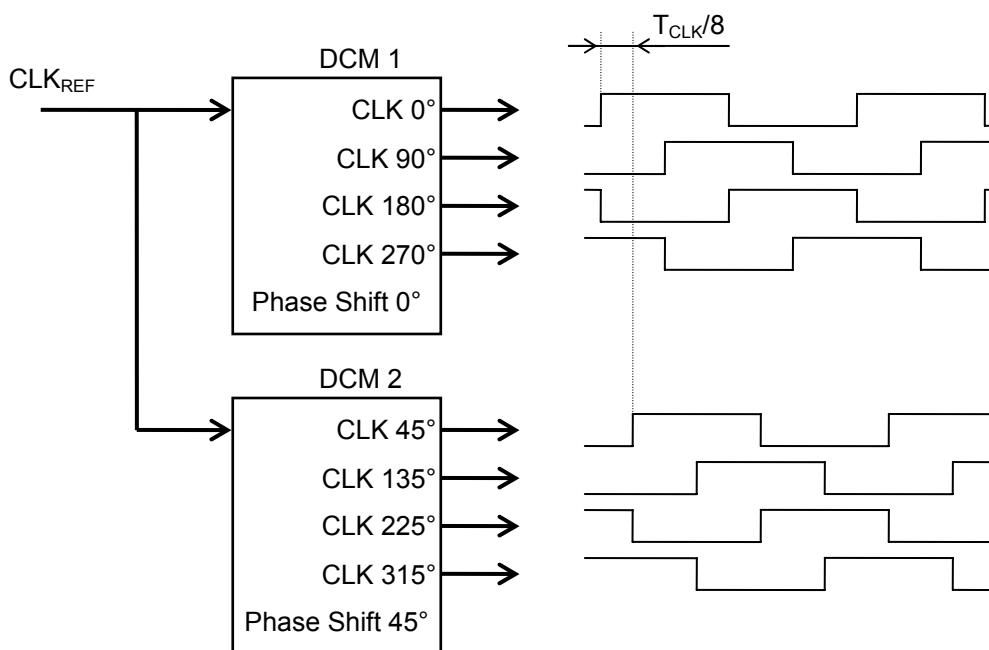


Obr. 3.4 Použití jednoho obvodu DCM pro generování vícefázového hodinového signálu.

Blok DCM (Digital Clock Manager) v obvodech Spartan-3 [44] umožňuje generovat čtyřfázový hodinový signál o maximální frekvenci 160 MHz, přičemž v každém obvodu této řady jsou dostupné 2 až 4 takové bloky. Použitím jediného obvodu DCM je tak možné dosáhnout efektivního vzorkovacího kmitočtu až 640 MHz (Obr. 3.4).

Obvody FPGA obsahují značně omezený počet globálních sítí pro rozvod hodinového signálu (Spartan-3 pouze 8), proto je vhodné použít pro každý blok minimální možný počet těchto prostředků. Hodinové signály CLK 0° a CLK 180° generované obvodem DCM jsou sice vzájemně fázově posunuté, ale při střídě 50 % mají v čase stejnou polohu hran (poloha vzestupných hran v jednom signálu odpovídá sestupným v druhém signálu). Jelikož samotný obvod DCM zajišťuje střidu výstupních signálů 50 %, je možné jeden z těchto signálů vynechat. Klopné obvody, které byly řízeny vzestupnou hranou vynechaného hodinového signálu, je nyní třeba řídit komplementárním signálem, který je možné lokálně invertovat (v rámci jedné logické buňky), což odpovídá použití techniky DDR. Při takovém zjednodušení stačí pro implementaci vzorkovače s jedním obvodem DCM pouze dva fázově posunuté hodinové signály.

Použití dvojice obvodů DCM umožňuje zdvojnásobit efektivní vzorkovací kmitočet (Obr. 3.5), a dosáhnout tak vzorkování s frekvencí až 1280 MHz v obvodech Spartan-3. Nevýhodou tohoto řešení je, že hodinové signály na výstupu obvodů DCM vykazují navzájem zvětšený jitter a tak snižují celkovou odolnost obvodu BO-CDR na jitter [48]. Pro distribuci hodinových signálů je v tomto případě třeba čtyř globálních hodinových sítí.

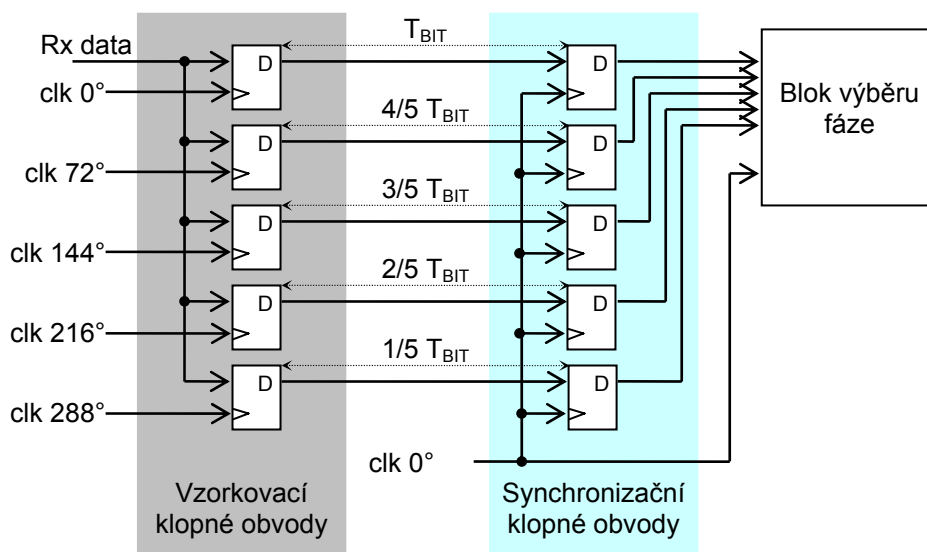


Obr. 3.5 Použití dvojice obvodů DCM pro generování vícefázového hodinového signálu s vyšším rozlišením.

Obvody řady Virtex a Spartan-6 firmy Xilinx obsahují další bloky pro úpravu hodinového signálu, označované jako PLL (Phase Locked Loop). Tyto bloky umožňují generovat až šest vzájemně fázově posunutých hodinových signálů. Dvojici bloků DCM

je tak možné nahradit jediným blokem PLL. Bloky PLL také umožňují generovat signál s menším jitterem, než je tomu při použití bloků DCM ([43]). Vzorkovače se skládají z poměrně velkého množství klopných obvodů. Ty proto musí být součástí vlastní programovatelné struktury obvodu FPGA (nelze použít klopné obvody ve vstupních makrobuňkách). Při implementaci je tedy třeba dbát na dodržení stejného zpoždění datových cest ke všem vzorkovacím obvodům (minimalizace parametru „skew“).

Vícefázové vzorkovače (včetně varianty DDR) poskytují na svém výstupu vzorky signálu synchronně vždy k příslušnému vzorkovacímu hodinovému signálu. Jejich zpracování se ale následně děje v bloku výběru fáze pouze v jedné časové doméně, zpravidla s nulovým fázovým zpožděním. Vzorky z ostatních domén je tak třeba synchronizovat vzhledem k tomuto hodinovému signálu.



Obr. 3.6 Jednoduchá synchronizace vzorků z různých časových domén.

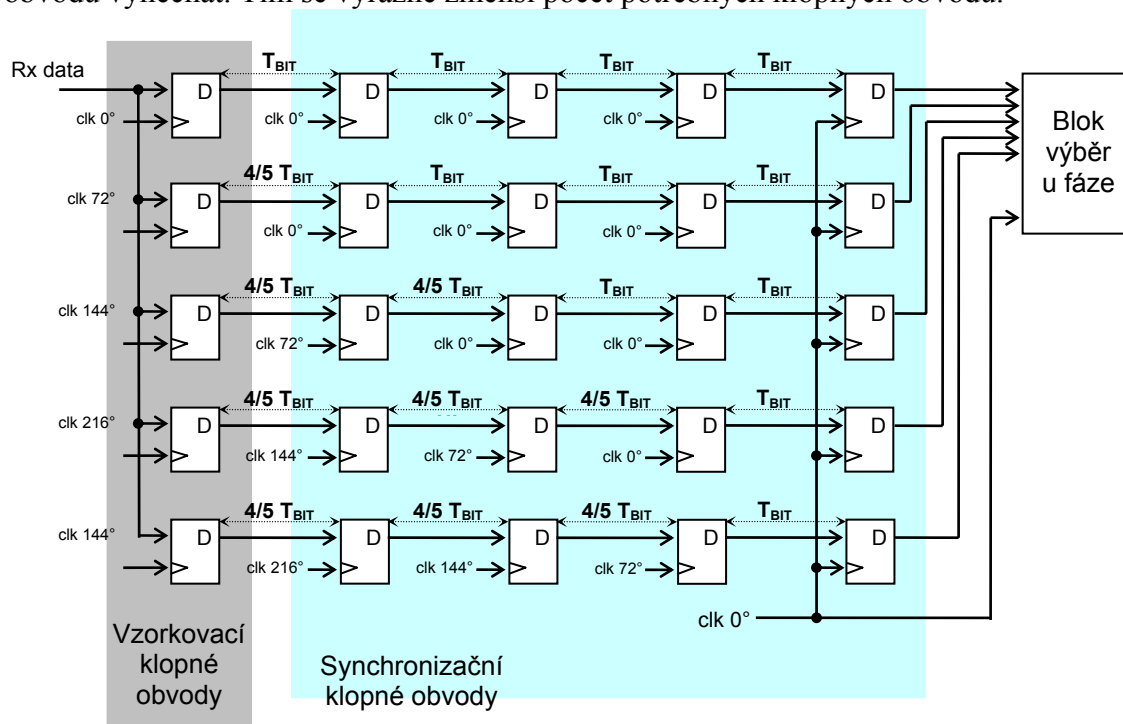
Pokud jsou všechny datové signály vzorkovány přímo cílovým hodinovým signálem (Obr. 3.6), jsou kladené na časové parametry obvodu poměrně vysoké nároky. Nejvyšší požadavek je kladen na signál mezi vzorkovacím klopným obvodem poslední domény a jeho synchronizačním klopným obvodem. Datový signál musí v tomto případě splňovat parametry odpovídající posuvnému registru pracujícímu na frekvenci $M \cdot f_{CLK}$ (čas na průchod signálu mezi registry je pouze $1/5 T_{BIT}$). V obvodech ASIC je to pro malé hodnoty M splnitelná podmínka, v obvodech FPGA ale hraje významnou roli zpoždění propojovací struktury, které je často příliš vysoké a obvod je třeba modifikovat.

Modifikace spočívá v rozložení zpoždění mezi několik klopných obvodů, které jsou taktovány tak, aby byla časová rezerva na průchod signálu jednotlivými cestami co největší ([46], Obr. 3.7). Tato úprava znamená zvětšení počtu klopných obvodů, které je silně závislé na počtu vzorkovacích domén:

$$n = (M - 1) \cdot M, \quad (3.3)$$

kde n je počet klopných obvodů potřebných pro synchronizaci a M je stupeň převzorkování. Pro vyšší stupně převzorkování, kdy je fázový rozdíl sousedních domén

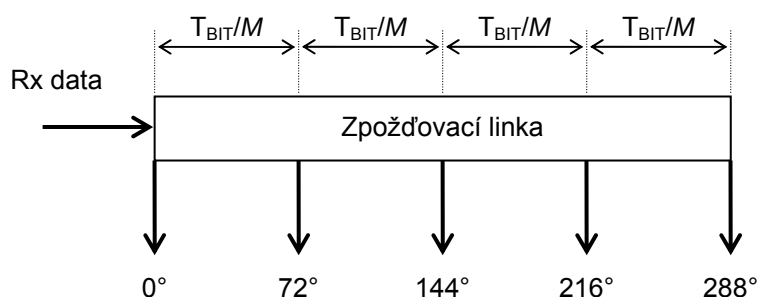
je již velmi malý (menší než $1/5 T_{BIT}$), je ale možné některé stupně synchronizačního obvodu vynechat. Tím se výrazně zmenší počet potřebných klopných obvodů.



Obr. 3.7 Synchronizační obvod s minimálními nároky na časové parametry cílového obvodu; minimální požadovaná doba šíření signálu mezi klopnými obvody je rovna $(M-1)T_{BIT}/M$.

3.1.4 VYUŽITÍ ZPOŽĎOVACÍHO VELENÍ

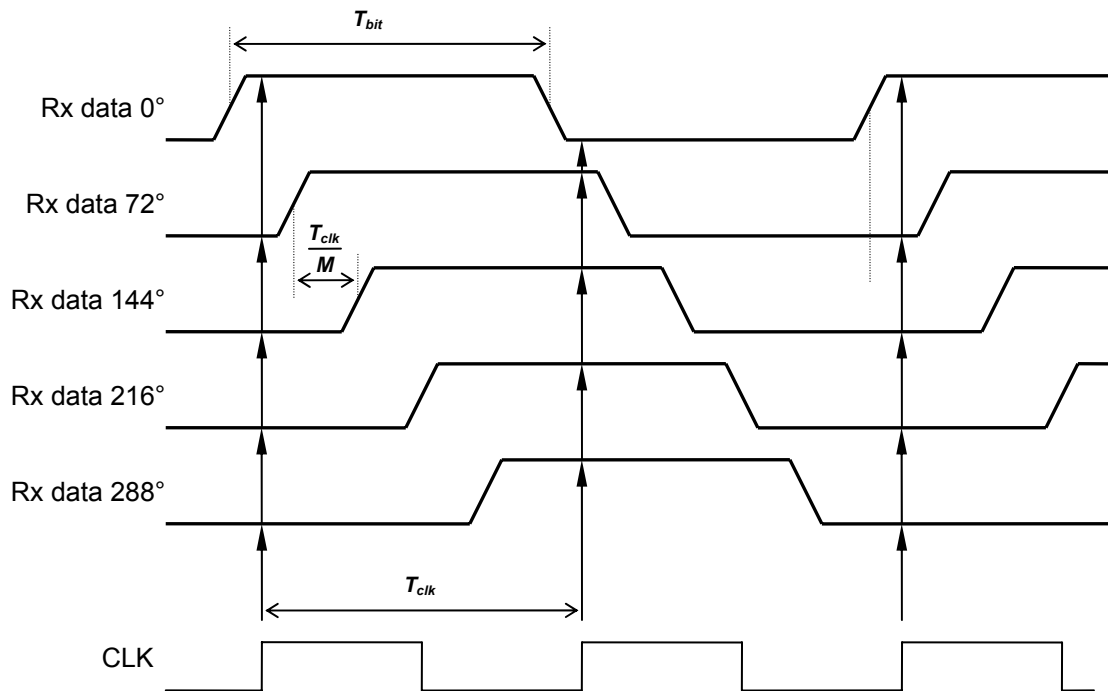
V předchozím případě bylo dosaženo požadovaného vzorkování přijímaného signálu fázovým posunutím hodinového signálu. Existuje ale také možnost vytvoření fázově posunutých replik datového signálu, které jsou pak vzorkovány jediným hodinovým signálem (Obr. 3.9, [75]). Datový signál musí na vstupu vzorkovače vstupovat do zpožďovací linky, která má několik výstupů s krokem odpovídajícím požadované periodě vzorkování (Obr. 3.8).



Obr. 3.8 Vytvoření fázově posunutých replik přijímaného datového signálu pomocí zpožďovací linky s odbočkami.

Hlavní výhodou tohoto řešení je použití jediného hodinového signálu, který může mít poměrně nízký kmitočet. Použití jediného hodinového signálu vylučuje nutnost

použití synchronizačního obvodu. Vzorkovač je tak složen vždy jen z M klopných obvodů.

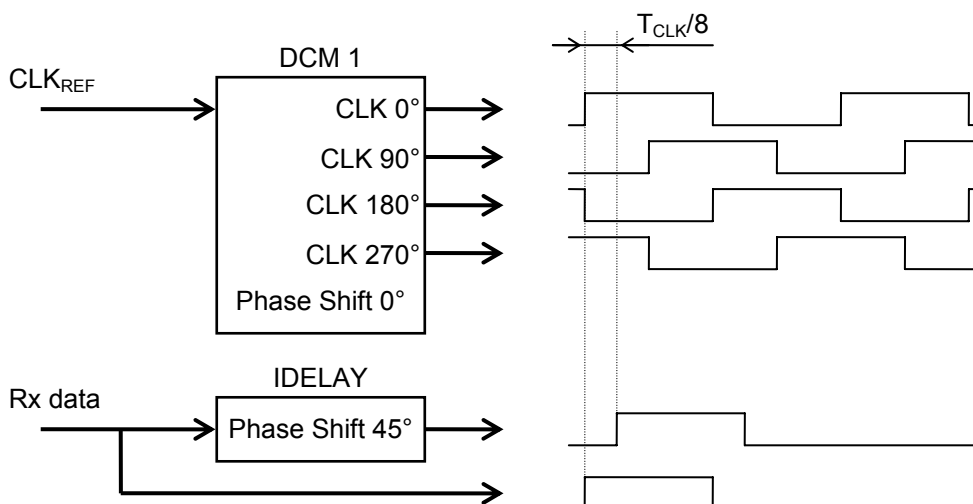


Obr. 3.9 Vzorkování přijímaného signálu s využitím zpožďovací linky v cestě datového signálu ($M=5$, $T_{CLK} = T_{BIT}$).

V případě, že má vzorkovač pracovat pouze na jediné přenosové rychlosti je toto řešení velmi výhodné, neboť je poměrně snadné realizovat zpožďovací linku s konstantním zpožděním. Při změně rychlosti je ale nutné změnit nejen kmitočet hodinového signálu (což postačuje pro řešení s vícefázovým hodinovým signálem), ale také nastavení zpožďovací linky, což může být problematické. V obvodech ASIC je ale i tato problematika zvládnuta a toto řešení se ukázalo jako použitelné i na nejvyšších dnes používaných rychlostech [22].

Současné obvody FPGA ale obsahují pouze jednoduché bloky umožňující zpoždění vstupního signálu (jejich zpožďovací linky nemají odbočky) bez možnosti jejich kaskádního řazení (bloky IDELAY v obvodech řady Virtex firmy Xilinx). Existuje sice teoretická možnost realizace zpoždění vnitřní propojovací strukturou a logickými bloky obvodu FPGA při použití omezujících podmínek, ale podle zkušeností autora nejsou běžné implementační nástroje (návrhový systém Xilinx ISE) schopny takové požadavky dodržet.

Využití dostupných jednoduchých zpožďovacích vedení je tak výhodné pouze v kombinaci s vícefázovým hodinovým signálem, jak je uvedeno v [48] (Obr. 3.10). Každá hrana vícefázového hodinového signálu je použita pro vzorkování dvojice datových signálů, z nichž jeden je fázově posunut o hodnotu odpovídající rozlišení vzorkovače (polovině rozdílu fáze hodinových signálů). Tím jsou každou hranou hodinového signálu odebrány dva vzorky datového signálu. Tak je možné dosáhnout ještě vyššího stupně převzorkování nebo snížení počtu hodinových signálů při zachování rozlišení vzorkovače.



Obr. 3.10 Využití zpožďovacího členu ke zvětšení rozlišovací schopnosti vícefázového vzorkovače.

3.1.5 VYUŽITÍ HW TRANSCEIVERŮ

Obvody FPGA obsahující HW IP jádra vysokorychlostních transceiverů umožňují další implementaci vzorkovače ([34], [47]). Vysokorychlostní transceiver je v tomto případě použit pouze jako vzorkovač přijímaného datového signálu a jeho funkce obnovy hodinového signálu je potlačena (je zachycen pouze na lokálně generovaný hodinový signál).

Použití obvodu BO-CDR s takovým vzorkovačem v reálné aplikaci není výhodné z hlediska spotřeby, dosažitelné přenosové rychlosti, ani efektivity (obvody FPGA s transceivery jsou poměrně drahé). Přenosová rychlost je omezena podílem maximální přenosové rychlosti použitého transceiveru a zvoleného stupně převzorkování. I při použití nejrychlejších dnes dostupných transceiverů (Stratix IV, Altera) s rychlostí 11,3 Gb/s a stupněm převzorkování 3 tak lze dosáhnout rychlosti nejvýše 3,76 Gb/s, které lze běžně dosáhnout s využitím obvodů nižších (a tedy levnějších) řad s obvody CDR založenými na PLL.

Použití transceiverů je ale velmi výhodné pro optimalizaci digitální části obvodu BO-CDR (především algoritmu výběru fáze). Ten může pracovat na relativně velké rychlosti (vyšší, než umožňuje realizace vícefázovými vzorkovači) a navíc zaručuje lepší vlastnosti rozložení vzorkovacích domén (tedy efektivně nižší jitter vzorkovacího hodinového signálu). Optimalizaci a verifikaci je tak možné provádět v některých případech přímo na cílové rychlosti, případně na rychlosti jen o málo nižší.

3.1.6 SROVNÁNÍ VLASTNOSTÍ VZORKOVAČŮ

Použití konkrétního typu vzorkovače v obvodu FPGA je dáno především požadovanou přenosovou rychlostí a stupněm převzorkování M . Mezní parametry vzorkovače jsou pak dány cílovým obvodem a dostupnými hardwarovými prostředky. Tabulka Tab. 3.1 shrnuje vybrané možnosti obvodu Virtex-5 firmy Xilinx. Vícefázové hodinové signály je v tomto obvodu možné generovat pomocí bloku DCM nebo PLL. Výstupy bloku DCM dosahují v mezním případě jitteru přibližně 240 ps_{p-p} (tzv. Worst case). Pro maximální rozlišené vzorkovače je tato hodnota dokonce větší, než perioda

vzorkování a negativně by ovlivnila funkci obvodu. Proto je vhodnější použít pro generování hodinového signálu blok PLL, který při použití vhodného referenčního kmitočtu umožňuje dosáhnout jitteru menšího, než 90 ps_{p-p}. I tato hodnota ale negativně ovlivní citlivost obvodu na jitter při vysokých rozlišeních vzorkovače. Hodnoty při použití čtyřfázového hodinového signálu v kombinaci s technikou DDR a implementací zpožďovacího členu IDELAY je tak spíše teoretická a vyžaduje ověření. Vlastnosti jednotlivých variant vzorkovačů z hlediska jitteru budou stanoveny v rámci další práce na tomto tématu, jejíž součástí budou podrobná měření.

Tab. 3.1 Implementace vzorkovače v obvodu FPGA Xilinx Virtex-5; frekvence lokálního hodinového signálu $f_{\text{REC}} = 500 \text{ MHz}$ (neplatí pro GTP a GTX).

		Uspořádání vzorkovače						
		SDR	DDR	DDR, 2 fáze	DDR, 4 fáze	DDR, IDELAY , 4 fáze	GTP	GTX
Počet vzorkovacích klopných obvodů		1	2	4	8	16	–	–
Efektivní vzorkovací kmitočet [GHz]		0,5	1	2	4	8	3,75	6,5
Perioda vzorkování [ns]		2	1	0,5	0,25	0,125	0,27	0,15
Maximální přenosová rychlost při daném stupni převzorkování	3	167	333	667	1333	2667	1250	2167
	4	125	250	500	1000	2000	938	1625
	5	100	200	400	800	1600	750	1300
	6	83	167	333	667	1333	625	1083
	7	71	143	286	571	1143	536	929

Některé obvody FPGA řady Virtex-5 obsahují vysokorychlostní transceivery, které lze rozlišit na dva typy, podle podporovaných přenosových rychlostí. Typ GTP pracuje na nižších přenosových rychlostech do 3,75 Gb/s, zatímco typ GTX je schopen zpracovat datový signál až do 6,5 Gb/s. Použitím těchto transceiverů jako vzorkovačů je možné dosáhnout poměrně vysokých přenosových rychlostí i s obvodem BO-CDR [34], [47].

Obvody Spartan-3 firmy Xilinx patří do kategorie low-cost obvodů FPGA a postrádají některé vyspělejší prvky obsažené v obvodech řady Virtex, jako jsou vysokorychlostní transceivery, obvody PLL a bloky IDELAY. Také jejich maximální pracovní kmitočet je výrazně nižší. Jejich cena je ale srovnatelná s běžně dostupnými obvody CDR (ASSP) a představují tak výhodné řešení pro aplikace, kde je kromě obnovy bitové synchronizace třeba zpracovat přijatá data způsobem definovaným uživatelem.

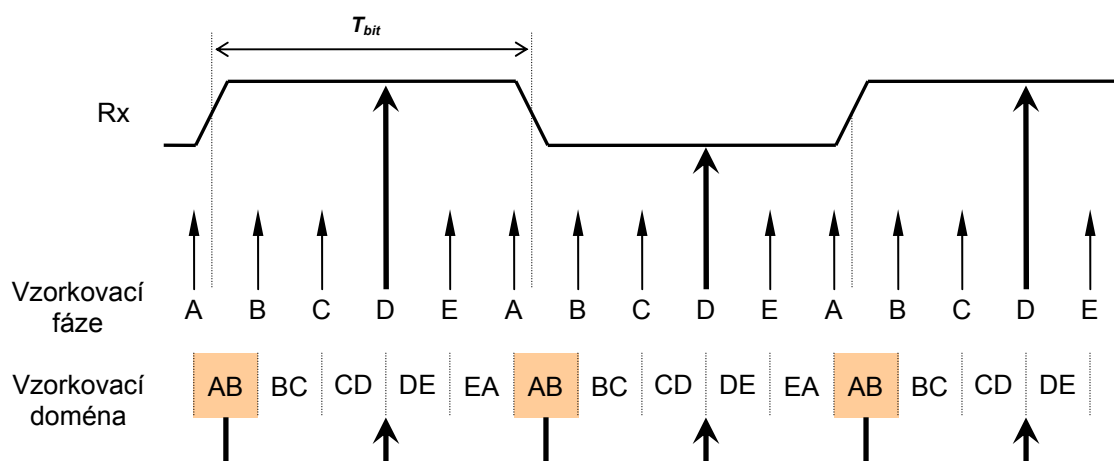
Obvod umožňuje realizovat blok BO-CDR s přenosovými rychlostmi dle Tab. 3.2. Vzhledem k absenci bloku PLL lze vícefázový hodinový signál generovat pouze blokem DCM. Příslušné výstupy tohoto bloku mají dle výrobce maximální jitter 300ps_{p-p}, což je dostatečně malá hodnota vzhledem k minimální dosažitelné periodě vzorkování.

Tab. 3.2 Implementace vzorkovače v obvodu FPGA Xilinx Spartan-3; frekvence lokálního hodinového signálu $f_{\text{REC}} = 320$ MHz pro SDR a DDR, $f_{\text{REC}} = 160$ MHz při použití DCM.

		Uspořádání vzorkovače			
		SDR	DDR	DDR, 1xDCM, 2 fáze	DDR, 2xDCM, 4 fáze
Počet vzorkovacích klopných obvodů		1	2	4	8
Efektivní vzorkovací kmitočet [GHz]		0,32	0,64	0,64	1,28
Perioda vzorkování [ns]		3,13	1,56	1,56	0,78
Stupeň převzorkování	3	53	107	107	213
	4	40	80	80	160
	5	32	64	64	128
	6	27	53	53	107
	7	23	46	46	91

3.2 JÁDRO OBVODU BO-CDR

Popis tohoto bloku je uveden pro obvod s vícefázovým vzorkovačem, který umožňuje dosáhnout vyšších přenosových rychlostí, než jednoduché vzorkovače SDR a DDR. Pro zjednodušení popisu je dále uvažován poměr $k/M = 1$. Obvody se vzorkovačem typu SDR nebo DDR lze v případě potřeby převedením vzorků ze sériové podoby do paralelní použít se stejným obvodem extrakce dat.



Obr. 3.11 Výběr fáze vzorkovacího signálu na základě polohy hrany v rámci vzorkovacích domén pro stupeň převzorkování $M=5$.

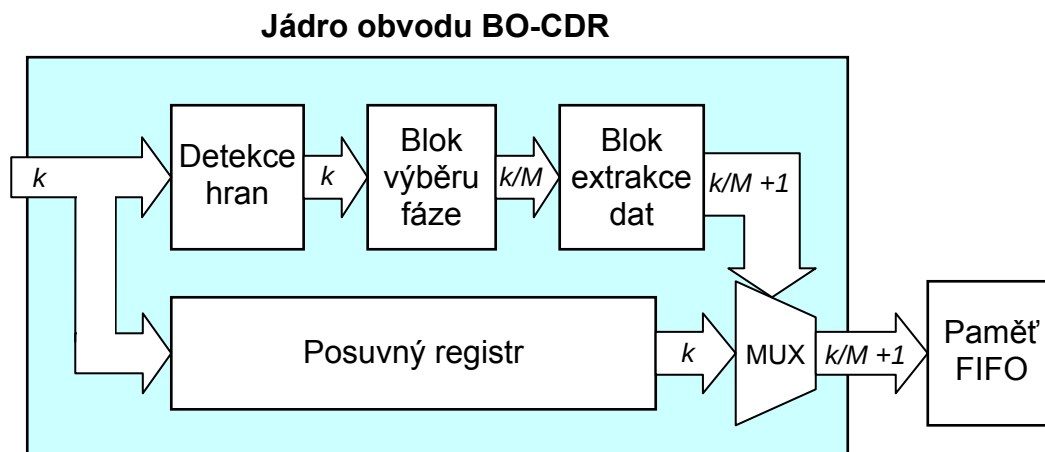
Vstupním blokem jádra obvodu BO-CDR je detektor hran. Ten určuje polohu hran v rámci vzorkovacích domén (Obr. 3.11) na základě výstupu vzorkovače. Jeho výstupem je signál, který nese pouze informaci o tom, zda v příslušné doméně byla nebo nebyla detekována hrana. Blok výběru fáze (Obr. 3.12) musí na základě tohoto

k -bitového signálu rozhodnout, který ze vzorků byl odebrán nejbližše středu diagramu oka a má tak nejmenší pravděpodobnost chyby. V příkladu na Obr. 3.11 je hrana signálu detekována v doméně AB (tedy mezi fázemi vzorkovacího signálu A a B). To vede na výběr fáze nejvzdálenější od domény AB, tedy fáze D.

Hodnota k odpovídá počtu bitů výstupu vzorkovače, tedy počtu fází vícefázového vzorkovače (součinu stupně převzorkování M a poměru bitové rychlosti f_{BIT} a kmitočtu vzorkovacího signálu f_{REC}). Výstup bloku výběru fáze je zpracován blokem extrakce dat, který koriguje počet platných bitů na výstupu jádra obvodu BO-CDR a vybírá optimální vzorky dat výstupním multiplexorem. Vstupem multiplexoru je zpožděný k -bitový signál ze vzorkovače. Zpoždění umožňuje (v případě potřeby) zpracovat signál nekauzálně, tedy provádět rozhodnutí pro aktuální bit nejen na základě polohy hran mezi předešlými bity, ale i na základě hran mezi bity následujícími.

Obnovený datový signál má proměnný počet platných bitů v intervalu $\left\langle \frac{f_{BIT}}{f_{REC}} - 1; \frac{f_{BIT}}{f_{REC}} + 1 \right\rangle$, viz (2.2). Vzhledem k tomu, že běžné digitální obvody nejsou schopny zpracovat takový signál, je na výstupu bloku zařazena paměť FIFO, jejímž výstupem je již datový signál s konstantním počtem platných bitů (zpravidla 1, 4, 8 nebo 16 bitů, případně 10 nebo 20 bitů, je-li použito kódování 8b/10b).

Jádro obvodu BO-CDR představuje z hlediska implementace čistě digitální obvod, který je teoreticky zcela nezávislý na cílové technologii (FPGA / ASIC). Jeho nejsložitější částí je blok extrakce dat a především blok výběru fáze. Složitost obou obvodů závisí na počtu bitů zpracovávaného signálu. Blok výběru fáze navíc silně závisí na složitosti konkrétního algoritmu výběru. Vzhledem k tomu, že obvykle představuje nejsložitější část celého obvodu, je jeho optimalizace klíčová pro dosažení nízkých celkových nároků na implementaci.



Obr. 3.12 Schéma jádra obvodu BO-CDR s výstupní vyrovnávací pamětí FIFO.

Blok výběru fáze pracuje synchronně se vstupním vzorkovačem, tedy s hodinovým signálem o kmitočtu f_{REC} . Na rozdíl od vzorkovače ale tento blok obsahuje často složité kombinační logické obvody, které vykazují velké zpoždění a mohou tak omezit maximální pracovní kmitočet celého obvodu BO-CDR (viz například [15]). Snahou je tedy minimalizovat složitost algoritmu výběru fáze, případně jej rozdělit do více jednodušších sekcí (pipelining), aby nedošlo k ovlivnění mezní frekvence obvodu.

Pipelining má ale za následek zvětšení latence algoritmu výběru fáze, což vyžaduje implementaci delšího posuvného registru. Tím značně rostou nároky na implementaci obvodu.

Nejjednodušší používaný algoritmus přímé volby fáze (DPP) lze považovat za nejrychlejší možný algoritmus z hlediska pracovního kmitočtu. Kromě detektoru hran obsahuje pouze blok extrakce dat, posuvný registr a výstupní multiplexor. Jak ale bude ukázáno v kapitole 4.5, vykazuje tento obvod mnohem vyšší chybovost, než obvody s filtrací výběrových signálů v bloku výběru fáze. Důvodem vyšší chybovosti je menší stabilita algoritmu přímé volby, který je silně náchylný na jitter. Hodí se tak pouze pro kvalitní přenosové cesty, jako jsou například vysokorychlostní datové spoje na desce plošných spojů.

Druhým používaným algoritmem je majoritní volba (MV). Jak bylo uvedeno v kapitole 2.3, byl tento algoritmus zkoumán z hlediska optimálního stupně převzorkování M i počtu bitů v rozhodovacím okně W . Operace majoritní volby vyžaduje použití teoreticky jednoduchého algoritmu, který je ale v digitálním obvodu náročný na implementaci z hlediska použitých hardwarových prostředků i maximální přenosové rychlosti. Složitost přitom rychle roste s rostoucí délkou okna W .

Velikost okna určuje mezní frekvenci, s jakou je algoritmus schopen sledovat fázi přijímaného signálu. Fázové změny, které jsou rychlejší, než odpovídá této frekvenci, jsou algoritmem odfiltrovány, což zvyšuje stabilitu algoritmu. A tak přesto, že je algoritmus MV výrazně náročnější z hlediska implementaci, je používán častěji, neboť umožňuje na stejném médiu dosáhnout mnohem nižší chybovosti (téměř o dva řády), než stejný obvod s algoritmem DPP (menší citlivost algoritmu na jitter).

Z těchto závěrů vyplývá potřeba nalezení dalšího algoritmu, který by byl schopen korektně zpracovat signály obsahující jitter (jako algoritmus MV) a jeho nároky na implementaci by byly zároveň velmi nízké (srovnatelné s algoritmem DPP). Optimalizací založenou na implementaci obvodu BO-CDR v FPGA byly nalezeny dva algoritmy, které uvedené kritéria splňují.

3.3 STANOVENÍ TEORETICKÉ CITLIVOSTI OBVODU CDR NA JITTER

Při návrhu obvodů ASIC je ekonomicky velmi náročné provádět optimalizaci již implementovaných obvodů na základě měření. Proto se v praxi využívá simulací a analýz, které předcházejí vlastní výrobě obvodu. V případě obvodů FPGA lze ale optimalizaci rozdělit (před a po implementaci) a využít tak výhod obou možností. V této kapitole je uveden rozbor stanovení chybovosti obvodu BO-CDR na základě jeho parametrů a vlastností přenosového kanálu.

3.3.1 JITTER

Digitální (binární) signál je průchodem přenosovou soustavou vždy zkreslen. Z hlediska bloku CDR se zkreslení projevuje jako časová změna polohy průchodu signálu rozhodovací úrovní komparátoru přijímače. Časový posun je způsoben šumem, rušením, omezenou šířkou pásma kanálu a dalšími neideálními vlastnostmi kanálu. Posun je tím větší, čím menší je strmota hran a čím menší je poměr signálu k šumu.

Relativní posun hran vzhledem k jejich ideální poloze lze definovat pomocí jitteru. Jitter je ve standardu JEDEC [67] definován jako časová odchylka hrany generované fázovým závěsem (PLL) od své nominální pozice. Standard ITU [70] jitter definuje jako krátkodobou nekumulativní odchylku významných událostí digitálního signálu od ideální jejich pozice v čase. Touto významnou událostí je v kontextu obnovy bitové synchronizace hrana datového a hodinového signálu.

Tzv. celkový jitter (TJ; Total Jitter), který je v signálu přítomen, je složen ze dvou základních složek: náhodného jitteru (RJ; Random Jitter) a deterministického jitteru (DJ; Deterministic Jitter). Náhodný jitter je teoreticky neomezený (odchylka může nabývat libovolně velkých hodnot) a je popsán normálním (Gaussovým) rozložením pravděpodobnosti. Je plně charakterizován směrodatnou odchylkou a střední hodnotou. Jeho zdrojem je elektrický šum v systému, který ovlivňuje okamžik průchodu signálu rozhodovací úrovní komparátoru přijímače a vytváří tak časové odchylky (chyby) v okamžicích přechodů.

Deterministický jitter není způsoben náhodnými jevy a rozložení hustoty pravděpodobnosti není normální. DJ je vždy omezen a jeho velikost tak lze udávat jako špičkovou hodnotu p-p (peak-to-peak). Zdrojem deterministického jitteru jsou nedokonalosti přenosové trasy, vysílače a přijímače. Pro snadnější analýzu je deterministický jitter dále dělen na jednotlivé komponenty, které mají specifický charakter.

- DCD (Duty Cycle Distortion) jitter je dán nestejnou dobou trvání bitu 1 a 0. Bývá způsoben nestejnou dobou náběžné a sestupné hrany signálu nebo posunutím rozhodovací úrovně komparátoru přijímače.
- DDJ (Data Dependent Jitter) jitter je závislý na přenášené datové sekvenci (konkrétní posloupnosti bitů). Je zapříčiněn omezenou šířkou pásma systému a jeho jednotlivých komponent.
- PJ (Periodic Jitter) jitter má periodický charakter (například sinusový) a je vázán na přenášený datový signál. Způsoben je nedokonalými vlastnostmi systému (například zvlnění zdrojů napájení) a zpravidla je poměrně malý.
- UBJ (Uncorrelated Bounded Jitter) jitter je do signálu vnesen vazbami s okolními systémy a není korelován s datovým signálem. Jeho zdroji jsou rušení, kapacitní a induktivní vazby a šum spínaných napájecích zdrojů.

Komponenty jitteru, které se mění jen velmi pomalu (pro standard SONET jsou to komponenty s frekvencí pod 10 Hz), se zpravidla mezi jitter nezařazují a bývají označovány jako drift frekvence (frequency wander). Jeho příčinou může být například teplotní závislost parametrů obvodu.

Reálný signál obsahuje náhodný i deterministický jitter, celkový jitter je pak roven konvoluci obou složek [76]. Jednotka jitteru je v obou případech (pro RJ i DJ) čas [s]. Tuto hodnotu je ale vždy nutné uvádět s periodou zkoumaného signálu, bez níž postrádá význam. Aby bylo možné srovnávat systémy s různými přenosovými rychlostmi, byla zavedena poměrná jednotka UI (Unit Interval), vztažená k délce bitu datového signálu vztahem

$$J_{[UI]} = \frac{J_{[s]}}{T_{bit}}, \quad (3.4)$$

kde $J_{[s]}$ je velikost jitteru [s] a T_{bit} je perioda bitu [s]. Tato jednotka je také používána pro vyjádření fáze signálu:

$$\varphi_{[UI]} = \frac{\varphi_{[rad]}}{2\pi} = \frac{\varphi_{[deg]}}{360^\circ}, \quad (3.5)$$

kde $\varphi_{[rad]}$ je velikost fáze v radiánech a $\varphi_{[deg]}$ je velikost fáze ve stupních.

Vlastnosti systému z hlediska jitteru se hodnotí ze tří základních hledisek [70]:

- Generování jitteru (Jitter Generation)
- Přenos jitteru (Jitter Transfer)
- Tolerance jitteru (Jitter Tolerance)

Generování jitteru lze definovat jako množství jitteru přidané k původnímu signálu. Tento parametr je používán pro charakterizaci komponent vysílače, jako jsou laserové budiče, paralelně-sériové převodníky, budiče, zesilovače, obvody CDR a limitující zesilovače.

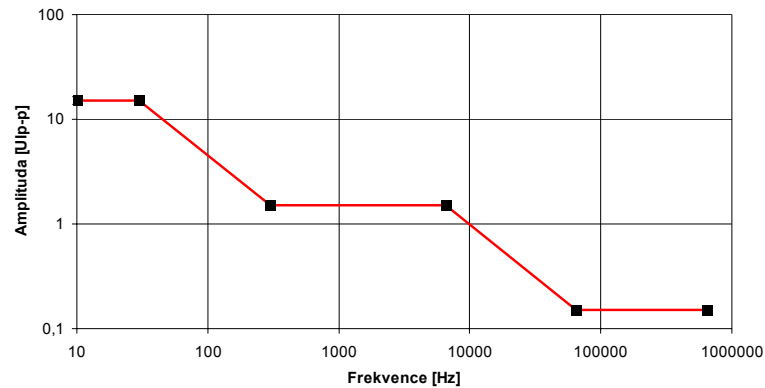
Přenos jitteru vyjadřuje množství jitteru ze vstupního signálu, které je přeneseno ze vstupu na výstupní signál. Toto množství je obvykle vyjadřováno poměrem vstupní a výstupní hodnoty jitteru pro konkrétní frekvence jitteru. Tato veličina je používána u komponent typu regenerátoru dat, tedy například obvodů CDR.

Schopnost zařízení korektně přijímat signál obsahující jitter se nazývá tolerance jitteru. Lze ji vyjádřit jako amplitudu jitteru na dané frekvenci ve vstupním signálu, kterou je přijímač schopen zpracovat, aniž by byla překročena stanovená chybovost. Zakreslením hodnot tolerance pro různé frekvence jitteru do grafu lze získat charakteristiku tolerance jitteru přijímače. Tímto údajem bývají charakterizovány přijímací obvody, jako obvody CDR a paralelně-sériové převodníky.

Základním parametrem obvodů CDR je tolerance jitteru. Tu lze stanovit analyticky, simulací a měřením. Jelikož je při měřeních obtížné reprodukovat signály obsahující všechny složky reálného jitteru, používají se při měřeních referenční zdroje jitteru definovaných parametrů. Nejčastěji se pro měření používá signál obsahující náhodný jitter (s normálním rozložením hustoty pravděpodobnosti) nebo periodický (sinusový) jitter různých frekvencí a amplitud. Parametry systému jsou pak udávány pro konkrétní směrodatnou odchylku náhodného rozložení, respektive pro konkrétní amplitudu a frekvenci sinusového jitteru.

Požadavky na obvody CDR z hlediska tolerance jitteru bývají stanoveny ve standardech jednotlivých komunikačních protokolů. V doporučení ITU-T G.825 pro standard SDH STM-1 [64] je stanovena citlivost přijímače na jitter pomocí tolerančního schématu (Obr. 3.13). Přijímač musí být schopen zpracovat signál obsahující sinusový (deterministický, periodický) jitter s danou frekvencí tak, aby zvýšení chybovosti způsobené takovým jitterem bylo adekvátní poklesu úrovně přijímaného (optického) signálu o 1 dB. Pro měření má být použita pseudonáhodná posloupnost délky $2^{31} - 1$ dle

ITU-T O.150 [66]. V praxi se však často uplatňuje poněkud odlišný přístup porovnávání charakteristik obvodů CDR, kdy je jako tolerance obvodu chápána oblast, kde obvod CDR pracuje bez chyb, případně s velmi malou definovanou chybovostí (například $BER = 10^{-12}$; [16], [30], [32]).



Obr. 3.13 Požadovaná toleranční charakteristika obvodu CDR na sinusový jitter pro standard SDH STM-1 dle ITU-T G.825.

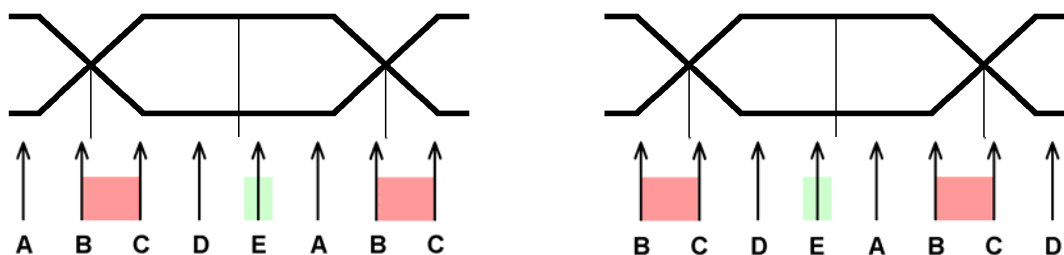
Jak bude dále ukázáno, není takový požadavek na obvod CDR postačující a při nesprávné interpretaci může vést k použití nevhodného obvodu CDR, který bude vykazovat neúměrně vysokou chybovost.

Z hlediska tolerance obvodu BO-CDR na jitter má velký vliv také jitter hodinového signálu, kterým je přijímaný signál vzorkován. Jelikož je jitter přijímaného signálu a vzorkujícího signálu nekorelován, lze jejich účinek charakterizovat jediným jitterem, který je jejich konvolucí a působí pouze na jeden signál [30]. Z toho vyplývá, že jitter referenčního hodinového signálu se projevuje stejně, jako zvýšení jitteru přijímaného signálu a tedy zhoršením citlivosti obvodu BO-CDR na jitter. Proto je třeba pro vzorkování použít hodinový signál s velmi malým jitterem.

Při použití vícefázového hodinového signálu je dále nutné dbát na rovnoměrné rozložení fáze vzorkovacích signálů. Nerovnoměrné rozložení se projevuje jako deterministický jitter, který opět snižuje citlivost obvodu BO-CDR na jitter.

3.3.2 STUPEŇ PŘEVZORKOVÁNÍ

Obvody BO-CDR založené na výběru fáze je třeba rozlišit na systémy se sudým a s lichým stupněm převzorkování M . Volba vzorkovací fáze je v obou případech dána polohou detekované hrany v jednotlivých *doménách*, jak jsou označovány intervaly mezi jednotlivými fázemi vzorkovacích signálů.

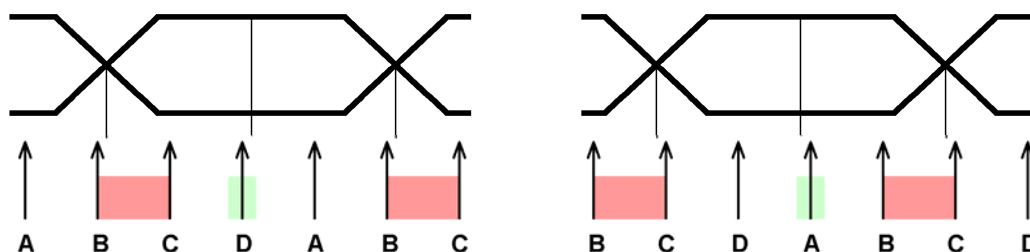


Obr. 3.14 Vzorkování datového signálu lichým počtem fází pro dva různé fázové posuvy.

Pokud je signál vzorkován lichým počtem hran, je možné jednoznačně stanovit, která fáze je pro danou polohu hrany vždy nejbližší středu diagramu oka. Na Obr. 3.14 je zobrazeno pětinasobné převzorkování signálu, kdy je hrana detekována mezi fázemi **B** a **C**, tedy v doméně **BC**. To vede k výběru vzorkovací fáze **E**, která je nejbližší středu diagramu oka (je nejdále od intervalu, v němž byla detekována hrana). Vzdálenost zvolené fáze od detekované hrany lze vyjádřit vztahem

$$\varphi_{RL} = \frac{1}{2} \cdot \frac{M-1}{M} [\text{UI}], \quad (3.6)$$

kde M je stupeň převzorkování a φ_{RL} je tzv. rezerva fáze, v tomto případě pro lichý stupeň převzorkování [UI].



Obr. 3.15 Vzorkování datového signálu sudým počtem fází pro dva různé fázové posuvy.

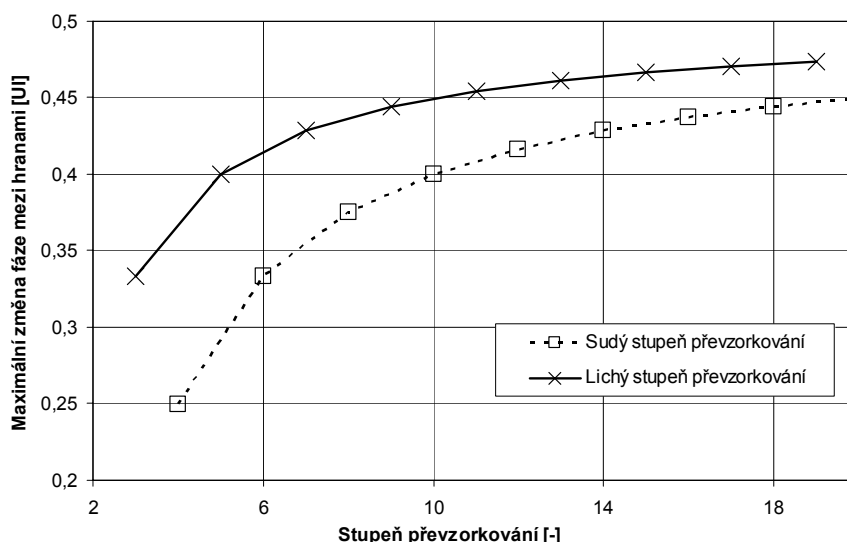
V případě sudého počtu vzorkovacích fází je volba nejednoznačná a nelze s jistotou stanovit, která ze dvojice fází ležících nejbližší středu diagramu oka je vhodnější. Na Obr. 3.15 je znázorněno čtyřnásobné převzorkování signálu pro dva různé fázové posuvy. V obou případech je hrana detekována v doméně **BC**. V prvním případě je blíže středu bitu fáze **D**, v druhém případě fáze **A**. Z detekované polohy hrany však nelze stanovit, který z uvedených případů nastal a která fáze (**D** nebo **A**) tak bude v daném případě výhodnější.

Rezerva fáze je v tomto případě menší, než pro lichý stupeň převzorkování:

$$\varphi_{RS} = \frac{1}{2} \cdot \frac{M-2}{M} [\text{UI}]. \quad (3.7)$$

φ_{RS} je rezerva fáze pro sudý stupeň převzorkování [UI]. Z grafického znázornění vztahů pro fázovou rezervu sudého a lichého stupně převzorkování (Obr. 3.16) lze vyvodit několik závěrů.

- S rostoucím stupněm převzorkování roste rezerva fáze obvodu, která se limitně blíží hodnotě $\frac{1}{2}$ UI.
- Použití velmi velkého stupně převzorkování umožňuje dosáhnout jen malého zlepšení fázové rezervy (za cenu vysokých nároků na použitý hardware).
- Lichý stupeň převzorkování umožňuje vždy dosáhnout větší fázové rezervy, než o stupeň vyšší (a tedy hardwarově náročnější) sudý stupeň převzorkování.



Obr. 3.16 Závislost maximální změny fáze mezi dvěma po sobě jdoucími hranami na použitém stupni převzorkování.

Z uvedených důvodů se v obvodech BO-CDR s výběrem fáze nejčastěji používá lichý stupeň převzorkování 3 nebo 5.

3.4 CITLIVOST ALGORITMŮ BO-CDR NA JITTER

Obvody CDR mají obecně za úkol sledovat nízkofrekvenční jitter obsažený v přijímaném signálu a odstranit z něj jitter vysokofrekvenční. Proto se chovají rozdílně v oblasti vysokých a nízkých kmitočtů.

3.4.1 NÍZKOFREKVENČNÍ JITTER (REŽIM SLEDOVÁNÍ)

Z hlediska nízkofrekvenčního jitteru je klíčová schopnost obvodu BO-CDR sledovat fázovou odchylku přijímaného signálu. Ta je dána hodnotou rezervy fáze, která udává maximální vzájemnou změnu fáze přijímaného a referenčního hodinového signálu mezi dvěma rozhodnutími o vzorkovací doméně. Velikost této změny odpovídá velikosti fázové rezervy podle vztahů 3.1 a 3.2. Větší změna fáze způsobí nesprávnou interpretaci rozdílu fáze, neboť algoritmus předpokládá minimální změnu (kladná změna o $\frac{M+1}{M}$ periody bude interpretována jako záporná změna o $\frac{M-1}{M}$). Tím dochází k chybě v počtu obnovených bitů (chyba bitové synchronizace).

Hardwarově nejjednodušší variantou algoritmu výběru fáze obvodu BO-CDR je přímá volba (Direct Phase Picking; DPP BO-CDR), kdy je aktuální fáze vybírána vždy pouze na základě polohy poslední detekované hrany v přijímaném signálu. Rychlost změny polohy hrany v datovém signálu závisí na amplitudě a frekvenci jitteru. V případě sinusového jitteru, který se používá pro srovnání vlastností obvodů CDR, dochází k nejrychlejší změně fáze v oblasti průchodu sinusového signálu nulovou hodnotou (Obr. 3.17). Okamžitá odchylka fáze přijímaného signálu A [s] od ideálního okamžiku je dána rovnicí

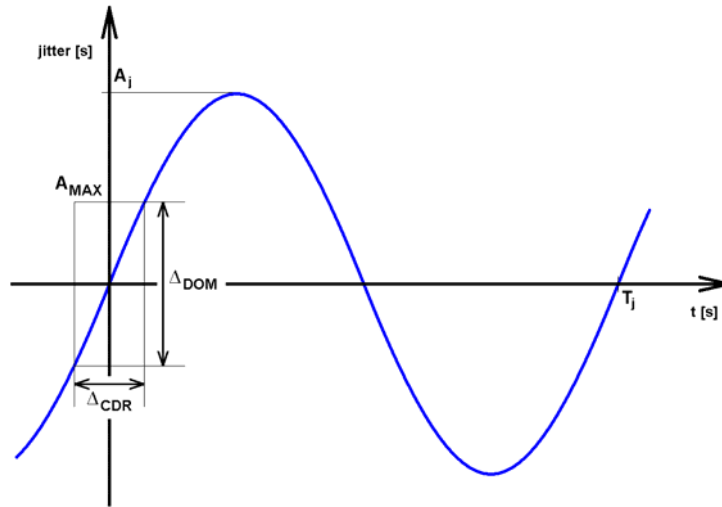
$$A = A_j \cdot \sin(2\pi \cdot f_j \cdot t) \text{ [s]}, \quad (3.8)$$

kde A_j je amplituda sinusového jitteru [s], f_j je jeho frekvence [Hz] a t je čas [s]. Doba reakce algoritmu CDR na změnu fáze Δ_{CDR} [s] musí být kratší, než je doba, za kterou dojde ke změně fáze o hodnotu φ_{RL} , respektive φ_{RS} . Pro algoritmus s lichým stupněm převzorkování M je maximální povolená změna fáze dána vztahem (3.1), respektive (3.2). Pro lichý stupeň převzorkování tak platí (podle Obr. 3.17)

$$\Delta_{DOM} = \varphi_{RL} \cdot T_{bit} = 2 \cdot A_{MAX} = \frac{1}{2} \cdot \frac{M-1}{M} \cdot T_{bit} = \frac{1}{2} \cdot \frac{M-1}{M \cdot f_{bit}} \text{ [s]}, \quad (3.9)$$

kde T_{bit} je bitová perioda [s] a f_{bit} je přenosová rychlost [Hz].

Pseudonáhodné posloupnosti, které se používají jako referenční datový signál pro testování obvodů CDR, obsahují úseky dat s vysokou hustotou hran a úseky s velmi nízkou hustotou hran. Nejdelší možný úsek identických bitů má délku odpovídající délce posuvného registru použitého pro generování pseudonáhodné posloupnosti [65]. V případě posloupnosti PRBS $2^{31}-1$ je použit 31bitový registr. V jím generovaném pseudonáhodném datovém signálu se tak vyskytuje posloupnost nanejvýš 31 po sobě jdoucích identických bitů (CID; Consecutive Identical Bits), pro přímou posloupnost jedničkových a pro inverzní posloupnost nulových.



Obr. 3.17 Výpočet citlivosti algoritmu CDR na sinusový jitter

Doba reakce obvodu CDR na změnu fáze je tak maximálně rovna době odpovídající 31 periodám hodinového signálu. Prodlěvu algoritmu DPP BO-CDR Δ_{CDR} [s] lze obecně zapsat jako

$$\Delta_{CDR} = N \cdot T_{bit} = \frac{N}{f_{bit}} \text{ [s]}, \quad (3.10)$$

kde N je největší počet po sobě jdoucích stejných bitů ($N=31$ pro pseudonáhodnou posloupnost $2^{31} - 1$). Vztah hodnot $\Delta_{DOM} (A_{MAX})$ a Δ_{CDR} lze zapsat následující rovnicí:

$$A_{MAX} = \frac{1}{2} \cdot \varphi_{RL} \cdot T_{bit} = A_J \cdot \sin(\pi \cdot f_j \cdot \Delta_{CDR}) \text{ [s]}. \quad (3.11)$$

Dosazením (3.4) a (3.5) do vztahu (3.6) a vyjádřením A_J lze vypočítat hledanou maximální dovolenou amplitudu sinusového jitteru pro jeho frekvenci f_j :

$$A_J = \frac{M-1}{4 \cdot M} \cdot \frac{T_{bit}}{\sin\left(N \cdot \pi \cdot \frac{f_j}{f_{bit}}\right)} = \frac{M-1}{4 \cdot M} \cdot \frac{1}{f_{bit} \cdot \sin\left(N \cdot \pi \cdot \frac{f_j}{f_{bit}}\right)} \text{ [s]}. \quad (3.12)$$

Vyjádření vztahu v častěji používaných jednotkách $[UI_{p-p}]$ je potom

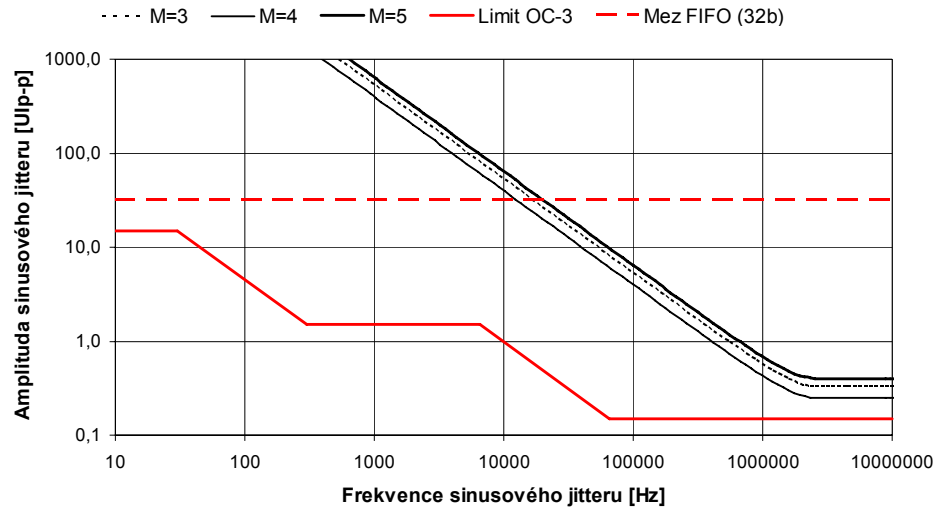
$$A_{J[UI_{p-p}]} = 2 \cdot A_{J[s]} \cdot f_{bit} = \frac{M-1}{2 \cdot M} \cdot \frac{1}{\sin\left(N \cdot \pi \cdot \frac{f_j}{f_{bit}}\right)} [UI_{p-p}]. \quad (3.13)$$

Argument funkce sinus má v těchto vztazích smysl pouze pro hodnoty v rozsahu $\left(0; \frac{\pi}{2}\right)$, tedy $\frac{N \cdot f_j}{f_{bit}} \in \left(0; \frac{1}{2}\right)$. V této oblasti hodnot obvod BO-CDR sleduje změny fáze přijímaného signálu a pracuje tedy v režimu sledování. Pro větší hodnoty tohoto poměru je obvod BO-CDR v režimu filtrování jitteru (není schopen sledovat rychlé změny fáze signálu). Citlivost obvodu je pak dána mezní hodnotou poměru $\frac{N \cdot f_j}{f_{bit}} = \frac{1}{2}$. Tím se vztah

(3.8) zjednoduší na vztah pro mezní citlivost obvodu na vysokofrekvenční sinusový jitter, odpovídající vztahu (3.1), respektive (3.2) pro sudý stupeň převzorkování.

Z uvedených vztahů je možné graficky vyjádřit teoretickou závislost citlivosti obvodu BO-CDR na sinusový jitter pro různé hodnoty stupně převzorkování M . Na Obr. 3.18 je srovnání citlivosti obvodu pro sudý a pro lichý stupeň převzorkování. Je vidět, že nižší lichý stupeň převzorkování má menší citlivost na jitter. V obou případech je však bezpečně splněn limit daný standardem SDH STM-1 dle ITU-T G.825 [64]. S klesajícím kmitočtem sinusového jitteru roste maximální dovolená amplituda sinusového jitteru se směrnici 20 dB/dekádu. V praxi je ale mezní amplituda dána velikostí vyrovnávací paměti FIFO, která bývá součástí výstupu bloku CDR (jak bylo uvedeno v kapitole 2.3.2). Pokud by amplituda sinusového jitteru v jednotkách UI_{p-p} překročila číselně hodnotu velikosti paměti FIFO v počtech bitů, došlo by k přetečení paměti a ke ztrátě dat. Minimální velikost paměti pro standard SDH STM-1 je tedy 16 bitů, neboť požadovaná tolerance na frekvencích pod 65 Hz je alespoň 15 UI_{p-p} .

Na Obr. 3.18 je vyznačena mez citlivosti pro velikost paměti FIFO 32 bitů. Ve většině běžných aplikací (typu store-and-forward) ale není odolnost obvodu CDR na nízkofrekvenční jitter kritická.



Obr. 3.18 Mezní citlivost algoritmu DPP BO-CDR na sinusový jitter pro pseudonáhodnou posloupnost $2^{31} - 1$.

Kromě algoritmu DPP existují další používané metody volby fáze vzorkovacího signálu. Nejběžnější z nich je algoritmus většinové volby (MV [15], [30]). V tomto případě je volba fáze prováděna na základě rozložení hran v intervalu délky W bitů. Obvod pro výběr fáze nejdříve nashromáždí W vzorků (každý vzorek je složen z celkem M bitů). Jakmile jsou bity nashromážděny, je provedena detekce hran v tomto úseku signálu. Jednotlivé hrany jsou rozloženy mezi doménami podle pravděpodobnostní funkce odpovídající distribuci jitteru přítomného v přijímaném signálu. Doména, která obsahuje nejvíce hran, je považována za nejvzdálenější středu diagramu oka a jako platné jsou vybrány ty bity, které byly vzorkovány hodinovým signálem protilehlým k této doméně. Volba je prováděna zpětně nad úsekem přijatých dat a rozhodnutí pro dříve přijaté bity je ovlivněno bity přijatými později, což znamená, že systém není kauzální. Volba délky intervalu W , nad kterým je prováděna volba fáze, ovlivňuje vlastnosti obvodu BO-CDR z hlediska tolerance jitteru i z hlediska nároků na implementaci.

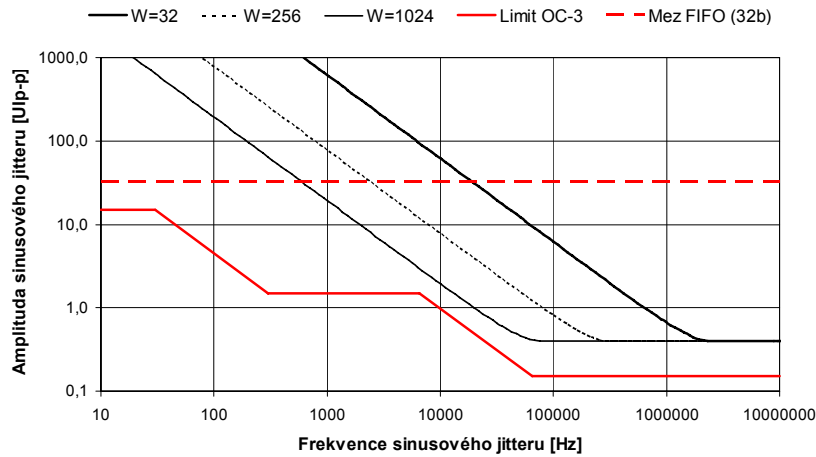
Délka okna W omezuje schopnost algoritmu sledovat rychlé změny fáze signálu, neboť výběr fáze se opakuje po W bitech. Pokud budeme předpokládat, že okno je dostatečně dlouhé, aby obsahovalo alespoň jednu hranu datového signálu, lze pro mezní změnu fáze signálu pro lichý stupeň převzorkování zapsat vztah

$$\varphi_{RL} = \frac{1}{2} \cdot \frac{M-1}{M \cdot W} \text{ [UI]}. \quad (3.14)$$

Tato hodnota je oproti algoritmu přímé volby mnohem nižší (poměrem $1/W$), avšak dominantně se projevuje pouze u datových signálů s velmi vysokou hustotou hran, tedy nízkou hodnotou N (počet CID). Rozdíl mezní tolerance chybovosti pro posloupnost PRBS 2^{31-1} je výrazně menší. Tu lze vyjádřit analogicky ke vztahu (3.8) jako

$$A_{j[UI_{p-p}]} = \frac{M-1}{2 \cdot M} \cdot \frac{1}{\sin\left(W \cdot \pi \cdot \frac{f_j}{f_{bit}}\right)} [UI_{p-p}], \quad W \geq N. \quad (3.15)$$

Pro hodnoty $W \leq N$ platí přibližně vztah (3.8). Prodleva N , daná počtem stejných po sobě jdoucích bitů, je v tomto případě nahrazena délkou okna, nad kterým je prováděna volba fáze. Odolnost algoritmu je tak pro malé hodnoty W srovnatelná s algoritmem přímé volby. Z grafického znázornění je patrné, že s rostoucí hodnotou parametru W je schopnost obvodu tolerovat jitter nižší.



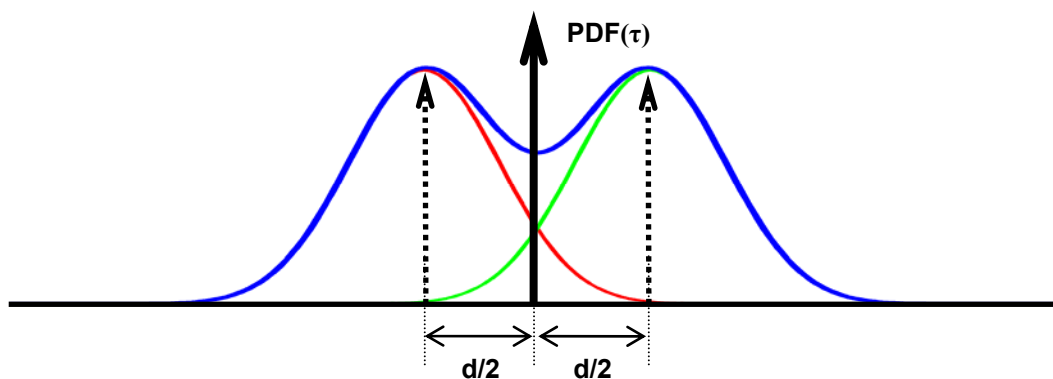
Obr. 3.19 Mezní citlivost algoritmu BO-CDR s většinovou volbou na sinusový jitter pro pseudonáhodnou posloupnost $2^{31} - 1$ a stupeň převzorkování $M=5$.

3.4.2 VYSOKOFREKVENČNÍ JITTER (REŽIM FILTRACE)

Obvod BO-CDR lze dále charakterizovat z hlediska citlivosti na vysokofrekvenční jitter. Pro analýzu tohoto případu tedy budeme předpokládat, že změny fáze přijímaného signálu jsou mnohem rychlejší, než je schopen algoritmus sledovat a budeme považovat jeho rozhodnutí o vybrané fázi za trvalé. Vybraná fáze tak závisí na hodnotě integrálu pravděpodobnostní funkce rozložení hran v signálu v jednotlivých doménách. Pro jednoduchost předpokládáme signál obsahující pouze náhodný jitter, se směrodatnou odchylkou σ_{RJ} , a jitter deterministický, reprezentovaný dvěma Diracovými impulzy stejné amplitudy vzdálenými $d/2$ od ideální polohy hrany (**Chyba! Nenalezen zdroj odkazů.**). Pro distribuční funkci pravděpodobnosti polohy hrany lze zapsat vztah

$$PDF(\tau) = \frac{1}{2\sqrt{2\pi}\sigma_{RJ}} \left(\exp\left(-\frac{(\tau - d/2)^2}{2\sigma_{RJ}^2}\right) + \exp\left(-\frac{(\tau + d/2)^2}{2\sigma_{RJ}^2}\right) \right) [-], \quad (3.16)$$

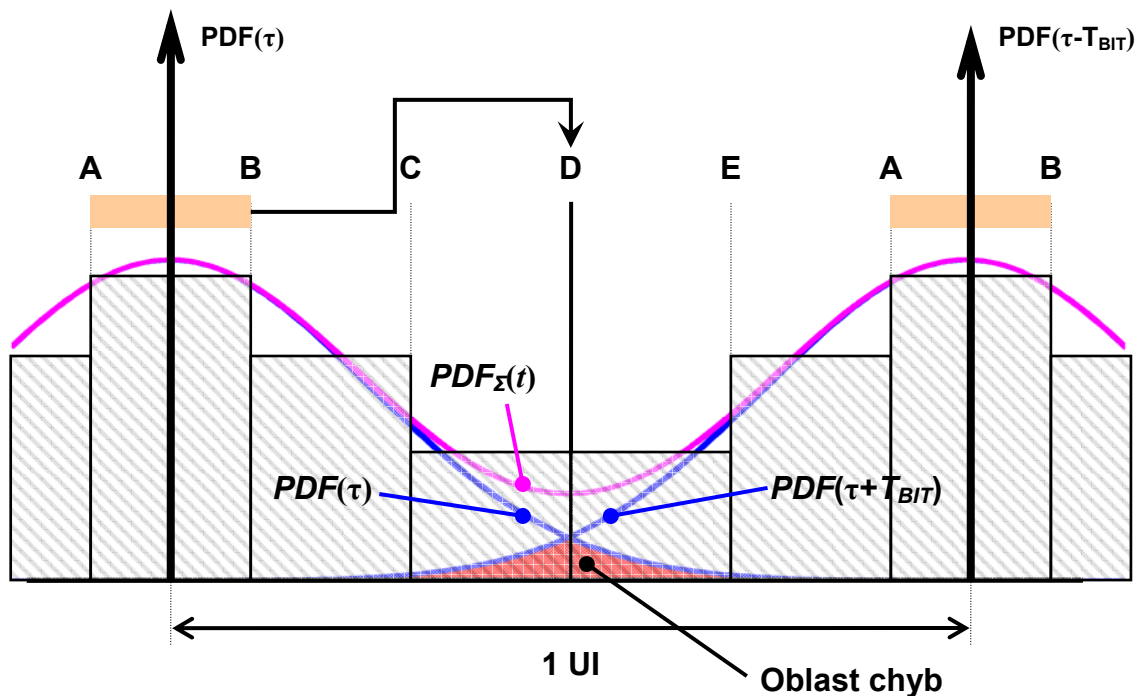
Reálný přenosový kanál má jen výjimečně takovou charakteristiku, další vztahy ale platí pro kanál s libovolnou funkcí $PDF(\tau)$. Jde ale o standardní model používaný pro modelování jitteru v přenosovém kanálu ([18], [32]).



Obr. 3.20 Tvar výsledné charakteristiky jitteru dle vztahu 3.16

Na Obr. 3.21 je zobrazena situace, kdy je hodinový signál vzorkovače v ideálním fázovém vztahu s přijímaným datovým signálem. Modrý průběh $PDF(\tau)$ je spojitou funkcí hustoty rozložení pravděpodobnosti, která má svůj střed vždy v místě největší hustoty hran přijímaného signálu. Tato funkce se rozkládá kolem rozhraní každé dvojice bitů, zde jsou pro jednoduchost zakresleny pouze dva průběhy ($PDF(\tau)$ a $PDF(\tau + T_{BIT})$). Pro algoritmus výběru fáze je podstatný jejich součet, který představuje průběh $PDF_{\Sigma}(t)$.

$$PDF_{\Sigma}(t) = \sum_{n=-\infty}^{+\infty} PDF(\tau + n \cdot T_{BIT}) \quad [-], \quad (3.17)$$



Obr. 3.21 Ideální vzorkování s nejmenší pravděpodobností chyby.

Algoritmus výběru fáze integruje výslednou funkci v intervalech, které jsou dány vzorkovacími signály (doménami). Hodnoty integrálů jsou naznačeny šrafovanými

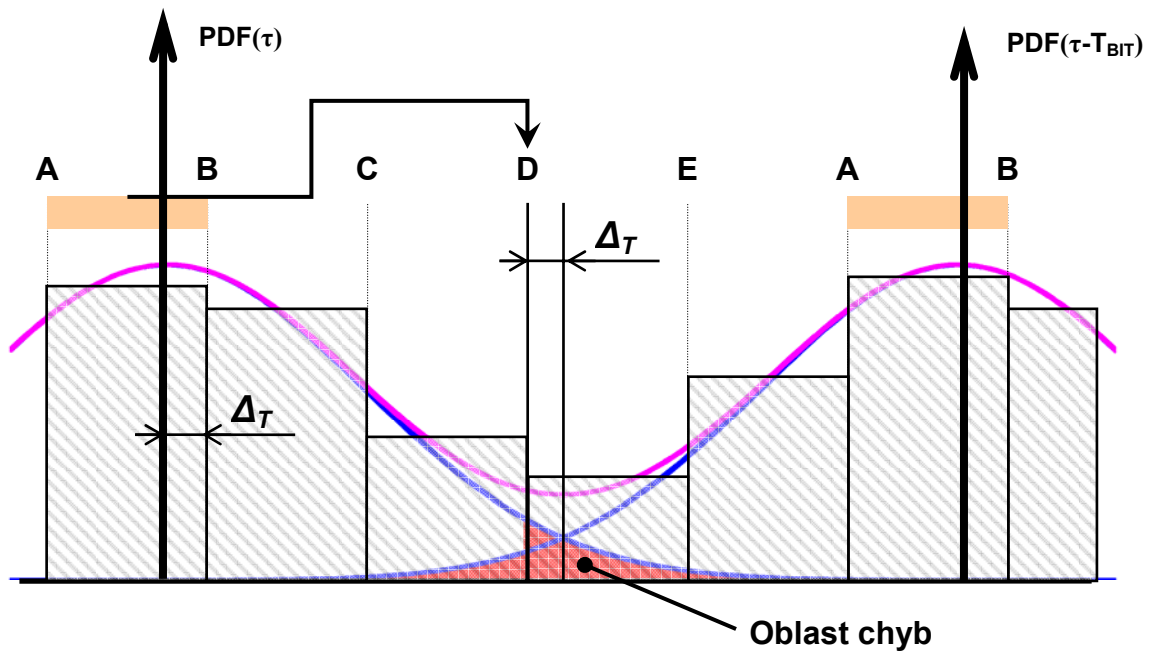
obdélníky vždy v příslušné doméně. Na základě hodnoty těchto integrálů je pak rozhodnuto o optimální vzorkovací doméně. V uvedeném případě bylo maximum integrálu pravděpodobností funkce nalezeno v doméně AB, proto byla algoritmem vybrána vzorkovací fáze C, která leží v minimu funkce $PDF_z(t)$.

K chybě při obnově datového signálu dojde, pokud bude hrana signálu vlivem jitteru posunuta ze své nominální polohy za tuto rozhodovací hranici. Pravděpodobnostní funkce ale udává rozložení rozhraní mezi bity, které nutně nemusí znamenat přítomnost hrany. Chybovost tak závisí i na hustotě hran v přenášeném datovém signálu. Vztah pro chybovost lze tedy zapsat jako

$$P_{ERR} = \rho_{EDG} \left(\int_{-\infty}^{-T_{BIT}/2} PDF(\tau) + \int_{T_{BIT}/2}^{+\infty} PDF(\tau) \right) [-], \quad (3.18)$$

kde ρ_{EDG} udává střední hustotu hran signálu (pro PRBS je to 0,5).

Pokud není fázový vztah lokálního hodinového signálu vzhledem k přijímanému signálu ideální, dojde ke zvětšení chybovosti, které ilustruje Obr. 3.22.



Obr. 3.22 Neideální poloha vzorkovacího okamžiku způsobená fázovým posunem přijímaného datového signálu vzhledem k referenčnímu hodinového signálu přijímače.

Rozhodovací okamžik (fáze vybraného vzorkovacího signálu) je v čase posunut vzhledem k ideální poloze vzorkovacího okamžiku o hodnotu Δ_T , která je v limitním případě rovna

$$\Delta_{T \max} = \frac{T_{BIT}}{2 \cdot M} [-], \quad (3.19)$$

a závisí tedy na použitém stupni převzorkování M . Z tohoto vztahu vyplývá závislost chybovosti algoritmu BO-CDR na stupni převzorkování. S rostoucí hodnotou

M klesá mezní odchylka algoritmem vybrané fáze od ideálního vzorkovacího okamžiku. Pravděpodobnost chyby pro tento případ je pak možné zapsat jako

$$P_{ERR\Delta} = \rho_{EDG} \left(\int_{-\infty}^{-T_{BIT}/2-\Delta_T} PDF(\tau) + \int_{T_{BIT}/2-\Delta_T}^{+\infty} PDF(\tau) \right) [-], \quad (3.20)$$

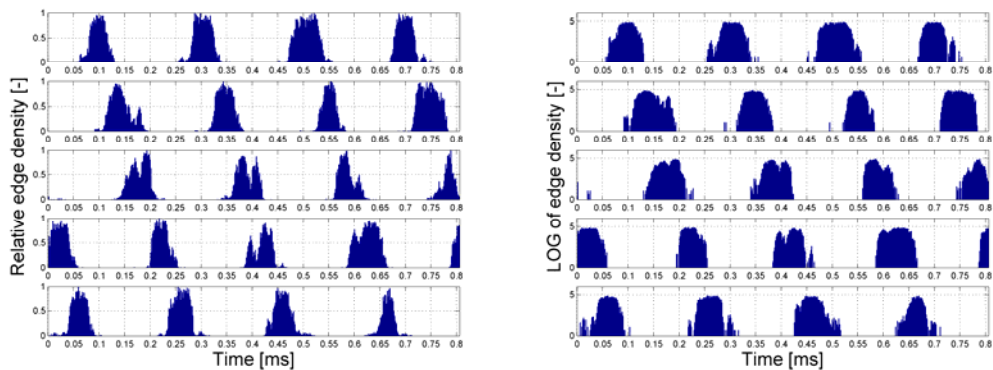
přičemž vždy platí $P_{ERR\Delta} \geq P_{ERR}$. Touto metodou lze pro známou (symetrickou) distribuci jitteru provést odhad mezní chybovosti, kterou lze stanovit pro hodnotu největší možné odchylky Δ_{Tmax} .

3.5 NOVÉ ALGORITMY BO-CDR

S cílem snížit hardwarové nároky na implementaci algoritmu volby fáze při zachování nízké chybovosti bylo v průběhu řešení disertační práce navrženo několik algoritmů, které byly průběžně testovány a optimalizovány tak, aby se dále minimalizovaly hardwarové nároky a jejich chybovost.

3.5.1 NÁVRH ALGORITMŮ

Navrhované algoritmy vycházely z hardwarově nejjednodušší varianty obvodu, tedy algoritmu DPP. V algoritmu DPP je výběr fáze prováděn ihned po zjištění nové hrany, což vede k nízké stabilitě algoritmu. Tento problém byl na počátcích studia problematiky analyzován pomocí simulačního modelu vytvořeného v jazyku VHDL-AMS v prostředí SystemVision firmy Mentor Graphics [80], který se ale ukázal nevhodný pro samotný proces optimalizace (příliš dlouhá doba simulace a omezení použitého programu z hlediska strukturální implementace jednotlivých simulovaných bloků). Proto bylo přistoupeno k optimalizaci algoritmů na bázi obvodů FPGA.

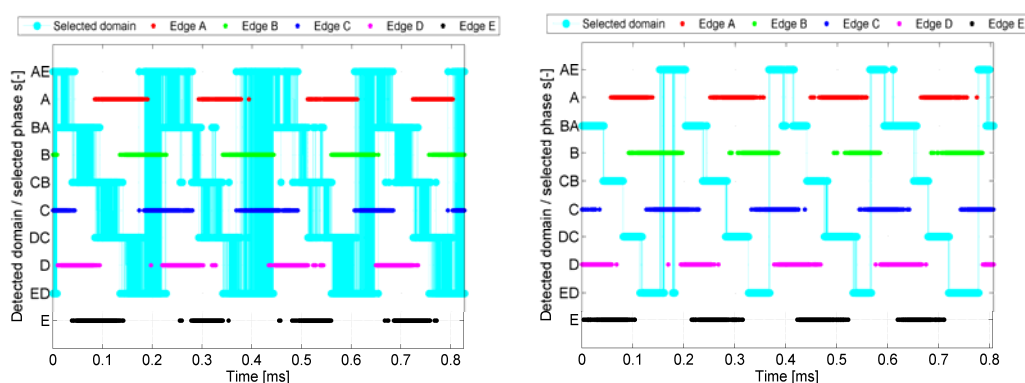


Obr. 3.23 Typická distribuce detekovaných hran mezi pěti doménami v lineárním a logaritmickém měřítku. (Rozdíl frekvencí vysílače a přijímače (4,9 kHz / 31 ppm) představuje dominantní jev rovnoměrného pohybu maxima distribuce mezi doménami.)

Výchozím bodem pro vývoj nových algoritmů tedy byla analýza chování algoritmů DPP a MV v reálných podmínkách. Pro tuto analýzu byla provedena měření, která zachycují chování těchto algoritmů v čase v závislosti na výstupu bloku detekce hran. K tomu sloužil specializovaný blok pro sběr dat implementovaný v obvodu FPGA (Blok sledování algoritmu CDR; Obr. 4.2), který je schopen zachytit časový průběh

výstupu detektoru hran a k němu odpovídající výstup bloku výběru fáze. Typické průběhy četnosti hran jsou zobrazeny na Obr. 3.23 v lineárním a logaritmickém měřítku. Je z nich dobře patrný trend posunu optimální vzorkovací fáze mezi doménami, který sleduje rozdíl frekvencí referenčních signálu vysílače a přijímače. Je zde patrný také vysokofrekvenční jitter, který způsobuje současnou detekci hran více doménami. Jitter středních frekvencí se projevuje jako krátkodobé snížení nebo zvýšení hustoty pravděpodobnosti nezávislé na dominantním trendu daném rozdílem frekvencí.

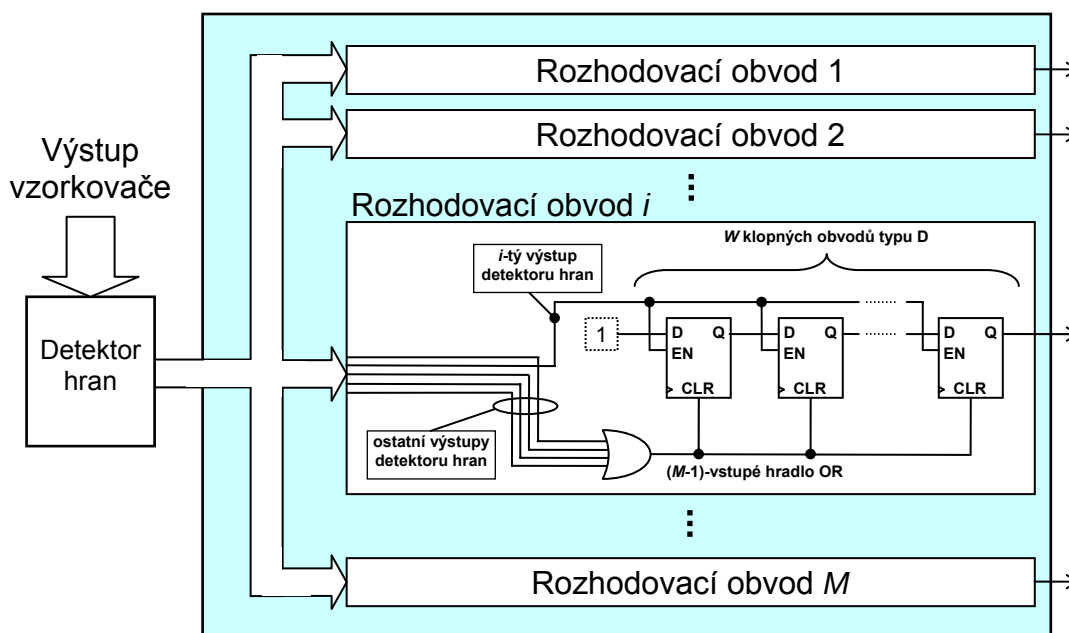
Nestabilita algoritmu DPP je dobře patrná z Obr. 3.24, který ukazuje distribuci detekovaných hran v přijímaném signálu spolu s výstupem bloku výběru fáze. Ten sleduje vysokofrekvenční jitter, který zapříčiňuje poměrně vysokou chybovost obvodů BO-CDR s tímto algoritmem. Naproti tomu algoritmus majoritní volby (Obr. 3.24 vpravo) dokáže sledovat nízkofrekvenční jitter a vysokofrekvenční jitter přitom odstranit. Tím dochází k výraznému snížení chybovosti.



Obr. 3.24 Výběr fáze algoritmem DPP (vlevo) a MV ($W=12$) v reálných podmínkách (měření provedeno s využitím měřicího systému popsáno v kapitole 4).

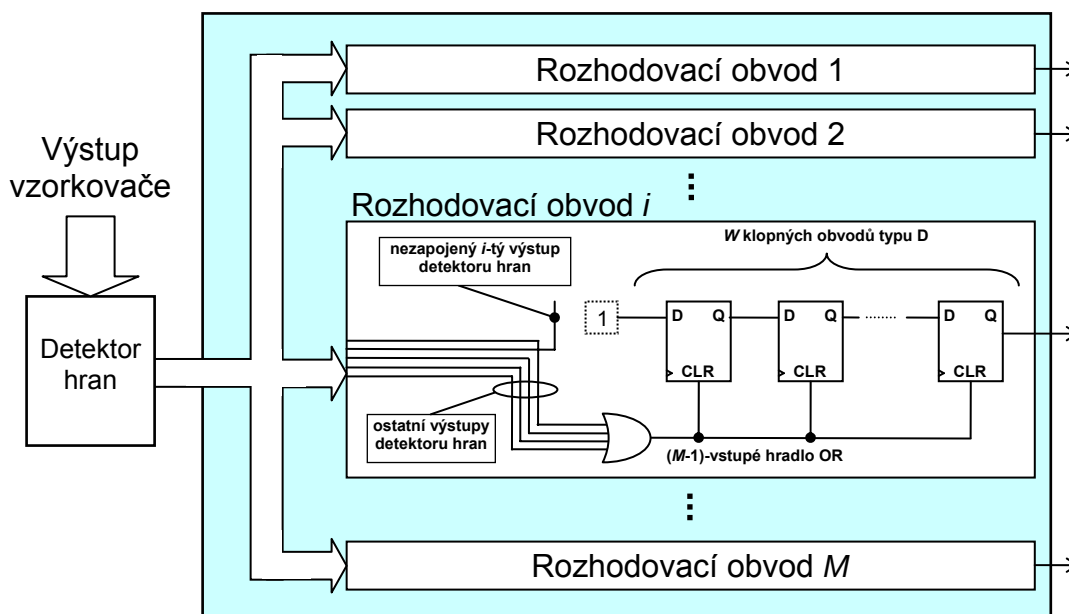
Pro výběr fáze v nových verzích algoritmů byly stanoveny podmínky, které musí být splněny, aby došlo k aktualizaci vybrané fáze. Ty měly být velmi jednoduché pro implementaci a přitom dosáhnout efektu filtrace jitteru algoritmu MV. Z navržených variant vykazovaly v tomto směru nejlepší vlastnosti dva algoritmy, při vývoji označené jako Cent a S2par. V případě algoritmu S2par je podmínka stanovena tak, že ve W po sobě jdoucích bitech musí být detekována hrana právě v jedné vzorkovací doméně. Následně je vybrána jako platná vzorkovací fáze protější k této doméně. Algoritmus Cent má odlišnou podmínku pro aktualizaci fáze. V tomto případě k aktualizaci dojde, jakmile je detekováno W po sobě jdoucích hran ve stejné doméně, k níž je následně vybrána nová platná fáze vzorkovacího signálu. Oba algoritmy se přístupem blíží algoritmu MV, avšak jejich rozhodovací obvod je mnohem jednodušší.

3.5.2 FYZICKÁ IMPLEMENTACE ALGORITMŮ



Obr. 3.25 Blokové schéma implementace algoritmu **Ccnt** (realizace posuvným registrem).

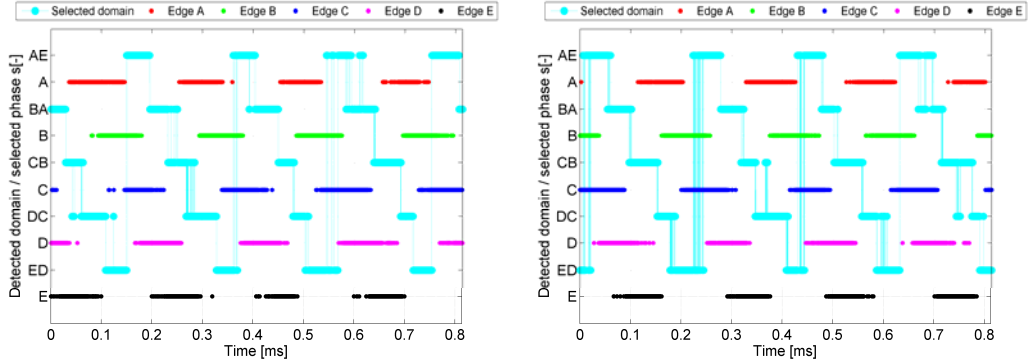
Velmi jednoduchá realizace obou navržených algoritmů je patrná z Obr. 3.25 a Obr. 3.26. Blok výběru fáze je tvořen v obou případech M rozhodovacími bloky, z nichž každý je tvořen celkem W klopnými obvody a jediným logickým členem OR s $M - 1$ vstupy. Klopné obvody pro algoritmus S2par jsou typu D s nulujícím vstupem, algoritmus Ccnt vyžaduje použití poněkud složitějších klopných obvodů, které mají navíc vstup povolující jejich funkci (EN; Enable). Tato velmi jednoduchá struktura, která neobsahuje složité kombinační obvody, umožňuje dosáhnout velmi vysokých pracovních kmitočtů a tedy vysokých přenosových rychlostí, které je celý obvod BO-CDR schopen zpracovat.



Obr. 3.26 Blokové schéma implementace algoritmu **S2par** (realizace posuvným registrem).

3.5.3 STANOVENÍ CITLIVOSTI ALGORITMŮ NA JITTER

Vliv jitteru na volbu fáze (při stejném kvalitě vstupního signálu jako na Obr. 3.24) je pro tyto algoritmy zobrazen na Obr. 3.27. Oba algoritmy mají nízkou citlivost na vysokofrekvenční jitter, stejně jako je tomu u algoritmu MV.



Obr. 3.27 Výběr fáze algoritmem S2par ($W=12$; vlevo) a Ccnt ($W=5$) v reálných podmínkách.

Pro oba algoritmy lze stanovit teoretickou citlivost na sinusový jitter. Během doby rozhodování musí patřit v obou případech všechny detekované hrany do stejné domény, jinak nemůže dojít k novému rozhodnutí. Tím je zavedena přísnější podmínka pro maximální rychlost změny fáze mezi dvěma po sobě jdoucími rozhodnutími pro sinusový jitter na krok pouze $1/M$. Rychlejší změna je považována za vysokofrekvenční jitter. Mezní změna fáze je tedy

$$\Delta_{DOM} = \frac{1}{M} \cdot T_{bit} = \frac{1}{M \cdot f_{bit}} \text{ [s]} \quad (3.21)$$

a odtud mezní amplituda jitteru na dané frekvenci

$$A_{j[UI_{p-p}]} = \frac{1}{M} \cdot \frac{1}{\sin\left(N_B \cdot \pi \cdot \frac{f_j}{f_{bit}}\right)} [UI_{p-p}], \quad (3.22)$$

kde N_B je mezní počet přenesených bitů mezi dvěma po sobě jdoucími rozhodnutími o změně fáze vzorkovacího signálu. Ten se pro algoritmy Ccnt a S2par liší, pro oba je ale závislý na hustotě hran v přijímaném signálu.

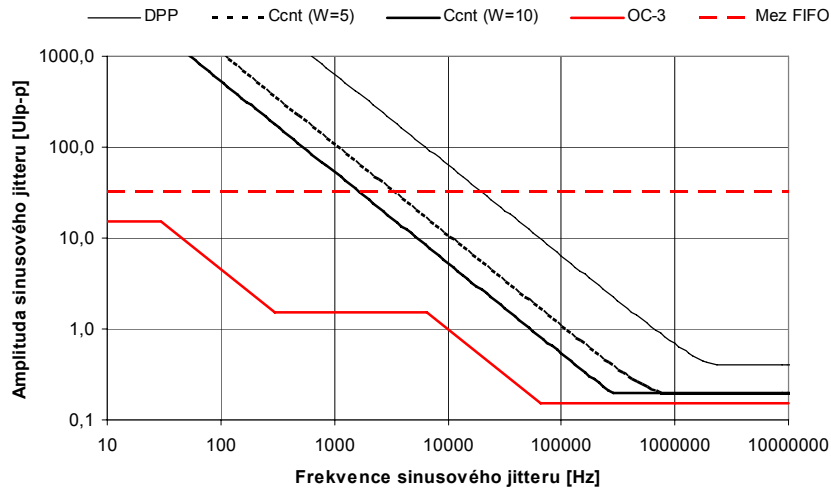
Algoritmus Ccnt vyžaduje pro změnu fáze detekovat W po sobě jdoucích hran ve stejné doméně. Pro posloupnosti PRBS byly nalezeny úseky, v nichž mají tyto posloupnosti nejmenší hustotu hran (Tab. 3.3). Jsou to tedy nejdelsí intervaly, ve kterých je v datovém signálu právě jen W hran.

Pomocí hodnot v Tab. 3.3 lze pro daný parametr W a vybranou datovou posloupnost stanovit mezní citlivost na sinusový jitter. Ta je graficky znázorněna na Obr. 3.28, kde je patrné výrazné zvýšení citlivosti pro nízké i vysoké kmitočty jitteru.

Tab. 3.3 Úseky s minimální hustotou hran posloupností PRBS.s

datová posloupnost	Nejdelší úsek posloupnosti (hodnota N_B pro Cent) s daný počet hran (W)									
	1	2	3	4	5	6	7	8	9	10
PRBS 7	7	12	14	17	21	23	25	27	28	30
PRBS 23	23	41	46	59	69	77	82	87	92	97
PRBS 31	31	59	62	87	93	115	118	121	124	143

Pro algoritmus S2par opět nesmí dojít ke změně fáze větší, než $1/M$ UI, za dobu přenosu W bitů. Pokud je parametr W menší, než maximální vzdálenost dvojice hran v přenášené datové posloupnosti (největší počet CID posloupnosti), je mezní citlivost algoritmu stejná, jako citlivost algoritmu DPP. Pokud je W větší, než mezní počet CID, je maximální změna fáze rovna nejbližší větší délce úseku posloupnosti s nejmenší hustotou hran. Pokud je tedy zvoleno $W=48$ pro posloupnost PRBS 23, lze z tabulky Tab. 3.3 zjistit nejbližší delší úsek posloupnosti s minimální hustotou hran 59 bitů (pro 4 hrany). V takovém případě odpovídá citlivost algoritmu S2par obvodu s algoritmem Ccnt s parametrem W odpovídajícím počtu hran v nejdelší posloupnosti CID (v tomto případě 4).


Obr. 3.28 Teoretická citlivost obvodu BO-CDR s algoritmem Ccnt na sinusový jitter pro posloupnosti PRBS $2^{31} - 1$ a stupeň převzorkování $M=5$.

Pro odhad chybovosti v případě spolupůsobení náhodného a deterministického jitteru budeme předpokládat, že jednotlivé vzorkovací domény mají své středy v místě hran signálu. Po přijetí W_N bitů vybere obvod volby fáze i -tou doménu s pravděpodobností P_{Di} , tj. $\sum P_{Di} = 1$. Chybovost lze potom odhadnout jako

$$BER \approx \frac{1}{W_N} \sum_{i=-(M-1)/2}^{(M-1)/2} P_{Di} \left(\sum_{j=1}^{W_N} P_{ERR} \left(T(1/2 + i/M) + \Delta t(j) \right) \right) [-], \quad (3.23)$$

Ve vztahu je zahrnut empirický člen Δt , který charakterizuje úzkopásmový jitter a drift frekvence, které pro větší hodnoty W_N nejsou zanedbatelné. Přibližná aproximace

$$\Delta t(j) = j(\Delta f / f) [UI] [-] \quad (3.24)$$

bere v úvahu rozdíl frekvencí referenčních hodinových signálů vysílače a přijímače. Jakmile dojde k detekci W po sobě jdoucích hran ve stejné doméně, je algoritmem učiněno rozhodnutí o změně fáze. Podmíněná pravděpodobnost detekce hrany v i -té doméně (v případě, že se hrana v datovém signálu vyskytne) je

$$P_i = \int_{T/M(i-1/2)}^{T/M(i+1/2)} PDF(\tau) d\tau \quad [-]. \quad (3.25)$$

V případě statistické nezávislosti detekovaných hran je pravděpodobnost, že všechny po sobě jdoucí hrany budou patřit do stejné domény rovna

$$P_{wi} = (P_i)^W \quad [-]. \quad (3.26)$$

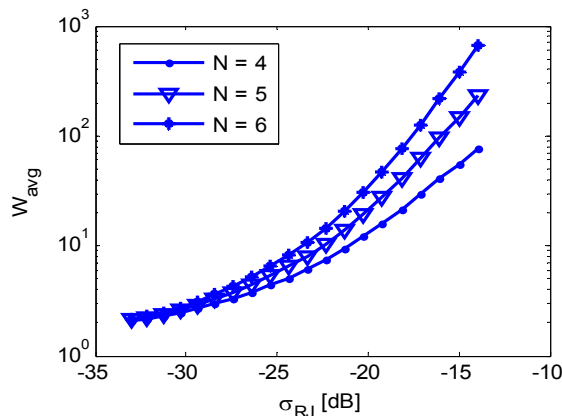
Podmíněná pravděpodobnost výběru i -té domény (v případě, že je učiněno rozhodnutí) je

$$P_{Di} = P_{wi} / \sum P_{wi} \quad [-]. \quad (3.27)$$

Jelikož lze proces rozhodování popsat Poissonovým rozložením hustoty pravděpodobnosti, je průměrný počet bitů přijatých mezi rozhodnutími (průměrná délka rozhodovacího okna)

$$W_N \approx 2 / \sum P_{wi} \quad [-] \quad (3.28)$$

pro pravděpodobnost hrany 0,5. Průměrná délka rozhodovacího okna závisí na množství jitteru v signálu. Pro malý jitter hodnota W_N konverguje k hodnotě W . S rostoucím jitterem hodnota W_N roste Obr. 3.29. Z toho vyplývá, že existuje optimální hodnota parametru W . Pro malou hodnotu parametru dochází k příliš malé filtraci údajů o fázi signálu, při velké hodnotě parametru je omezena schopnost algoritmu sledovat změny fáze, neboť rozhodovací okno W_N rychle roste.



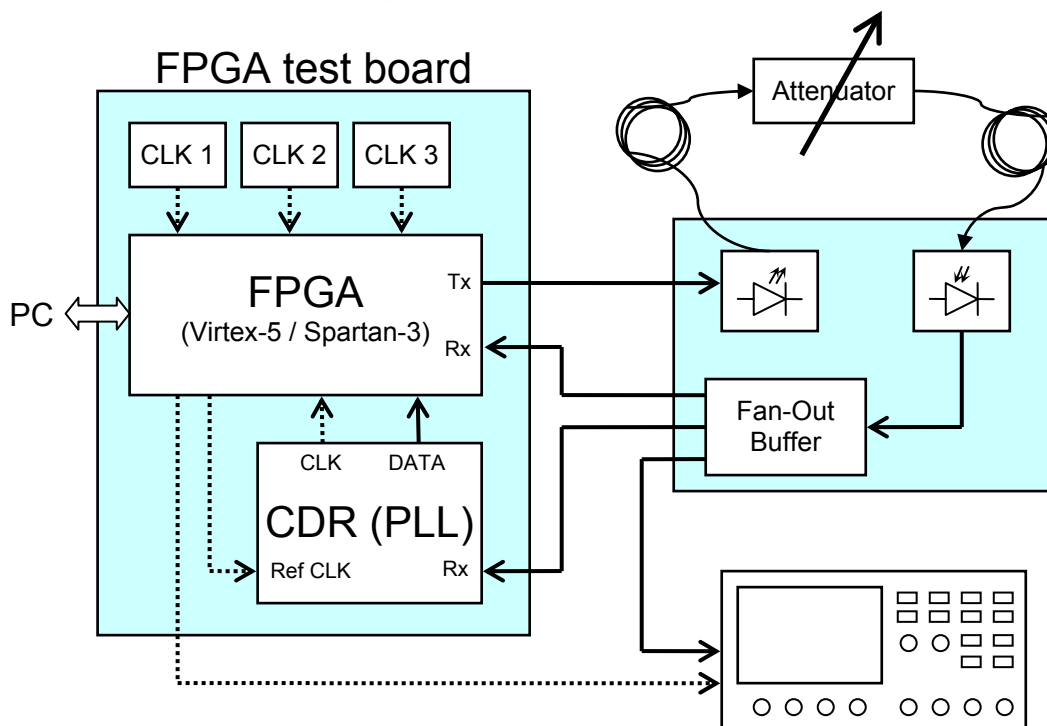
Obr. 3.29 Střední délka rozhodovacího okna W_N ($d=0,1$ UI, $M=5$)

Výsledky uvedené v této kapitoly byly publikovány na mezinárodní konferenci MWSCAS 2009 v Mexiku [104].

4 Optimalizace algoritmů BO-CDR

Dva nově vyvinuté algoritmy pro výběr optimální fáze obvodu BO-CDR byly nalezeny výběrem z několika empiricky navržených řešení a pro proces jejich optimalizaci byla zvolena implementace do obvodu FPGA s následným testováním algoritmů na laboratorním optickém spoji.

Blokové schéma měřicí aparatury je na obr. 4.1.



Obr. 4.1 Blokové schéma zapojení aparatury pro měření chybovosti obvodů CDR.

Zkoumané algoritmy BO-CDR jsou implementovány v obvodu FPGA na testovací desce. Obvod zároveň složí jako generátor volitelného testovacího signálu (pseudonáhodných posloupností) a měřič chybovosti (BERT; Bit Error Rate Tester) propojený s řídicím PC (Obr. 4.2). Datový signál je převeden z elektrické podoby do optické a vyslán na zkušební linku. Ta má nastavitelný útlum a umožňuje tak měřit parametry obvodů při různém poměru signálu k šumu, tedy při různé úrovni jitteru. Po zpětné konverzi optického signálu do elektrické podoby je signál rozdělen, což umožňuje současné porovnání obvodů BO-CDR s obvody CDR založenými na PLL a zároveň sledovat přijímaný signál na osciloskopu.

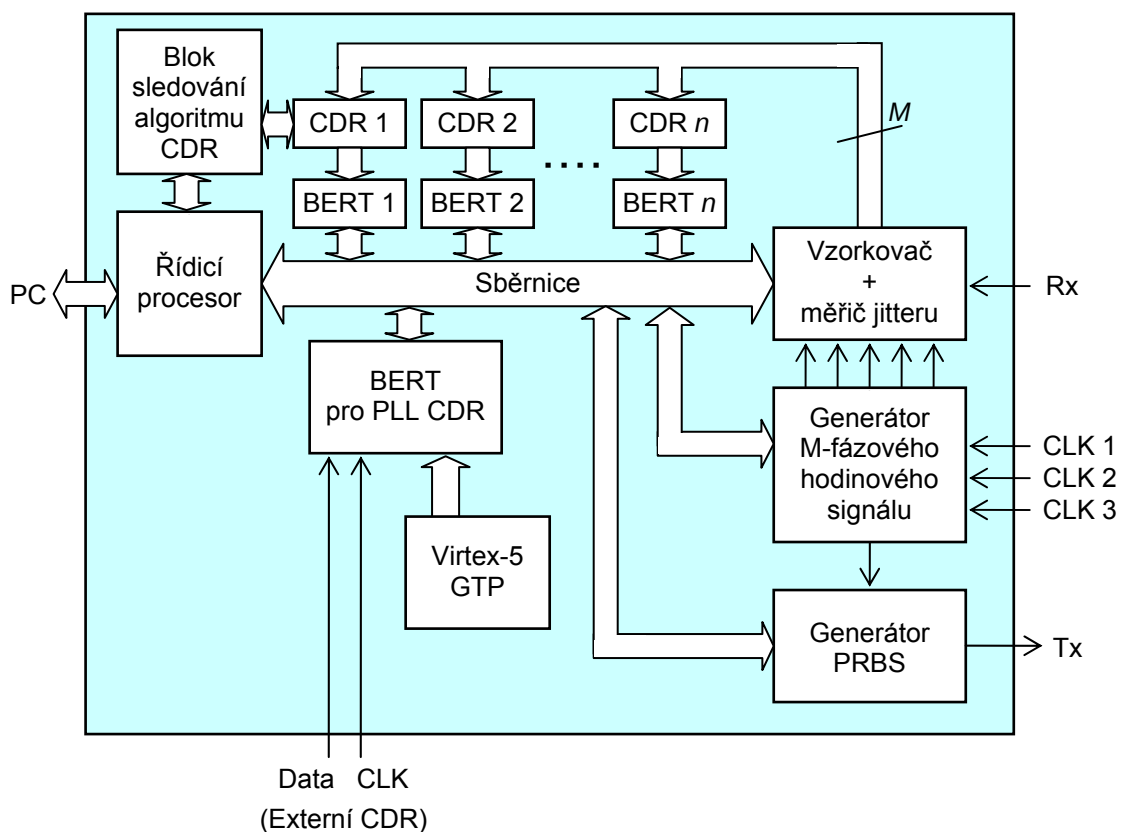
V obvodu FPGA je implementováno vždy několik obvodů BO-CDR (CDR 1 až CDR n), které jsou současně porovnávány. Všechny tyto obvody mají společný jediný vícefázový vzorkovač, což zajišťuje dokonale stejné podmínky pro všechny testované obvody (pro všechna měření byl použit stupeň převzorkování $M=5$). Rozdíly v chybovosti mezi jednotlivými obvody tak mohou být způsobeny pouze rozdílným

algoritmem použitým pro výběr fáze. Každý obvod CDR má vlastní blok pro měření chybovosti (BERT) připojený na hlavní sběrnici řídicího procesoru.

K jednomu z obvodů CDR (lze zvolit) je možné připojit blok sledování algoritmu CDR, kterým je možné zachytit průběhy uvedené na Obr. 3.24 a Obr. 3.27. Tento blok slouží pro vizualizaci chování algoritmu.

Pro možnost srovnání obvodů BO-CDR s obvody CDR založenými na fázovém závěsu byl do obvodu FPGA implementován další blok pro měření chybovosti (BERT pro PLL CDR). V případě obvodu Virtex-5 měří tento blok chybovost hardwarového transceiveru GTP implementovaného přímo na čipu obvodu. Obvod Spartan-3 nedisponuje podobnými transceivery; pokud je v cílové aplikaci tento blok potřebný, je nutné jej realizovat samostatným obvodem (ASSP). Pro možnost porovnání vlastností této varianty byl k obvodu FPGA do měřicího systému implementován samostatný obvod CDR založený na PLL, typ SY87700 firmy Micrel [35]. Základní testovací platformu založenou na obvodu Spartan-3 tvořil měřič chybovosti vyvinutý pro měření chybovosti bezkabelových optických spojů ([81], [91]). Testovací sestava s obvodem Virtex-5 byla založena na vývojové desce ML-505 firmy Xilinx [95].

Virtex-5 / Spartan-3 FPGA



Obr. 4.2 Zjednodušené blokové schéma implementace měřicího subsystému v FPGA.

Vstupní vzorkovač obsahuje nově vyvinutý blok pro měření jitteru (viz kapitola 5), který dovoluje velmi přesně stanovit charakteristiku kanálu. Porovnání obvodů CDR je tak podloženo charakteristikou vstupního signálu, což opět zvyšuje reprodukovatelnost výsledků.

Referenční signál generátoru vícefázového signálu je možné zvolit ze tří nezávislých oscilátorů a simulovat tak reálné podmínky. První hodinový signál je totožný s referenčním hodinovým signálem vysílače. Při jeho použití je simulován synchronní systém, jehož hodinové signály vysílače i přijímače jsou totožné, ale jejich fázový vztah není přesně znám. S takovým uspořádáním je možné se setkat ve složitějších systémech, kde je sériovými linkami propojeno více součástek nebo celých funkčních celků (propojení backplane).

Druhý referenční zdroj hodinového signálu má stejný nominální kmitočet, jako hodinový signál vysílače, ale je odvozen z nezávislého oscilátoru. Jejich frekvence se tak nepatrně liší; během měření byly sledovány změny v rozsahu 4,6 až 5,2 kHz na frekvenci 155,52 MHz, což představuje relativní odchylku přibližně 29–34 ppm (parts per million). Toto uspořádání představuje nejběžněji používaný typ sériového asynchronního spoje, realizovaného například optickými (vláknovými nebo atmosférickými) spoji.

Třetím referenčním zdrojem byl hodinový signál s nominálním kmitočtem mírně odlišným od kmitočtu vysílače. Odchylka byla v tomto případě větší, přibližně 78 kHz na kmitočtu 155,52 MHz, tedy asi 500 ppm. Tímto signálem je možné stanovit citlivost obvodu na přesnost referenčního hodinového signálu. Velký rozdíl kmitočtu referenčního signálu od frekvence datového signálu vede ke snížení tolerance obvodu na jitter [18].

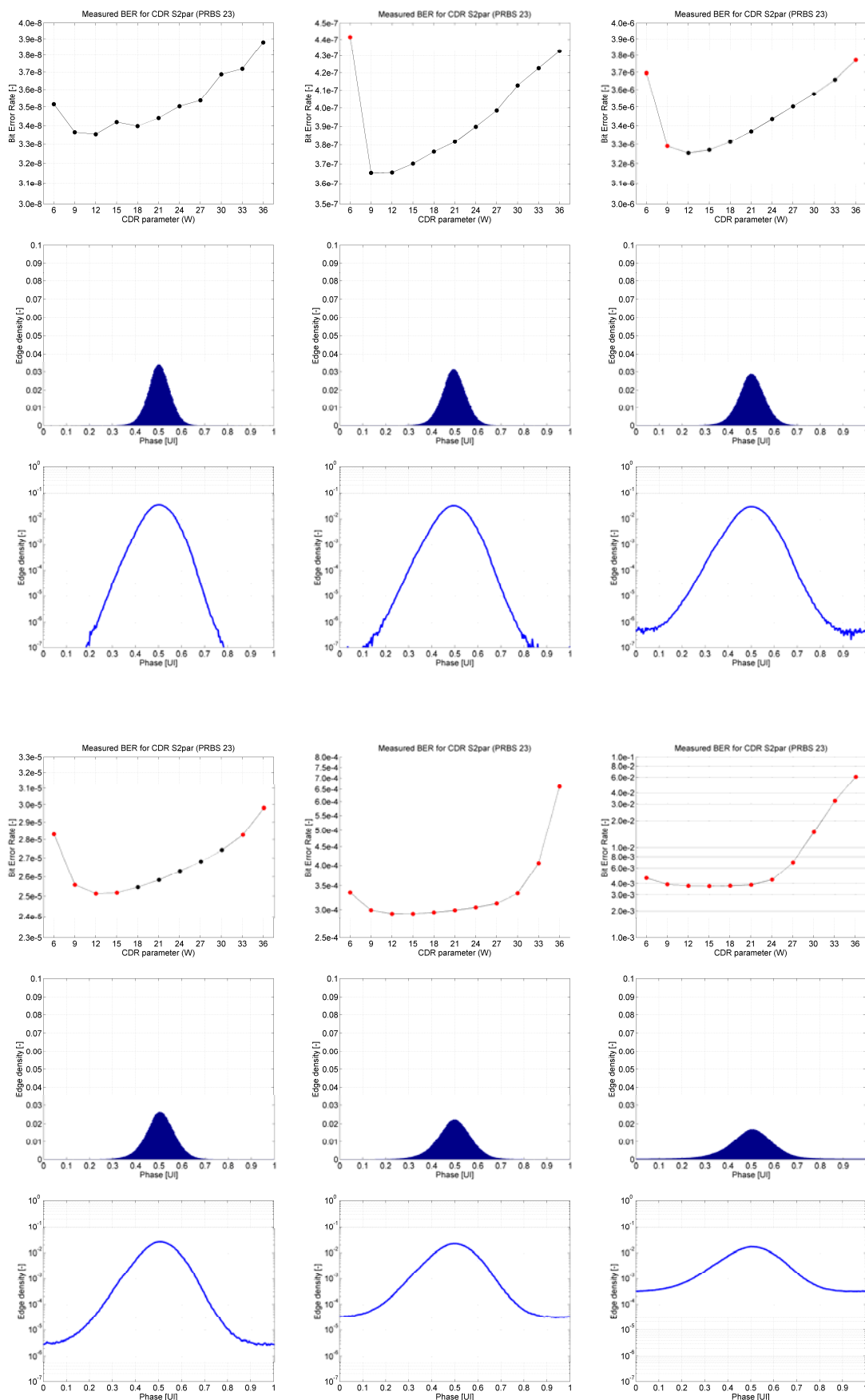
Pokud nebude uvedeno jinak, jsou všechna měření v této kapitole provedena pro druhou variantu uspořádání hodinových signálů, tedy rozdíl frekvencí vysílače a přijímače přibližně 30 ppm.

4.2 OPTIMALIZACE ALGORITMU S2PAR

Algoritmus S2par má jeden volitelný parametr W , který ovlivňuje jeho vlastnosti z hlediska tolerance jitteru a hardwarových nároků. Pro volbu optimální hodnoty parametru bylo paralelně měřeno celkem 12 implementací obvodu BO-CDR s algoritmem S2par, přičemž každý z těchto obvodů měl jinak nastavený parametr W . Měření bylo provedeno pro několik úrovní přijímaného signálu. Výsledky jsou zobrazeny na Obr. 4.3 spolu s příslušnými histogramy jitteru přijímaného signálu v lineárním a semilogaritmickém zobrazení.

Použití histogramů pro srovnání změřených chybovostí bylo nezbytné, neboť jitter přítomný v přijímaném signálu neměl čistě náhodný charakter, který by bylo možné plně charakterizovat jeho efektivní hodnotou (směrodatnou odchylkou).

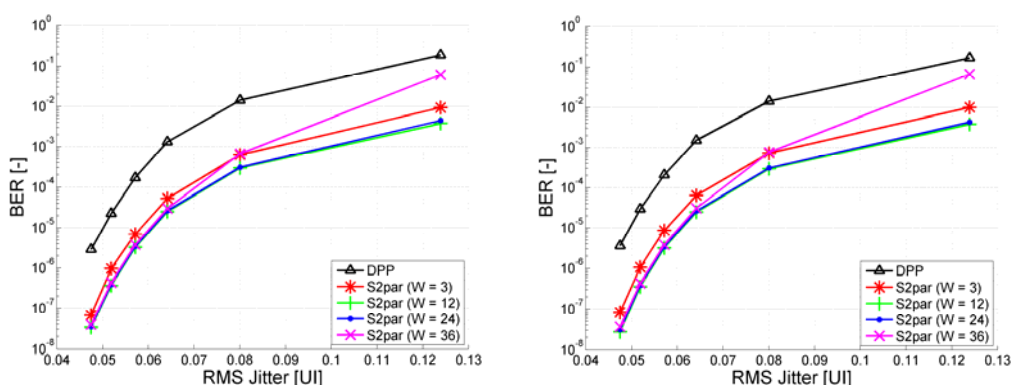
Vzhledem k použité metodě měření jsou veškeré rozdíly chybovosti mezi jednotlivými implementacemi způsobeny výhradně odlišným algoritmem použitým pro výběr fáze, v tomto případě se liší hodnotu parametru W . Tak lze jednoznačně stanovit, jaká hodnota parametru je vhodná pro minimalizaci chybovosti. Z grafů je patrné, že z hlediska minimální chybovosti je optimální hodnota $W=12$.



Obr. 4.3 Vliv parametru W algoritmu S2par na chybovost pro různé rozložení jitteru ve vstupním signálu (efektivní hodnota jitteru 0,048 UI; 0,052 UI; 0,057 UI; 0,064 UI; 0,080 UI; 0,124 UI).

Body v grafech chybovosti vyznačené červeně indikují tzv. chyby rámcové synchronizace, tedy stav, kdy blok extrakce bitů nedokázal na základě výstupu bloku výběru fáze korektně rozhodnout o správném počtu bitů, které mají být obnoveny. Tím došlo k vložení přebytných bitů do obnoveného datového signálu, nebo naopak k jejich vynechání. Chyby tohoto druhu (na rozdíl od nesprávného rozhodnutí o hodnotě bitu) nemohou být odstraněny běžným protichybovým zabezpečením, které předpokládá korektní počet přijatých bitů v každém bloku dat.

V případě kontinuálního přenosu dat dojde při takové chybě k trvalému narušení dat od okamžiku výskytu chyby. Jedinou možností odstranění této vlivu chyby je obnovení rámcové synchronizace (například vysláním synchronizační sekvence). V případě rámcového přenosu dat má taková chyba vliv pouze na jeden rámec, ve kterém vznikla. Další rámce již ovlivněny nejsou, neboť na svém začátku zpravidla obsahují vlastní synchronizační sekvenci. Z tohoto pohledu je vhodnější použít například parametr $W=24$, který je schopen bez rámcových chyb zpracovat i méně kvalitní signál, přičemž nárůst bitové chybovosti není velký (přibližně 6 %).



Obr. 4.4 Chybovost obvodu BO-CDR s algoritmem výběru fáze S2par pro různé hodnoty parametru W . Vlevo měření s posloupností PRBS $2^{23} - 1$, vpravo měření s posloupností PRBS $2^7 - 1$.

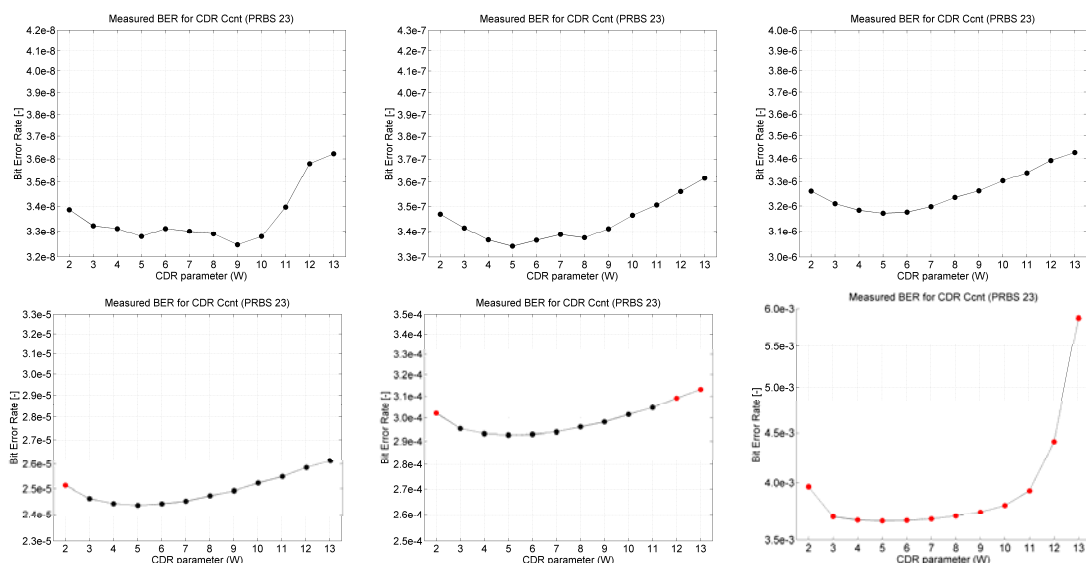
Ze srovnání změřených výsledků na Obr. 4.4 je velmi dobře patrné, že nově vyvinutý algoritmus dosahuje chybovosti téměř o 2 řády menší, než algoritmus přímé volby fáze (DPP). Dále je vidět, algoritmus S2par pro vyšší hodnoty parametru W při poměrně dobré kvalitě signálu (malý jitter) dosahuje nízké chybovosti, pro nekvalitní signál ale dochází k výraznému zhoršení vlastností a chybovost se blíží algoritmu přímé volby. Rozdíl mezi posloupnostmi PRBS $2^{23} - 1$ a PRBS $2^7 - 1$ je zcela zanedbatelný.

4.3 OPTIMALIZACE ALGORITMU CCNT

Stejný postup optimalizace, jako v případě algoritmu S2par, byl zvolen pro algoritmus Ccnt. Výsledky měření jsou uvedeny na Obr. 4.5 již bez příslušných histogramů, které ale přesně odpovídají histogramům uvedeným v Obr. 4.3 pro algoritmus S2par.

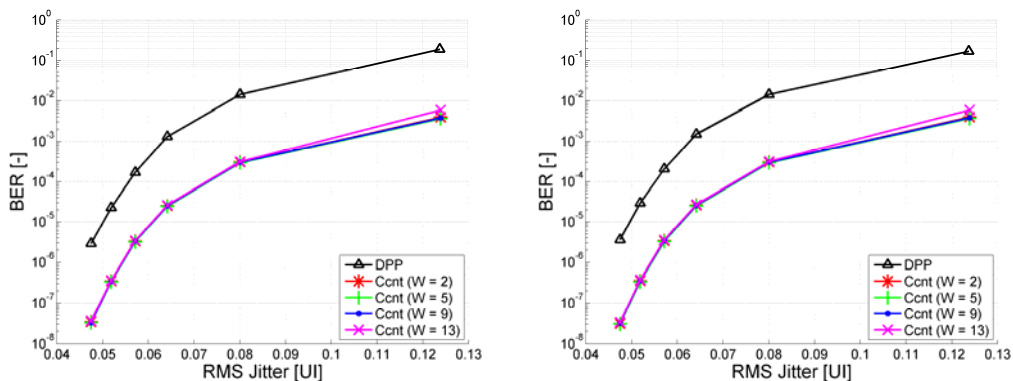
I v tomto případě se projevila závislost chybovosti obvodu BO-CDR na parametru W . Optimum z hlediska chybovosti bylo v tomto případě stanoveno pro $W=5$, přičemž při této hodnotě dochází k chybám rámcové synchronizace až pro nejméně

kvalitním přijímaný signál, kde již žádný ze zkoumaných obvodů nebyl schopen zaručit korektní synchronizaci.



Obr. 4.5 Vliv parametru W algoritmu Ccnt na chybovost pro různé rozložení jitteru ve vstupním signálu.

Porovnání závislosti chybovosti obvodu BO-CDR s algoritmem Ccnt pro různé hodnoty parametru W s algoritmem DPP je na Obr. 4.6. Pokles chybovosti je opět téměř o dva řády a to již pro hodnotu parametru $W=2$. Podobně, jako v případě algoritmu S2par, je chybovost algoritmu pro velké hodnoty W při nízké kvalitě vstupního signálu poněkud vyšší.



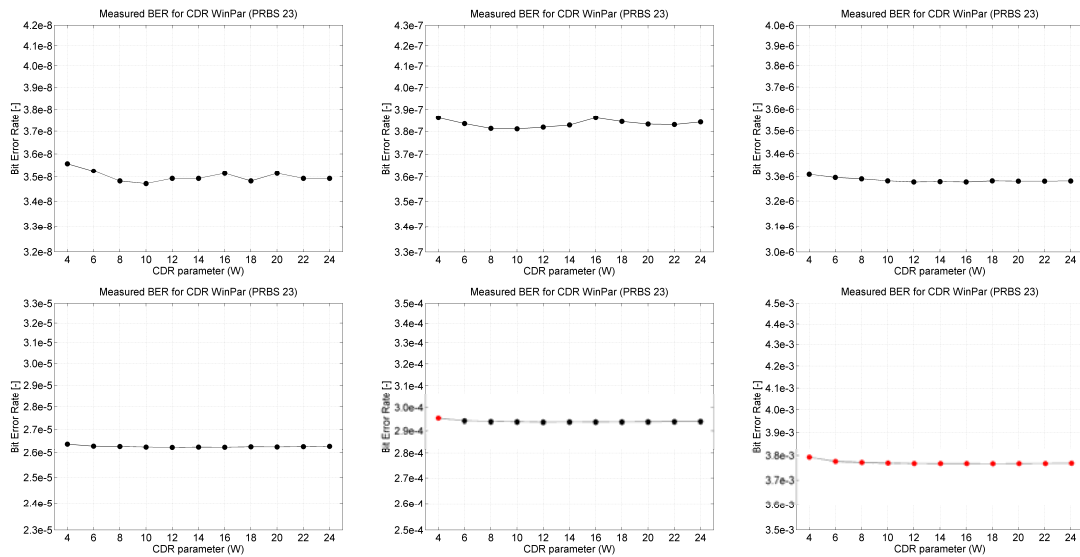
Obr. 4.6 Chybovost obvodu BO-CDR s algoritmem výběru fáze Ccnt pro různé hodnoty parametru W . Vlevo měření s posloupností PRBS $2^{23} - 1$, vpravo měření s posloupností PRBS $2^7 - 1$.

Obvody BO-CDR běžně obsahují zpožďovací posuvné registry, které kompenzují zpoždění algoritmu výběru fáze (Obr. 3.12). V případě algoritmu Ccnt ale toto zpoždění závisí na okamžité hustotě hran v signálu. Bylo tedy rozhodnuto určit tuto dobu experimentálně pro několik různých posloupností s různou hustotou hran. Měření ale ukázala, že zpoždění bloku výběru fáze je zcela zanedbatelné vzhledem k rychlosti změn fáze přijímaného signálu. Úplným vynecháním posuvného registru zůstala chybovost obvodu nezměněna. Tento důležitý poznatek vede k dalšímu zjednodušení implementace obvodu BO-CDR (zmenšení počtu klopných obvodů o několik desítek).

Tento poznatek byl zpětně ověřen i pro obvod s algoritmem S2par, kde bylo dosaženo stejných závěrů a posuvný registr byl vynechán i v tomto případě.

4.4 OPTIMALIZACE ALGORITMU MAJORITNÍ VOLBY

Aby byla analýza obvodů BO-CDR kompletní, byla na měřicím systému provedena také optimalizace algoritmu MV z hlediska optimální volby parametru W . U tohoto obvodu je parametr W roven počtu osmibitových oken, nad kterým je prováděna majoritní volba [30].



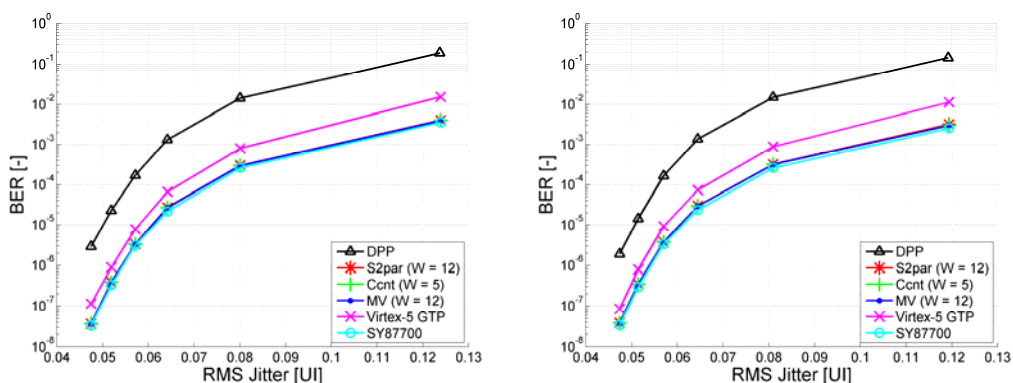
Obr. 4.7 Vliv parametru W algoritmu majoritní volby na chybovost pro různé rozložení jitteru ve vstupním signálu.

Měření ukázala, že citlivost algoritmu na hodnotu parametru je velmi nízká (Obr. 4.7). Jako optimální hodnota tak může být zvolena prakticky kterákoliv z použité série, vyjma hodnoty $W=4$, pro kterou algoritmus projevil vyšší náchylnost na chyby rámcové synchronizace. Jako kompromis mezi nároky na implementaci a odolností na jitter tak byl pro srovnání chybovosti s dalšími obvody vybrán parametr $W=12$. V literatuře ([18], [30]) se lze častěji setkat s hodnotou $W=3$, která je kompromisem mezi složitostí rozhodovacího obvodu a dosahovanou chybovostí. V tomto případě je vidět, že zvýšení chybovosti použitím menší hodnoty parametru W není markantní, přesto bylo rozhodnuto o implementaci varianty s minimální chybovostí, jak tomu bylo pro algoritmy Cent a S2par.

4.5 POROVNÁNÍ CHYBOVOSTI A NÁROKŮ NA IMPLEMENTACI OBVODŮ CDR

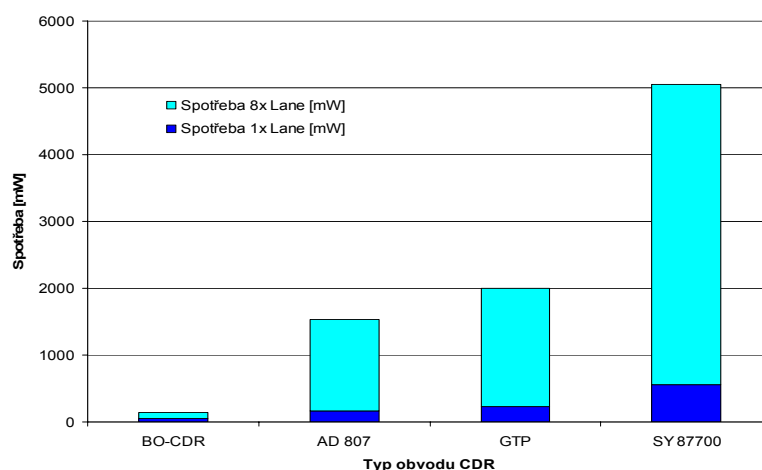
Výsledné srovnání obvodů CDR z hlediska chybovosti je uvedeno na Obr. 4.8. Obvod s algoritmem DPP vykazuje ve srovnání s ostatními testovanými obvody nejvyšší chybovost v celém zkoumaném rozsahu hodnot. Poměrně vysokou chybovost vykazoval oproti očekávání také obvod CDR, který je součástí HW transceiveru GTP

obvodu Virtex-5. Ten je založen na smyčce fázového závěsu, ale vzhledem k poměrně nízké přenosové rychlosti pracuje v kombinovaném režimu, který je použit a nastaven automaticky, bez zásahu uživatele (fyzická vrstva je nastavena na přenosovou rychlost odpovídající pětinásobku skutečné rychlosti a výstup vzorkovače je podroben extrakci dat tak, jak je tomu zvykem u obvodů BO-CDR). Nově navržené obvody BO-CDR pro optimální hodnoty parametrů W vykazují stejnou chybovost, jako běžně používaný algoritmus MV. Tyto optimální algoritmy BO-CDR chybovostí prakticky odpovídají obvodu SY87700 [35] s fázovým závěsem. Vliv odchylky referenčních kmitočtů vysílače a přijímače je opět zanedbatelný.



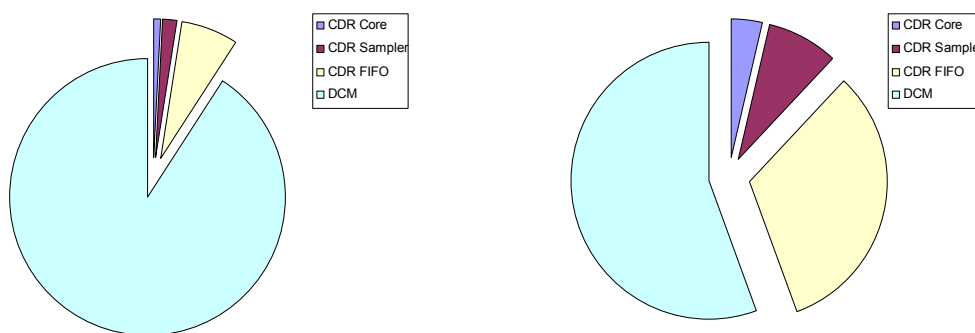
Obr. 4.8 Srovnání chybovosti jednotlivých testovaných variant obvodu CDR pro rozdíl referenčních frekvencí vysílače a přijímače 30 ppm (vlevo) a 500 ppm (testovací posloupnost PRBS $2^{23} - 1$).

Chybovost však není jediné hledisko, které je třeba při implementaci uvažovat. Jak bylo uvedeno v kapitole 2.2.3, je třeba se zaměřit také na cenu, spotřebu, podporované přenosové rychlosti a rychlost zachycení. Srovnání obvodů z hlediska jejich spotřeby je uvedeno na Obr. 4.9. Některé dnešní aplikace (například rozhraní PCI-Express [41]) vyžaduje pro připojení ve vyšších módech použití více sériových linek pracujících na stejné přenosové rychlosti. Tento případ je do porovnání také zahrnut pro 8 souběžných linek (8x Lane).



Obr. 4.9 Srovnání obvodů z hlediska spotřeby pro samostatný obvod (1x Lane) a pro implementaci osminásobného přijímače (8x Lane).

Spotřeba samotného obvodu BO-CDR je nejnižší ze všech porovnávaných obvodů (spotřeba 51 mW; rozdíly mezi jednotlivými variantami Cent, S2par a MV jsou zcela zanedbatelné). Všechny další porovnávané obvody jsou založené na PLL a mají výrazně vyšší spotřebu. Obvod AD 807 firmy Analog Devices patří mezi obvody označované jako Low Power [84]. Přesto je jeho spotřeba ve srovnání s obvodem BO-CDR více než trojnásobná (170 mW). Obvod GTP, který je součástí obvodu Virtex-5, vykazuje spotřebu 222 mW a při měřeních použitý obvod SY 87700 firmy Micrel dokonce 560 mW.



Obr. 4.10 Spotřeba obvodu BO-CDR v FPGA z hlediska jednotlivých komponent. Vlevo pro jeden obvod BO-CDR, vpravo pro 8 obvodů BO-CDR s jedním společným generátorem hodinového signálu (algoritmus Cent, $W=5$)

Rozdíl ve spotřebě se ještě mnohem výrazněji projeví, pokud má být součástí přijímače více obvodů CDR pracujících na stejné přenosové rychlosti (například v případě zmíněného rozhraní PCI-Express). V takovém případě musí být součástí každého běžného obvodu CDR jeden fázový závěs, který má majoritní podíl na celkové spotřebě obvodu. Obvody BO-CDR ale mohou sdílet jediný generátor vícefázového hodinového signálu (blok DCM) a spotřeba tak bude navýšena pouze o spotřebu dalších sedmi vícefázových vzorkovačů, jader obvodu BO-CDR a vyrovnávacích pamětí FIFO (Obr. 4.10). Spotřeba osmi obvodů BO-CDR je tak pouze 83 mW oproti 1,36 W osmice obvodů AD 807. Osm přijímačů GTP má spotřebu kolem 2 W a osm obvodů SY 87700 dokonce více než 5 W.

Rychlost zachycení je v případě obvodů BO-CDR extrémně krátká (W bitů pro obvod S2par, W hran pro obvod Cent, jedna hrana pro variantu DPP) a lze ji dále zkrátit modifikací algoritmu. Obvod AD 807 má uvedenou dobu zachycení $4 \cdot 10^5$ až $2 \cdot 10^6$ bitů podle nastavení filtru zpětnovazební smyčky, což jej činí nevhodným pro aplikace s blokovým přenosem dat. Obvod GTP má uvedenou dobu zachycení fáze 200 μ s (v případě předchozího frekvenčního zachycení), což při přenosové rychlosti 155,52 Mb/s odpovídá přenosu $3 \cdot 10^4$ bitů. Obvody SY je schopen zachycení již za 15 μ s, tedy asi $2 \cdot 10^3$ bitů, což je ale pro blokový přenos dat stále příliš dlouhá doba.

Dalším parametrem je cena obvodu. Cena obvodu CDR s PLL je srovnatelná s nejmenšími obvody FPGA řady Spartan-3. Jelikož je možné do jediného obvodu FPGA implementovat více obvodů CDR (do nejmenšího i několik desítek), je cena v přepočtu na jeden obvod CDR nejnižší u obvodů FPGA. V případě realizace obvodu BO-CDR technologií ASIC je obvod BO-CDR opět výhodnější, neboť jej lze celý realizovat levnou technologií CMOS použitím běžných bloků [30].

Z hlediska podporovaných přenosových rychlostí je obvod BO-CDR omezen možnostmi cílového obvodu FPGA z hlediska generování vícefázového hodinového signálu a možnostmi realizace vzorkovače. Z tabulek Tab. 3.1 a Tab. 3.2 vyplývá maximální přenosová rychlost pro konkrétní obvody. Pro stupeň převzorkování $M=5$ pro obvody Spartan-3 je to 256 Mb/s a pro obvody Virtex-5 až 1,6 Gb/s. Obvody ale nejsou omezeny nejnižší přenosovou rychlostí a mohou tak pracovat na kterékoliv přenosové rychlosti do uvedené maximální hodnoty. Bloky GTP jsou schopné pracovat v širším rozsahu rychlostí od 100 Mb/s do 3,75 Gb/s [41], další typy transceiverů v obvodech FPGA pak mohou dosáhnout přenosové rychlosti až 11,3 Gb/s [51]. Specializované obvody CDR (jako SY 87700 a AD 807) lze rozdělit na dvě skupiny obvodů. První z nich je optimalizována pro použití v konkrétní aplikaci a podporuje pouze vybraná přenosové rychlosti, případně ještě jejich celistvé násobky. Obvod AD 807 podporuje pouze přenosovou rychlost 155,52 Mb/s. Druhou skupinou obvodů CDR jsou univerzální obvody, které podporují ucelený rozsah přenosových rychlostí. V případě obvodu SY 87700 je to od 32 do 175 Mb/s.

Obvod BO-CDR popsáný v [30] (realizace technologií ASIC) využívá pro výběr fáze algoritmus MV s parametrem $W=3$. Autoři uvádějí kromě výsledků simulace pouze velikost obvodu v počtu ekvivalentních hradel, čímž jsou možnosti porovnání vlastností obvodu značně omezeny. Velikost navrženého obvodu činí 8719 ekvivalentních hradel při stupni převzorkování $M=3$. Přibližným (pesimistickým) přepočtem velikosti obvodu BO-CDR s algoritmem Ccnt a stupněm převzorkování $M=5$ byla stanovena velikost tohoto obvodu na 3794 ekvivalentních hradel (včetně obvodu pro rámcovou synchronizaci), což je méně než poloviční velikost obvodu při vyšším stupni převzorkování.

Obvody BO-CDR se jeví jako velmi perspektivní, neboť umožňují dosahovat chybovosti srovnatelné s běžně používanými obvody CDR s PLL, oproti nimž vynikají menší spotřebou a cenou a to především v případě použití více obvodů CDR v jednom pouzdře integrovaného obvodu.

5 Měření jitteru v FPGA

Měření jitteru je jedno ze základních měření v oblasti vysokorychlostních přenosů dat. V této kapitole je uveden popis implementace bloku pro měření jitteru v obvodu FPGA, který vyniká především velmi nízkými hardwarovými nároky a dosažitelnou přesností měření a předčí tak dříve publikovaná řešení ([71], [77]).

5.1 POUŽITÁ METODA MĚŘENÍ JITTERU

Jitter obsažený v signálu lze odhadnout změřením rozložení hustoty pravděpodobnosti výskytu hran v rámci periody datového signálu (intervalu 1 UI, respektive 360°). Toto měření je možné provést rozdělením periody datového signálu na konečný počet intervalů a následným součtem počtu hran v těchto intervalech během přenosu dostatečně velkého počtu bitů. Rozlišení měření pak závisí na zvolené šířce intervalu (menší šířka umožňuje přesnější měření) a jeho přesnost na době integrace. Vliv omezeného rozlišení i doby integrace je patrný na Obr. 5.1.

Výskyt hran ve zkoumaném intervalu i je náhodný jev s pravděpodobností $P_e(i)$ danou vztahem

$$P_e(i) = \frac{N_{edg}}{N_{bit}} [-], \quad (5.1)$$

kde N_{bit} je celkový počet bitů a N_{edg} je počet hran detekovaných při přenosu v intervalu i . Vztah platí přesně pouze pro $N_{bit} \rightarrow \infty$. Pokud máme k dispozici pouze interval konečné délky (dané jedním měřením), lze tvrdit, že skutečná hodnota pravděpodobnosti není větší než změřená jen s konečnou spolehlivostí CL (confidence level). Obvykle je požadováno dosažení spolehlivosti alespoň 0,9, častěji 0,99, případně vyšší. Spolehlivost lze stanovit pro každé měření a pro každý dílčí interval jako

$$CL = 1 - \exp(-N_{bit} \cdot P_e(i)) [-], \quad (5.2)$$

kde N_{bit} je skutečný počet bitů použitý pro měření v daném intervalu a $P_e(i)$ je pravděpodobnost výskytu hrany ([62]). Tento vztah lze interpretovat dvěma způsoby. Pokud jej použijeme pro analýzu provedeného měření, lze zpětně určit spolehlivost (CL) změřených hodnot. Vztah je potom možné použít ve tvaru

$$CL = 1 - \exp(-N_{edg}) [-]. \quad (5.3)$$

Pokud je třeba měření teprve provést, lze vztah (5.2) využít ke stanovení minimálního počtu přenesených bitů pro danou spolehlivost CL a pravděpodobnost výskytu hrany $P_e(i)$:

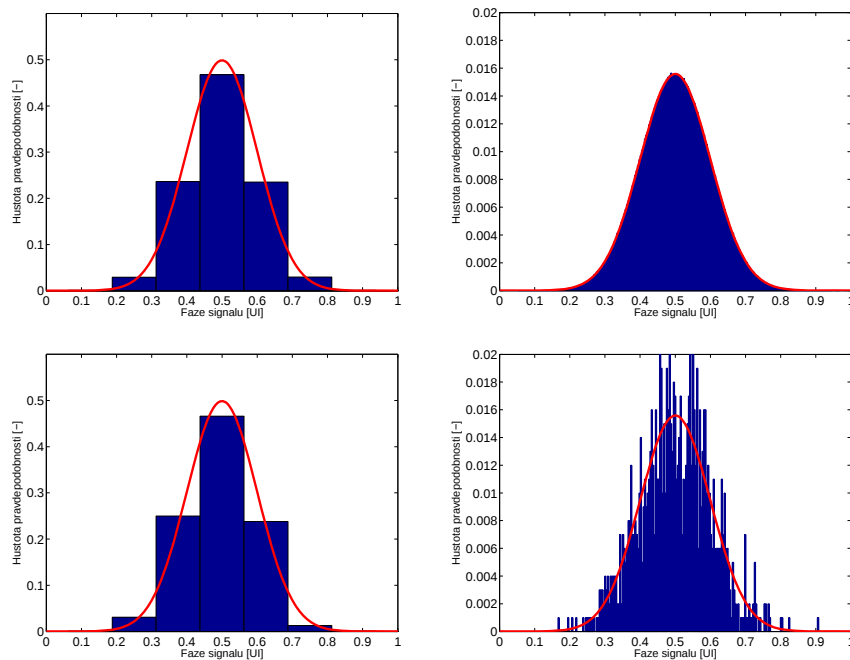
$$N_{bit} = \frac{-\ln(1-CL)}{P_e(i)} [-]. \quad (5.4)$$

Počet bitů je tedy nepřímo úměrný požadované přesnosti měření (nejmenší požadované pravděpodobnosti výskytu). Pro přesné měření v intervalech s velmi nízkou pravděpodobností je tak třeba velmi dlouhé měření.

Periodu datového signálu je pro měření třeba rozdělit na I stejných intervalů, které určují fázové rozlišení měření. Pro každý tento interval je třeba změřit hodnotu $P_e(i)$ přenesením vždy N_{bit} bitů. Celé měření tak vyžaduje přenos celkem $N_{celk}=I \cdot N_{bit}$ bitů. V případech, kde je kritická doba měření, lze stanovit dosažitelné rozlišení měření při dané spolehlivosti jako

$$P_e(i) = \frac{-\ln(1-CL)}{N_{bit}} = \frac{-\ln(1-CL) \cdot I}{N_{celk}} = \frac{-\ln(1-CL) \cdot I \cdot T_{bit}}{T_{max}} [-], \quad (5.5)$$

kde T_{bit} [s] je nominální perioda datového signálu (střední vzdálenost hran) a T_{max} [s] je mezní doba měření. Rozlišení měření je třeba určit v případě, kdy je zkoumán kanál s proměnnými parametry (například kanál FSO) a doba měření je omezena na dobu, kdy jej lze považovat stacionární.



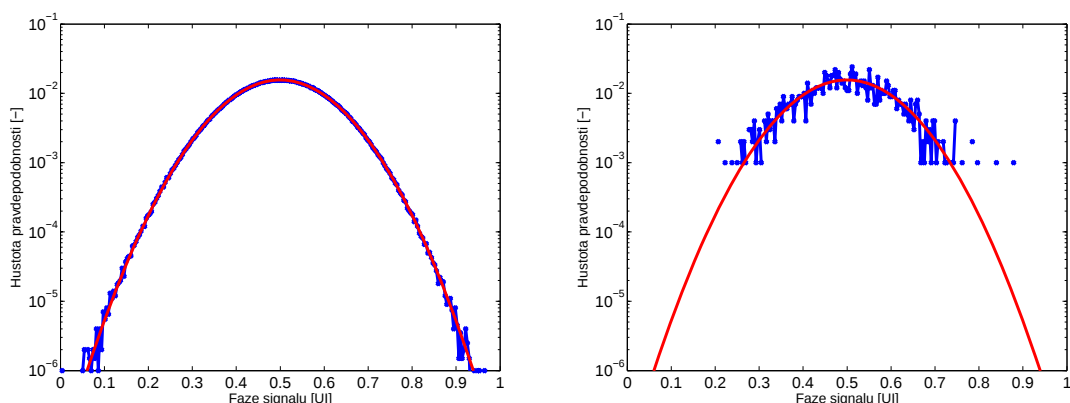
Obr. 5.1 Srovnání výsledků vzorkování pro různé délky měření (2^{23} bitů nahoře, 2^{11} bitů dole) a pro různé fázové rozlišení (vlevo rozlišení 8 kroků, vpravo plné rozlišení 256 vzorků). Červená křivka představuje skutečnou funkci hustoty rozdělení pravděpodobnosti.

Důsledky vztahů (5.1) až (5.5) lze porovnat na Obr. 5.1. V levém sloupci na obrázku je použito rozlišení 8 intervalů na periodu, zatímco v pravém sloupci je rozlišení 256 intervalů na periodu. V horní řadě je pro měření použito celkem 2^{23} bitů, což odpovídá počtu 2^{20} bitů na jeden interval pro rozlišení 8 intervalů a 2^{15} bitů pro rozlišení 256 intervalů. Odpovídající spolehlivosti pro rozlišení 8 intervalů jsou podle

vztahu (5.1) pro hodnoty řádu $1 \cdot 10^{-2}$ prakticky 100 % (spolehlivost je větší než $1 - 1 \cdot 10^{-3277}$), pro hodnoty kolem $3 \cdot 10^{-6}$ klesá spolehlivost na 96 % (což je stále dostačující hodnota). Pro rozlišení 256 intervalů klesá spolehlivost na 96 % už u hodnot řádu $1 \cdot 10^{-5}$. Pro menší hodnoty spolehlivost výrazně klesá.

V dolní řadě jsou zobrazeny výsledky pro délku měření pouze 2^{11} bitů (velmi krátké měření). Pro rozlišení 8 intervalů je pro hodnoty $1 \cdot 10^{-2}$ spolehlivost již pouze 92 %. Při rozlišení 256 intervalů je spolehlivost dokonce pouze 8%, což indukují nevhodně zvolené parametry měření. To je patrné i ze změřeného histogramu, který pouze přibližně odpovídá skutečnému rozložení hustoty pravděpodobnosti.

Vliv spolehlivosti je dobře patrný ze semilogaritmického zobrazení histogramů Obr. 5.2. Histogram pro dlouhé měření (vlevo) dobře kopíruje skutečnou křivku rozložení pravděpodobnosti až do hodnot kolem $1 \cdot 10^{-5}$ (spolehlivost 96 %). V případě krátkého měření lze ze změřených hodnot jen obtížně odhadnout skutečné rozložení hustoty pravděpodobnosti.



Obr. 5.2 Semilogaritmické zobrazení výsledků měření pro rozlišení 256 intervalů a délku měření 2^{23} a 2^{11} bitů.

Ze změřených hodnot je možné vypočítat základní parametry rozložení hustoty pravděpodobnosti, které by jej vhodně popisovaly. Jako parametr náhodného jitteru se používá dvojice veličin: střední hodnoty μ a efektivní hodnota jitteru σ . Střední hodnotu je možné ze změřené distribuce odhadnout jako

$$\mu = E(PDF) = \sum_{i=1}^n s_i \cdot p_i \quad [-], \text{ pro } \sum_{i=1}^n p_i = 1 \quad (5.6)$$

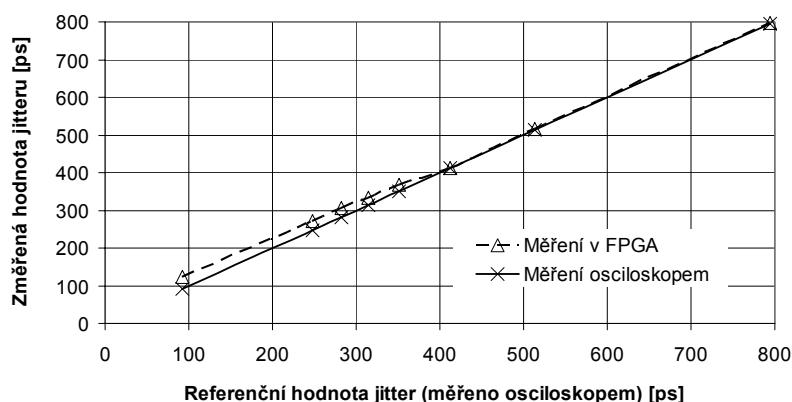
kde s_i je hodnota změřené distribuční funkce v bodě i , p_i je její relativní četnost a n je celkový počet hodnot distribuční funkce. Střední hodnota se obvykle považuje za nulovou, neboť střed distribuční funkce je vždy předpokládán v místě teoreticky největší hustoty hran.

Efektivní hodnotou je plně charakterizován náhodný jitter přítomný v signálu a je možné ji změřit i běžným osciloskopem. Ze známého rozložení hustoty pravděpodobnosti (změřeného histogramu jitteru) lze její hodnotu odhadnout ze vztahu

$$\sigma = \frac{T_{BIT}}{N} \cdot \sqrt{\sum_{i=1}^N ((i - \mu)^2 \cdot p_i)} \text{ [s]}, \quad (5.7)$$

kde N je počet intervalů, na něž je rozdělen změřený histogram a T_{BIT} je perioda jednoho bitu [s]. Touto metodou byla vypočítána směrodatná odchylka změřených charakteristik a ta byla porovnána s efektivní hodnotou jitteru změřenou pomocí osciloskopu (Tektronix DPO7254).

Výsledek porovnání je v grafické podobě na Obr. 5.3



Obr. 5.3 Porovnání efektivní hodnoty jitteru změřené pomocí osciloskopu a obvodem FPGA.

Z porovnání je patrná dobrá shoda obou měření. Pro nižší hodnoty jitteru je hodnota změřená pomocí obvodu FPGA vyšší, než hodnota změřená osciloskopem. To je způsobeno přítomností jitteru v referenčním hodinovém signálu vzorkovače, který tak přispívá k celkovému jitteru vstupního signálu (výsledná hustota pravděpodobnosti jitteru je rovna konvoluci PDF jitteru přijímaného a PDF hodinového signálu).

Z nejmenší hodnoty jitteru změřeného pomocí FPGA a odpovídající hodnoty změřené pomocí osciloskopu lze provést odhad jitteru hodinového signálu. Pro konvoluci dvojice signálů s normálním rozložením a směrodatnými odchylkami σ_1 a σ_2 platí

$$\sigma_C = \sqrt{\sigma_1^2 + \sigma_2^2}, \quad (5.8)$$

kde σ_C je výsledná směrodatná odchylka výsledného jitteru. Ze známé hodnoty jitteru způsobeného přenosovým kanálem ($\sigma_1 = 92$ ps) a hodnoty celkového jitteru změřeného pomocí FPGA ($\sigma_C = 124$ ps) lze tedy vypočítat jitteru hodinového signálu jako

$$\sigma_2 = \sqrt{\sigma_C^2 - \sigma_1^2}. \quad (5.9)$$

Pro uvedené číselné hodnoty je tedy odhad efektivní hodnoty jitteru hodinového signálu $\sigma_2 = 83$ ps. Zdrojem hodinového signálu vzorkovače v obvodu FPGA byl blok PLL, jehož uvedený jitter je v použité konfiguraci 220 ps_{p-p}. Výrobce ale neudává, pro

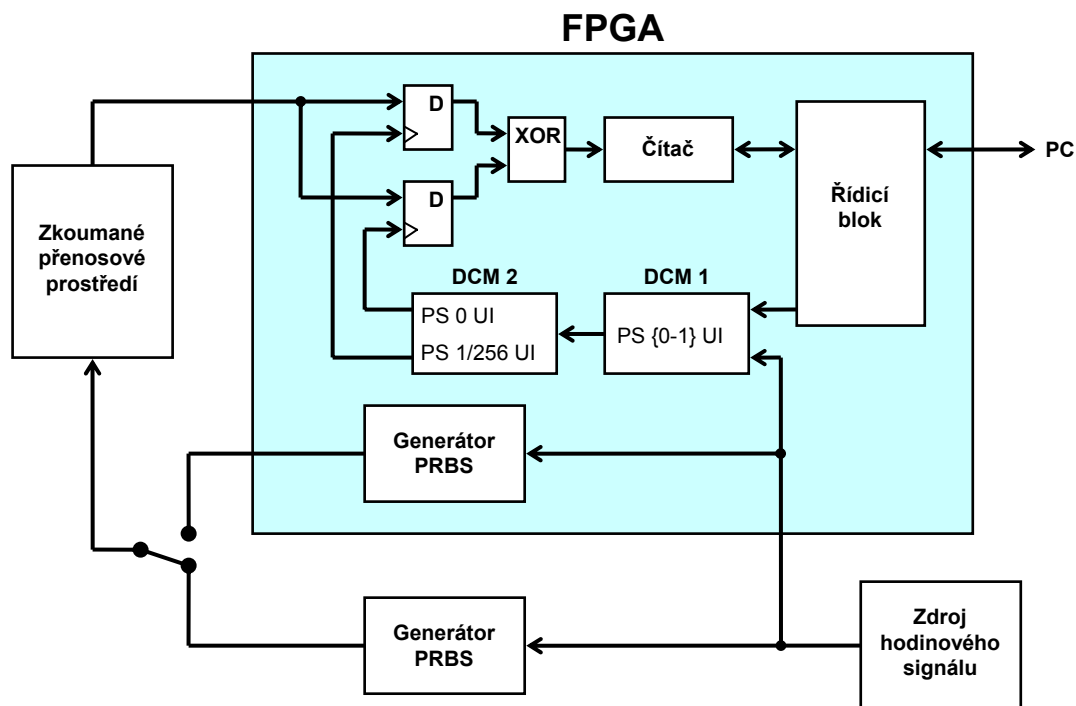
jakou hodnotu spolehlivosti platí tento údaj (násobek uvažovaného rozptylu) a přímé porovnání tak není možné.

5.2 IMPLEMENTACE MĚŘIČE JITTERU V FPGA

Blokové schéma obvodu pro měření jitteru je na Obr. 5.4. Jeho základním blokem je vzorkovač tvořený dvěma klopnými obvody typu D, které jsou taktovány hodinovými signály stejné frekvence s malým vzájemným fázovým posunem. Fázový posun určuje horizontální rozlišení změřené charakteristiky (počet měřených intervalů) a je realizován pomocí obvodu DCM, který umožňuje posun fáze s přesností až 256 kroků na periodu signálu, tedy přibližně $1,4^\circ$ ($1/256$ UI). Tato přesnost je vhodná pro přesná měření a v případě potřeby rychlejšího měření s menší přesností je možné snížit rozlišení zvětšením fázového rozdílu.

Aby bylo možné měřit jitter v celém diagramu oka a ne pouze v jediném intervalu, je současně třeba měnit fázi obou těchto vzorkovacích signálů v rozsahu $0-360^\circ$ vzhledem k fázi datového signálu. To lze realizovat buď změnou fáze hodinového signálu v přijímači nebo ve vysílači. Obě možnosti jsou z hlediska měření ekvivalentní, posun fáze v přijímači však umožňuje použít libovolný zdroj testovacího signálu (nejen obvod FPGA) a je tak univerzálnější. Dále budeme předpokládat realizaci fázového posunu v přijímači.

V obvodech FPGA lze proměnný fázový posun hodinového signálu realizovat opět pomocí bloku DCM v krocích po $1/256$ periody ($1,4^\circ$). Metoda měření vyžaduje, aby rozlišení nastavitelného posunu fáze a rozlišení vzorkovače bylo shodné. Proto je třeba při zvětšení intervalu měření jitteru zvětšit i krok fázového posunu. Při dalším popisu budeme předpokládat maximální rozlišení měřiče.



Obr. 5.4 Blokové schéma měřiče jitteru v obvodu FPGA.

Na počátku měření je měřicí obvod ve výchozím stavu s nulovým fázovým posunem referenčního hodinového signálu. Samotné měření spočívá v detekci hran (XOR) v intervalu daným rozlišením vzorkovače (minimálně $1,4^\circ$). Jakmile je detekován průchod zvoleného počtu bitů, je měření v prvním intervalu ukončeno a je vydán požadavek na posun fáze referenčního hodinového signálu. Algoritmus řídící obvod měření jitteru postupně nastavuje proměnnou fázi 0 až 360° . Jakmile je měření celé periody dokončeno, je fáze hodinového signálu vrácena do výchozího stavu, aby byl vyloučen možný vliv hystereze obvodu DCM. Změřená data jsou zpřístupněna pro čtení a další měření začíná až po jejich zpracování (zpravidla mikroprocesorem).

Doba měření je dána především zvoleným počtem intervalů a dobou integrace počtu hran (počtem bitů přijatých během doby integrace). Po změně fáze hodinového signálu je třeba vždy určitou dobu vyčkat před začátkem další integrace, než dojde ke stabilizaci hodinového signálu obvodu DCM. Jak ukázala měření, je toto zpoždění zcela zanedbatelné vzhledem k době integrace (doba odpovídající přenosu několika desítek bitů).

Uvedená metoda měření jitteru je velmi výhodná pro stanovení vlastností obvodů BO-CDR v FPGA, neboť zahrnuje vliv jitteru vnitřního hodinového signálu. Jak bylo uvedeno dříve, je možné tento jitter přičíst k účinku jitteru datového signálu a předpokládat dokonalý hodinový signál neobsahující jitter vůbec. Měřením zároveň nedochází k ovlivnění zkoumaného signálu, vyniká velmi snadnou implementací, rychlostí měření a dostatečnou přesností. Jedinou významnou nevýhodou metody je nutnost použití společného referenčního hodinového signálu pro vysílač a přijímač a omezuje tak použití metody na synchronní systémy nebo na systémy, kde je přístupný referenční hodinový signál vysílače. U asynchronních systémů, kde tento signál není k dispozici, je nutné referenční hodinový signál v přijímači generovat pomocí obvodu CDR (nelze použít obvod BO-CDR, který pracuje pouze jako obnovitel datového signálu).

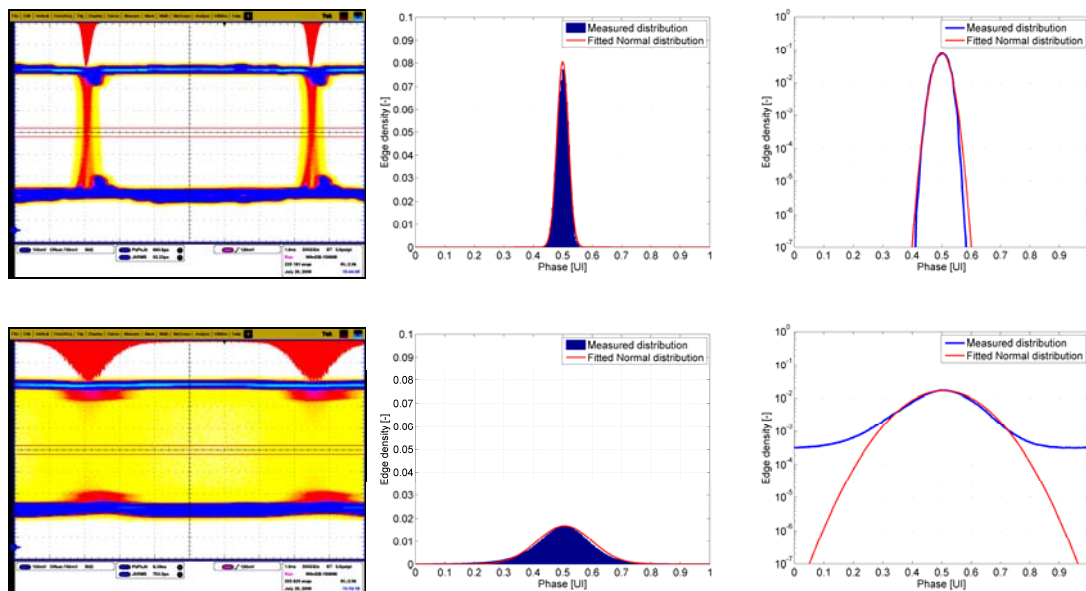
5.3 MĚŘENÍ JITTERU NA REÁLNÉM SPOJI

Metoda měření jitteru byla použita při zkušebních měřeních navržených algoritmů výběru fáze BO-CDR uvedených v předchozí kapitole. Výsledky měření touto metodou byly porovnávány s měřením pomocí osciloskopu, který zobrazoval změřený histogram jitteru a uváděl jeho základní charakteristiky – efektivní a špičkovou hodnotu. Charakteristiky obou metod pro dvě měření jsou na Obr. 5.5. V FPGA byl implementován měřič s 256 intervaly fáze a celkovou dobou měření 2^{32} bitů (2^{24} bitů na interval). Pro měření byla použita standardní pseudonáhodná posloupnost délky $2^{23} - 1$ bitů.

Ze změřených histogramů je patrná velmi dobrá shoda obou metod měření. Odhad efektivní hodnoty jitteru byl při měření osciloskopem v prvním případě 92 ps, v druhém případě 793 ps. Při měření v FPGA byly odpovídající hodnoty 124 ps a 797 ps. Rozdíl mezi změřenými hodnotami je způsoben aditivním jitterem v hodinovém signálu na výstupu bloků DCM. Tento jitter částečně omezuje přesnost měření, která je ale přesto velmi dobrá.

Pro kanál s větším jitterem je patrné, že histogram neodpovídá normálnímu rozložení hustoty pravděpodobnosti, což souhlasí s poznatky uvedenými v [78] pro

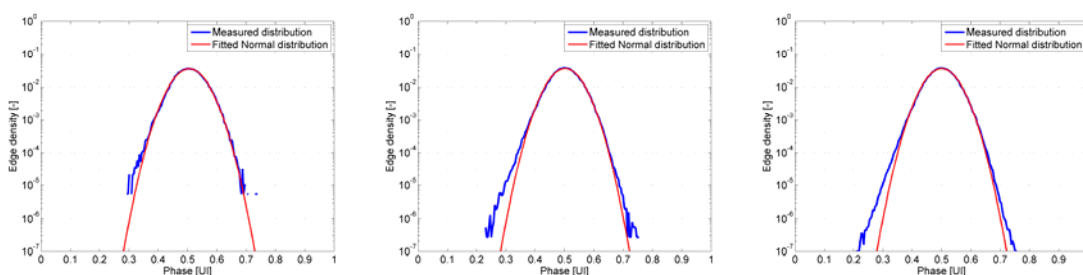
signály s velkým zkreslením. Změřená efektivní hodnota jitteru tak nesouhlasí se směrodatnou odchylkou normálního rozložení aproximační funkce jitteru a nelze ji tedy použít pro odhad chybovosti, jak se předpokládá při statistickém modelování přenosového kanálu ([32], [33]).



Obr. 5.5 Porovnání charakteristik jitteru změřených pomocí osciloskopu a pomocí měřiče v FPGA.

Vlevo je charakteristika kanálu s velmi dobrým signálem (nulová chybovost), vpravo je charakteristika kanálu s velkou chybovostí ($3,5 \cdot 10^{-3}$ pro BO-CDR s algoritmem Ccnt). Červená křivka je změřenými hodnotami proložená funkce normálního rozložení.

Vliv doby integrace v jednotlivých intervalech na přesnost měření je patrný z Obr. 5.6. Při integraci 2^{16} bitů na interval je změřená charakteristika spolehlivá do hodnot $1 \cdot 10^{-4}$. Spolehlivost 99 % odpovídá podle vztahu 5.5 hodnotě $7 \cdot 10^{-5}$. Stejně spolehlivosti lze s integrací délky 2^{20} bitů dosáhnout pro hodnoty $4 \cdot 10^{-6}$ a pro délku 2^{24} bitů až $3 \cdot 10^{-7}$.



Obr. 5.6 Porovnání měření jitteru s různou dobou integrace; rozlišení je (zleva) 2^{16} , 2^{20} a 2^{24} bitů na interval. Červená křivka je změřenými hodnotami proložená funkce normálního rozložení.

Větší doba integrace ale značně prodlužuje celkovou dobu měření. Při přenosové rychlosti 155,52 Mb/s, která byla pro tato měření použita, odpovídá celková doba měření s dobou integrace 2^{16} bitů době přenosu 2^{24} bitů, tedy přibližně 107 μ s. Pro dobu integrace 2^{20} bitů je doba měření 1,7s a při integraci 2^{24} bitů na interval již dosahuje 27s.

Dobu měření je možné zkrátit zmenšením počtu intervalů, ve kterých je měření prováděno (tedy jejich rozšířením). Pokud ale požadujeme vysoké horizontální rozlišení histogramu, je tato modifikace nevhodná. Pro zkrácení měření lze ale s výhodou využít závislosti funkce spolehlivosti CL na potřebné délce měření. Pro vysoké pravděpodobnosti není nutné provádět dlouhou integraci, neboť potřebné spolehlivosti je dosaženo za mnohem kratší dobu. Pokud budeme vyžadovat konstantní spolehlivost v celém intervalu měření, bude doba integrace závislá na hustotě hran v daném intervalu. Ze vztahu 5.3 lze vyjádřit minimální počet detekovaných hran N_{edg} v rámci jedné integrace jako

$$N_{edg} = \ln \frac{1}{1-CL} [-]. \quad (5.10)$$

Pro spolehlivost 99 % je tak třeba během doby integrace v každém intervalu zachytit alespoň 5 hran. Algoritmus měření je tedy možné upravit tak, že k ukončení integrace nedojde po přenosu fixního počtu bitů, ale po detekci stanoveného počtu hran.

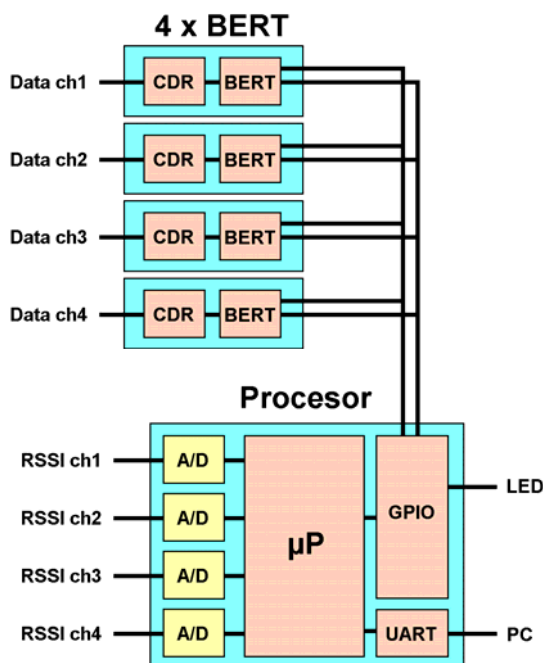
Teoretická hodnota spolehlivosti ale odpovídá signálu, který obsahuje náhodný jitter nezávislý na vysílané datové posloupnosti. V reálných měřeních je však nutné minimální počet detekovaných hran zvýšit, aby se minimalizovala chyba měření, který by mohla být způsobená deterministickým jitterem. Budeme-li požadovat detekci alespoň 20 hran v každém intervalu, je možné měření podle Obr. 5.6 s přesností 2^{24} bitů na interval zkrátit na polovinu, pokud stanovíme maximální dobu integrace na 2^{24} bitů v případě, že v daném intervalu nebude detekován požadovaný počet hran. Pro měření s většími hustotami pravděpodobnosti v celém intervalu (větší jitter) by tato doba byla ještě výrazně menší.

6 Použití navržených metod

Bloky CDR popsané v kapitole 3 byly využity při realizaci dvou specializovaných měřicích systémů. Použití těchto bloků vedlo k výraznému zjednodušení konstrukce, snížení spotřeby a zlepšení některých parametrů v porovnání s klasickou realizací. Byla tak ověřena správnost myšlenky implementovat do obvodů FPGA i ty komunikační subsystémy, které byly běžně realizovány jiným způsobem (zpravidla obvody ASSP).

6.1 ČTYŘKANÁLOVÝ MĚŘIČ CHYBOVOSTI SDH-STM1

Algoritmus digitální obnovy datového signálu byl použit pro implementaci vestavěného měřiče chybovosti (testeru) pro standard SDH-STM1, pracujícího na přenosové rychlosti 155,52 Mb/s. Tester byl vyvinut pro Český metrologický institut, která jej v současné době využívá pro analýzu atmosférických optických spojů v rámci společného projektu GA102/08/0851. Tester disponuje čtyřmi nezávislými kanály a na každém z nich umožňuje nezávisle měřit chybovost ve volitelném intervalu, typicky 1 ms až 1s. Každý kanál je navíc vybaven analogovým vstupem pro měření úrovně přijímaného signálu.

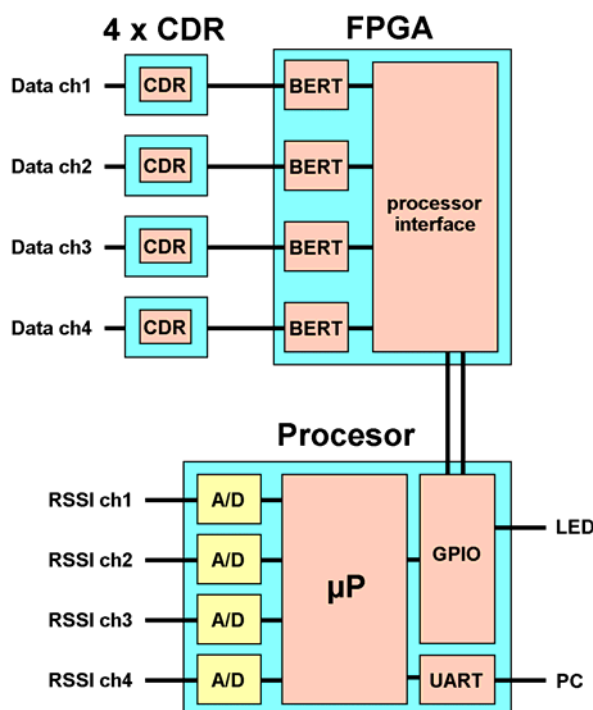


Obr. 6.1 Základní blokové schéma čtyřkanálového měřiče chybovosti; varianta s pěti integrovanými obvody – samostatné obvody BERT (Bit Error Rate Tester).

Pro realizaci samotného měřiče chybovosti připadaly v úvahu dvě varianty, které vyhovovaly charakteru cílového zařízení, tedy specializovaného přístroje s minimálními

náklady na výrobu. První varianta (Obr. 6.1) počítala s použitím dostupných standardních obvodů [74] (ASSP) schopných měřit chybovost daného kanálu. Přímě na čipu mají implementován obvod pro obnovu hodinového a datového signálu a jsou vybaveny standardním paralelním rozhraním pro připojení k mikroprocesoru. Parametry měření chybovosti však umožňují měnit jen v omezené míře, což je pro danou aplikaci činí méně vhodnými. Navíc plocha potřebná na plošném spoji pro implementaci čtveřice obvodů propojených sběrnicí s procesorem je nezanedbatelná, stejně jako poměrně vysoká spotřeba těchto obvodů.

Druhou možností, která byla nakonec zvolena pro finální realizaci měřiče chybovosti, je pro vlastní měření chybovosti použít obvodu FPGA. Ten umožňuje definovat prakticky libovolné parametry měření chybovosti, ať již jde o délku měřeného intervalu nebo testovací posloupnost. V případě potřeby lze navíc dodatečně modifikovat funkci měřiče chybovosti přidáním dalších režimů měření nebo zpracování dat a to přímo v systému bez nutnosti změny hardwaru.

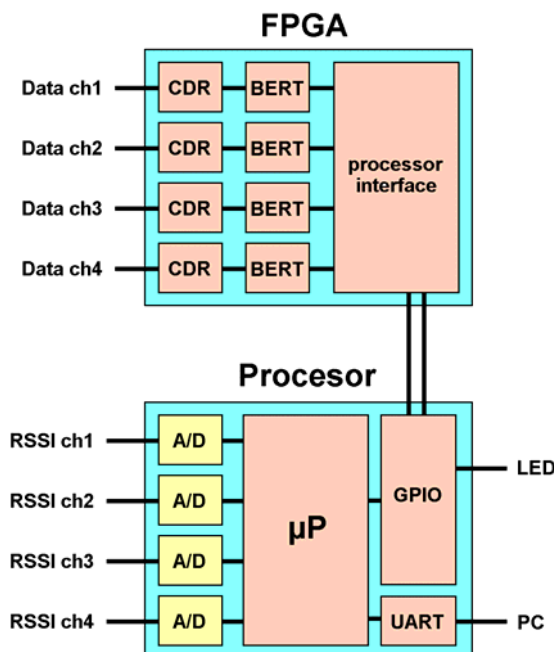


Obr. 6.2 Blokové schéma čtyřkanalového měřiče chybovosti; varianta s šesti integrovanými obvody – samostatné obvody CDR.

Zdánlivou nevýhodou levnějších obvodů FPGA (které připadaly pro použití v úvahu) je absence vysokorychlostních transceiverů obsahujících potřebné bloky CDR pro zpracování přijatého signálu. Tradičním řešením tohoto problému je použití čtyř samostatných specializovaných obvodů CDR (ASSP), jednoho pro každý kanál (Obr. 6.2).

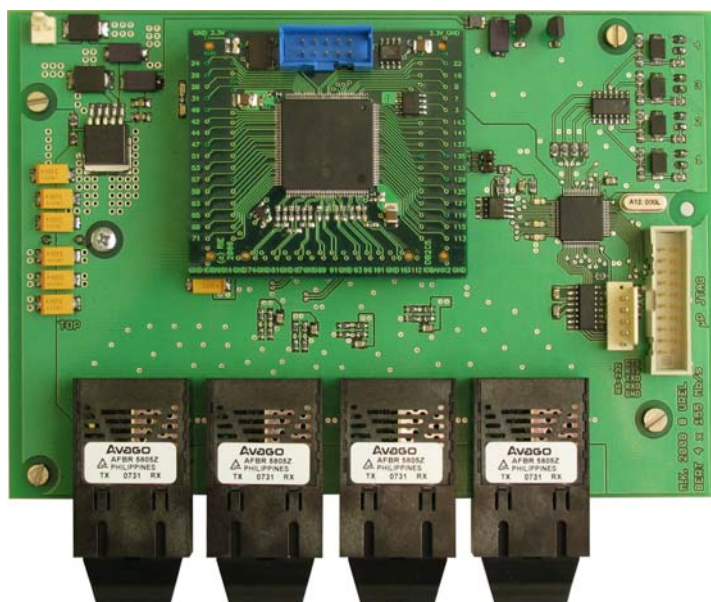
To ale vyžaduje implementaci další čtveřice integrovaných obvodů a vzhledem k typickému odběru proudu obvodů CDR ze zdroje napájení by takováto realizace oproti předchozí variantě nabízela pouze výhodu flexibilního měření chybovosti. Vzhledem k možnosti implementovat blok CDR v programovatelné struktuře obvodu FPGA je ale

možné vytvořit realizaci podle Obr. 6.3, která je z hlediska spotřeby i počtu použitých součástek nejvýhodnější.



Obr. 6.3 Blokové schéma čtyřkanálového měřiče chybovosti; finální verze s bloky CDR i BERT realizovanými uvnitř FPGA.

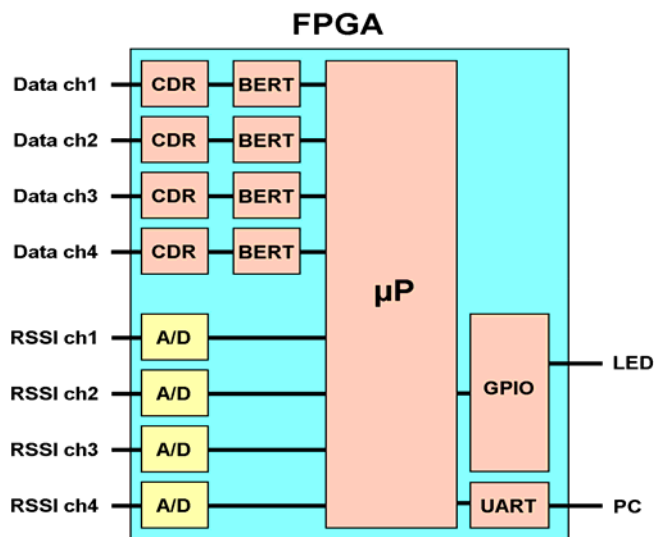
Jako cílový obvod FPGA byl vybrán typ Cyclone-II firmy Altera, který umožňuje realizovat vzorkovač s potřebnou vzorkovací frekvencí. Osazená deska ve finální podobě je na Obr. 6.4.



Obr. 6.4 Realizace měřiče chybovosti

Existuje další možné zjednodušení měřiče chybovosti, které by eliminovalo použití samostatného mikroprocesoru (Obr. 6.5). Řídicí mikroprocesor lze realizovat formou soft nebo hard IP jádra v obvodu FPGA (například Nios-II, PicoBlaze [3], [83]).

Samostatné AD převodníky prozatím do obvodů FPGA výrobci neimplementují. Lze se s nimi setkat pouze u obvodů vyšších řad, kde jsou určeny ke sledování provozních parametrů samotného obvodu a okolních systémů [40] a jejich rozlišení je poměrně malé (10 bitů). Výjimkou jsou tzv. Mixed Signal FPGA firmy Actel [72], které jsou přímo určeny pro práci s analogovými signály. Tyto obvody jsou ale méně běžné a jejich cena je vyšší, než cena zvolené realizace s běžným obvodem FPGA a samostatným mikroprocesorem.



Obr. 6.5 Možné další zjednodušení implementace měřiče chybovosti; celý systém je implementován v jediném obvodu FPGA.

V literatuře se lze dále setkat s přímou realizací AD převodníků v FPGA [61], [73]. Převodníky jsou založené na architektuře sigma-delta, jako integrátor používají externí RC článek složený z diskretních součástek a jako komparátor je použit běžný diferenční vstup obvodu FPGA. Přes poměrně jednoduchou realizaci, která využívá vstupní zesilovač obvodu nestandardním způsobem, jsou uváděné dosažené výsledky velmi dobré a možnost použití této metody implementace AD převodníků by tak měla být při návrhu nových zařízení důkladně zvážena.

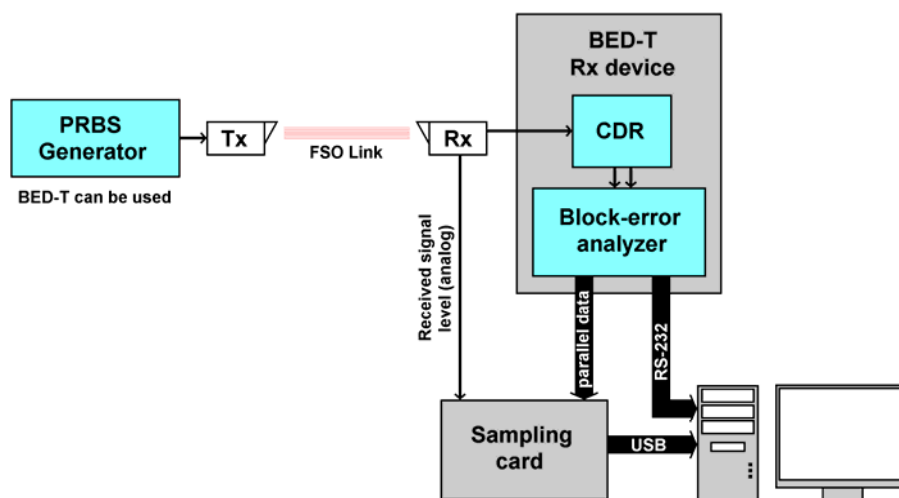
6.2 MĚŘENÍ PARAMETRŮ BEZKABELOVÝCH OPTICKÝCH SPOJŮ

V rámci půlroční stáže v německém Ústavu pro letectví a vesmír DLR (German Aerospace Center) byl vyvinut a odzkoušen modul pro měření krátkodobé chybovosti v kanále s úniky [82]. Důvodem jeho vývoje byla absence komerčně dostupného zařízení, které by bylo schopné měřit požadované parametry spoje. Měření tohoto typu je přitom klíčové pro správnou volbu efektivního protichybového zabezpečení a protokolu ARQ.

6.2.1 MĚŘIČ DISTRIBUCE CHYBOVOSTI

Jádrem nově vyvinutého modulu (BED-T; Bit Error Distribution Tester) je obvod FPGA Cyclone-II firmy Altera, který slouží jako zdroj testovacích dat (vysílač) i jako obvod pro zpracování přijatého signálu a vyhodnocení chybovosti. Pro testování

přenosového kanálu jsou tak třeba dva moduly, přičemž v takovém případě může měření probíhat v plně duplexním režimu. Pokud stačí měřit spoj v jednom směru, lze vysílací modul nahradit libovolným zdrojem standardní testovací pseudonáhodné posloupnosti (například běžný tester chybovosti).



Obr. 6.6 Blokové schéma aparatury pro měření distribuce chybovosti.

Základní uspořádání měřicí aparatury použité pro reálná měření v DLR je patrné z Obr. 6.6. Jako testovací datový signál je použita nerámcovaná pseudonáhodná posloupnost, jejímž zdrojem může být buď standardní zařízení pro měření chybovosti (komerční BER tester) nebo nově vyvinutý modul BED-T. Na straně přijímače je přijímaný signál zpracován optickou hlavicí, na jejímž výstupu jsou digitální datový signál a analogový signál informující o úrovni přijímaného signálu. Digitální signál je přiveden do modulu BED-T, kde je provedena obnova hodinového a datového signálu. Jako obvod CDR lze využít buď specializovaným integrovaným obvodem založený na PLL, nebo využít plně digitální implementaci obvodu (popsanou v kapitole 3.5), který je součástí obvodu FPGA (obě varianty dosahují stejné chybovosti). Obnovený datový signál je poté porovnán s referenčním datovým signálem generovaným přímo v FPGA (blok Analyzátor chybovosti).

Aby došlo ke zjednodušení návrhu zařízení, byla pro přenos změřených dat z modulu BED-T do PC použita vzorkovací karta. To navíc umožnilo vzorkovat úroveň přijímaného signálu synchronně s měřením chybovosti. Znalost závislosti distribuce chybovosti na aktuální úrovni přijímaného optického výkonu umožňuje detailní analýzu chování kanálu a umožňuje porovnat změřené výsledky s teoretickými.

Měření distribuce chybovosti je realizováno měřením počtu chyb v blocích fixní délky. Aby bylo možné dostatečně přesně sledovat chování kanálu, je nutné, aby délka bloku byla mnohem kratší, než efekty, které chceme sledovat. V případě FSO jsou dominantním efektem úniky, jejichž doba trvání je řádově několik milisekund. Pro měření je tak vhodné, aby jeden blok dat měl délku maximálně řádově stovky mikrosekund.

6.2.2 MĚŘENÍ PARAMETRŮ FSO

V případě experimentálního měření v areálu DLR ve Wesslingu byl datový signál přímo použit k intenzitní modulaci vysílacího laseru pracující na vlnové délce 1550 nm.

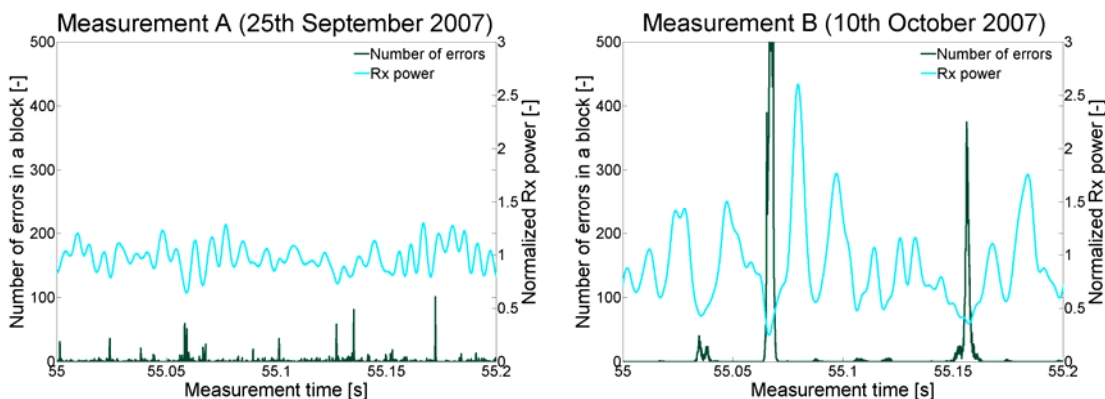
Jeho optický výkon byl nastaven na 22 dBm, vyzařovací úhel byl 2,6 mrad (FWHM; Full Width at Half Maximum), délka zkušební linky byla 500m. Hlavním cílem experimentu bylo sledování distribuce chybovosti během silných úniků. Ty se nejvíce projevují na dlouhých spojích při horkém, slunečném počasí. Pro zvýraznění úniků na takto krátké přenosové trase byl použit přijímač s velmi malou aperturou nastavitelnou v rozmezí 8 až 25 mm. Na takto malé ploše přijímače se prakticky neuplatní tzv. průměrování signálů na apertuře (aperture averaging [86]), které zmenšuje citlivost přijímače na úniky.

Tab. 6.1 Základní statistické údaje provedených měření.

Statistiky měření	A (25. 9. 2007)	B (10. 10. 2007)
Celková chybovost	$1.65 \cdot 10^{-4}$	$2.46 \cdot 10^{-4}$
Maximální počet chyb v bloku	2217	6409
Průměrný počet chyb v bloku	2,06	3,07
Množství bloků bez chyby	68,39 %	92,98 %
Průměrná doba trvání úniku [ms]	0,29	1,64
Doba trvání nejdelšího úniku [ms]	6,00	17,10
Střední doba mezi úniky [ms]	9,86	88,75

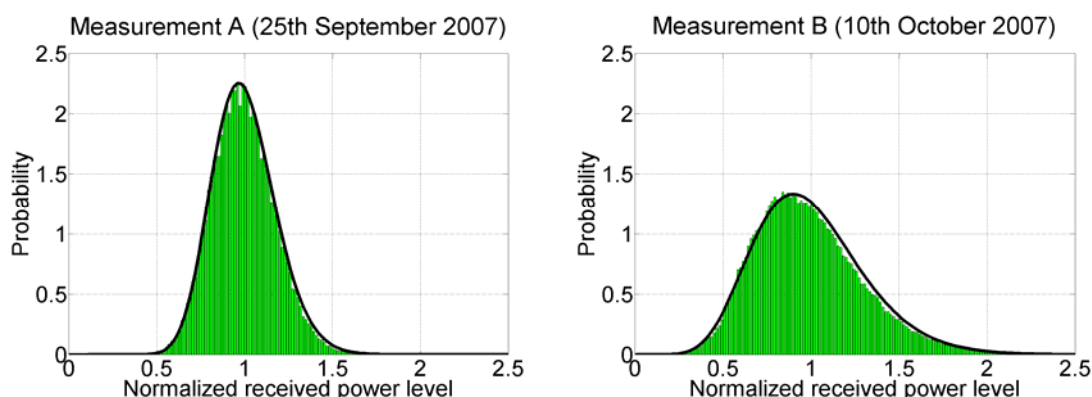
Výsledky měření prezentované v následující části byly získány během dvou dní za zcela odlišných atmosférických podmínek. První měření (A) bylo provedeno 25. září 2007 v 9:32 za poměrně chladného (9 °C) deštivého dne (srážky cca 5 mm/hod). Atmosféra byla poměrně stabilní, ale vykazovala velký útlum (vlhkost 95 %, viditelnost cca 3 km). Druhé měření bylo provedeno 10. října 2007, během teplejšího slunečného dne (12 °C). Viditelnost byla cca 15 km, vlhkost vzduchu 75 %, pozorovány byly středně velké úniky. V obou případech byla použita pro měření pseudonáhodná posloupnost PRBS $2^7 - 1$ dle ITU ([65], [66]) přenášená datovou rychlostí 125 Mb/s. Délka jednoho bloku pro měření chybovosti byla nastavena na 12500 bitů, což odpovídá době přenosu 100 μ s. Každé měření probíhalo po dobu 1 minuta, základní statistiky obou měření jsou uvedeny v Tab. 6.1. Únik byl pro tyto statistiky definován jako alespoň dva po sobě následující bloky obsahující alespoň 10 chyb.

Přestože celková chybovost je pro obě měření srovnatelná (pro měření B, kdy kanál vykazoval úniky, dokonce větší), je celkové množství bezchybně přenesených bloků značně rozdílné. Pro každý případ je tak optimální poněkud jiné schéma protichybového zabezpečení dat.



Obr. 6.7 Zobrazení části změřených dat (úsek 200 ms) v časové oblasti.

Z časových průběhů Obr. 6.7 je patrná velmi silná závislost chybovosti na okamžité úrovni přijímaného signálu. V případě, že úroveň signálu poklesne, roste výrazně chybovost tak, jak klesá poměr SNR na vstupu přijímače. Z průběhů je také velmi dobře patrný rozdíl v průběhu fluktuací výkonu při dešti a za slunečného počasí. V případě deštivého počasí není vzduch u země zahříván slunečním zářením a atmosféra prakticky nevykazuje turbulentní chování. Výkyvy přijímaného výkonu jsou zapříčiněny lomem světla na dešťových kapkách, které světelným paprskem procházejí velmi rychle a ovlivňují jej pouze po krátkou dobu. Rozměry kapek jsou vzhledem k šířce paprsku poměrně malé, proto nedochází k úplným výpadkům signálu a fluktuace jsou pouze mělké. V případě slunečného počasí jsou fluktuace výkonu mnohem hlubší a pomalejší. Po většinu času jsou data přenášena bez chyby. Chyby se vyskytují pouze v poměrně dlouhých shlucích, které jsou důsledkem úniků.



Obr. 6.8 Distribuce přijatého výkonu pro obě měření. Změřené distribuce jsou proloženy křivkou distribuční funkce gama-gama.

Z Obr. 6.8 je patrná změřená distribuce přijímaného výkonu, která odpovídá rozložení gama-gama, typickému pro kanál FSO [85].

6.2.3 NÁVRH SYSTÉMU PROTICHYBOVÉHO ZABEZPEČENÍ PŘENOSU DAT KANÁLEM FSO

V této kapitole je popsán nově navržený systém ARQ, který umožní transparentní provoz běžných protokolů (jako je TCP) na bezkabelových optických spojích [100].

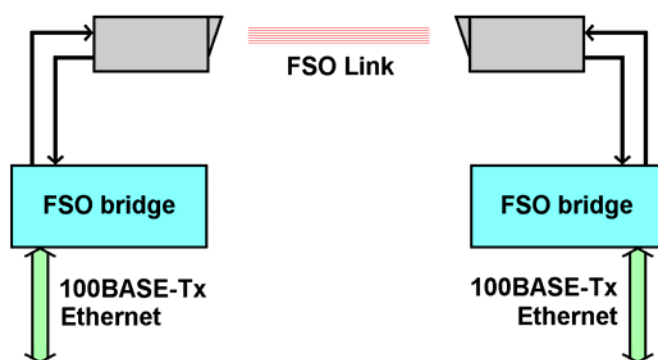
Existují dva základní požadavky na čas, po kterém smí systém ARQ provést retranslaci datových rámců ztracených při přenosu [99]. Rámec nesmí být poslán dříve, než uplyne čas doba přenosu rámce z vysílače do přijímače a přenosu příslušného potvrzujícího rámce z přijímače do vysílače. Tento čas se nazývá Channel Round Trip Time (CRTT). V případě spoje dlouhého 30 km je doba šíření signálu z vysílače do přijímače přibližně 100 μ s a CRTT by tak byl přibližně 200 μ s.

Druhý požadavek je stanoven dobou koherence kanálu (Channel Coherence Time; CCT), který je pro cílový kanál přibližně 10 ms. Tato veličina udává čas, po který lze považovat podmínky v přenosovém kanále za neměnné. Pokud tedy došlo ke ztrátě datového rámce, nemá smysl opakovat jeho vysílání dříve, než po uplynutí této doby, neboť existuje vysoká pravděpodobnost, že se kanál bude stále nacházet ve stavu

vysoké chybovosti. Z těchto dvou podmínek je třeba vybrat tu, která klade na blok ARQ přísnější požadavky, což je v tomto případě hodnota CCT.

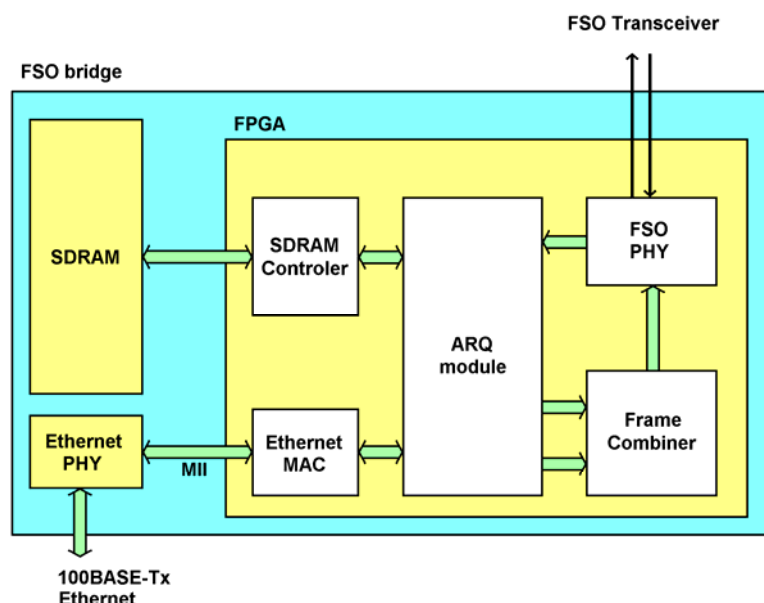
Celkové zpoždění spoje je v mnoha aplikacích kritickým parametrem a mělo by být co nejmenší [99]. Pro služby, jako je přenos hlasu, je požadováno celkové zpoždění spoje (nejen zpoždění linky FSO) omezeno na 400 ms, preferováno je ale zpoždění pod 200 ms. Po tuto dobu je teoreticky možné uchovávat datové rámce v paměti vysílače pro potřebu retranslace. Po uplynutí této doby ztrácí jejich přenos smysl, neboť přijímač již musí odeslat rámce, které po nich bezprostředně následují a byly korektně přijaty (rámce jsou do sítě posílány v pořadí, v jakém byly přijaty vysílačem FSO).

Na Obr. 6.9 je znázorněno uspořádání spoje FSO s navrženými bloky ARQ v modulech FSO bridge.



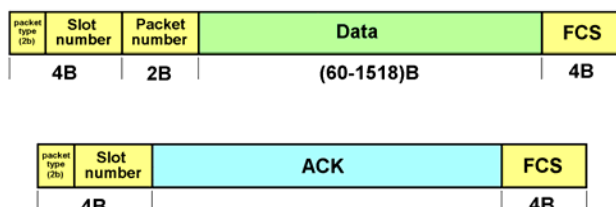
Obr. 6.9 Uspořádání mostu FSO.

Most je implementován pomocí vývojové desky s obvodem Xilinx Virtex-5 s přidavným paměťovým modulem. Ethernetové rámce přijímané z rozhraní 100BASE-TX jsou předávány modulu ARQ (Obr. 6.10). Aby bylo zacházení s rámcí efektivní, jsou tyto rozděleny do skupin – slotů – podle pořadí, ve kterém byly přijaty. Každý slot je aktivní po fixní čas, tzv. Slot Time (například 500 μ s). Všechny sloty jsou sekvenčně číslovány a aktivní je vždy pouze jediný slot. Sloty jsou seřazeny do kompaktní struktury tvořící cyklický vysílací buffer rámců, které mohou být v případě potřeby později znovu odeslány (Obr. 6.12). Jakmile je celý jeden rámec uložen do paměti, je jeho kopie okamžitě předána bloku pro slučování rámců (Frame Combiner; FC) pro přenos FSO spojem.



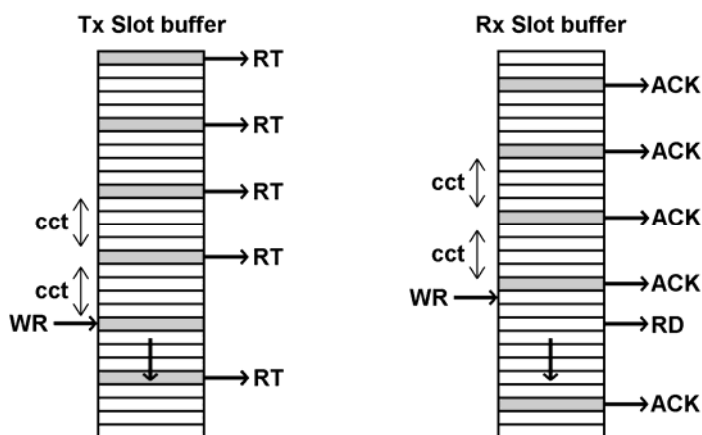
Obr. 6.10 Blokové schéma mostu FSO

Aby byla zajištěna transparentnost protokolu ARQ, jsou běžné Ethernetové rámce doplněny hlavičkou protokolu FSO, která obsahuje identifikační údaje rámce. Hlavička obsahuje číslo slotu, do kterého rámec patří (4 Byty) a pořadové číslo rámce v rámci tohoto slotu (2 Byty; Obr. 6.11). První dva bity čísla slotu jsou použity pro přenos informace o typu rámce. Celý rámec je zabezpečen 32 bitovým cyklickým součtem (CRC32), který je obsažen v poli FCS (Frame Check Sum). Pokud předpokládáme přenos běžných rámců protokolu Ethernet 802.1q (délka rámce 1518 Bytů bez pole FCS), je maximální délka rámce FSO 1528 Bytů.



Obr. 6.11 Datový rámec a rámec ACK protokolu ARQ pro FSO

Blok FC je tvořen dvouvstupým vysílacím bufferem. První vstup (s vyšší prioritou) je použit pro rámce, které ještě nebyly vyslány. Kdykoliv je blok FC neobsazen, jsou prostřednictvím jeho druhého vstupu vysílány ztracené rámce vyžadující opakované vysílání (datové rámce) a rámce potvrzující přijetí paketů protějšimu vysílači (rámce ACK).



Obr. 6.12 Organizace paměti vysílače a přijímače

Princip přidávání rámců pro retranslaci je prostý díky uspořádání rámců v paměti do slotů. Kromě jednoho hlavního zapisovacího ukazatele je ve vysílacím bufferu ještě několik dalších ukazatelů, které jsou určeny pro retranslaci nepotvrzených paketů. Jelikož k retranslaci může dojít až po uplynutí doby CCT, odpovídá vzájemná vzdálenost těchto ukazatelů právě tomuto času. Každý ukazatel je použit k přečtení stavových informací daného slotu. Pokud jsou v rámci slotu detekovány neodeslané rámce, jsou předány do bloku FC (s prioritou danou nejstarším rámcům). Hlavička rámců, které jsou znovu odeslány, je stejná, jako hlavička původních rámců.

Na straně přijímače jsou přijaté rámce zpracovány blokem fyzického rozhraní FSO a předány bloku ARQ. Potvrzující pakety (ACK) jsou odděleny od datových, které jsou uloženy do přijímacího bufferu. Ten má stejnou strukturu, jako buffer vysílací a rámce jsou v něm i stejně ukládány podle jejich hlavičky. ACK rámce jsou přijímačem vysílány kdykoliv dojde k otevření nového slotu a znovu odeslány vždy po uplynutí doby CCT. Každý ACK rámeček obsahuje informaci o stavu každého rámce v daném slotu (doručen/nedoručen). Číslo slotu je uloženo v hlavičce ACK rámce a jeho tělo obsahuje binárně informaci o stavech jednotlivých rámců. Přijaté (potvrzované) rámce jsou označeny jako 1, nepřijaté (požadované) jako 0. V bufferu vysílače je přijatý ACK paket použit pro aktualizaci stavů jednotlivých rámců v daném slotu a potvrzené rámce jsou smazány.

Fyzická vrstva spoje je (Physical Coding Sublayer / PCS, Physical Medium Attachment / PMA) jsou zcela implementovány v obvodu FPGA (včetně obvodu CDR). Výhodou takového řešení je možnost libovolně definovat parametry těchto vrstev. Pro první měření byly nastaveny následující parametry fyzické vrstvy:

PCS sublayer: Je použito kódování 8b/10b (ve standardu 100BASE-T Ethernet je původně použito kódování 4b/5b v kombinaci se scramblerem) [103]. Jako mezirámcová výplň je použita posloupnost znaků K.28.5 dlouhá alespoň 4 slova.

PMA sublayer: Vstup a výstup fyzické vrstvy FSO tvoří dvojice diferenčních párů (jeden pro každý směr) pracujících na přenosové rychlosti 125 Mb/s. Data jsou vstupem/výstupem kodéru/dekodéru 8b/10b.

7 Závěr

V rámci disertační práce byly použity obvody FPGA jako efektivní platforma pro vývoj nových algoritmů a jejich optimalizaci. To umožnilo spojit proces simulace a verifikace a tím urychlit vývoj nových bloků.

S využitím optimalizace založené na obvodech FPGA byly navrženy nové algoritmy výběru fáze obvodu obnovy datového signálu s asynchronním převzorkováním (BO-CDR). Oproti dříve publikovaným variantám vynikají tyto algoritmy velmi nízkými nároky na hardwarové prostředky cílového obvodu při současné velmi nízké chybovosti. Ta je zcela srovnatelná s běžně používanými obvody CDR založenými na PLL. Celková spotřeba nového obvodu CDR je tak velmi nízká. I při implementaci v obvodech FPGA je několikanásobně menší, než spotřeba komerčně dostupných srovnatelných obvodů CDR s PLL. Při realizaci nového obvodu v technologii ASIC lze očekávat ještě výraznější snížení spotřeby a částečně i množství potřebných hardwarových prostředků. Nově navržené obvody BO-CDR lze použít nejen jako bloky pro obnovu datového signálu v FPGA, ale lze je také implementovat ve vhodné technologii ASIC.

Doposud nebylo publikováno srovnání obvodů CDR založených na PLL s obvody BO-CDR z hlediska chybovosti. Autoři článků o CDR se zmiňují o konečném fázovém rozlišení obvodu BO-CDR, které teoreticky vede ke zvýšení citlivosti obvodu BO-CDR na jitter, a tak teoreticky k jeho větší chybovosti. Tato představa je vyvrácena teoretickou analýzou v [18], která ale není podložena měřením.

V disertaci je uvedené srovnání několika obvodů BO-CDR s obvody CDR založenými na PLL, které bylo provedeno při měřeních na experimentálním optickém datovém spoji. Cílem měření bylo objektivní porovnání vlastností těchto obvodů, čemuž byla přizpůsobena měřicí aparatura. Z měření vyplývá, že běžný obvod BO-CDR s algoritmem výběru fáze založeným na majoritní volbě dosahuje stejné chybovosti, jako obvody založené na PLL (konkrétně obvod SY87700 firmy Micrel). Nově vyvinuté algoritmy BO-CDR, které oproti obvodu s majoritní volbou vynikají nízkými nároky na hardware, jsou s těmito obvody taktéž zcela srovnatelné. Obvod CDR, který je součástí transceiverů GTP obvodů Virtex-5 vykazoval oproti očekáváním poněkud vyšší chybovost.

Nejjednodušší používaný obvod BO-CDR s algoritmem přímé volby vykazoval ve srovnání s ostatními obvody více než o řád vyšší chybovost a jeho použití je proto vhodné pouze pro kvalitní spoje s malým jitterem. Vzhledem k hardwarovým nárokům nových variant obvodů BO-CDR je ale i v těchto aplikacích použití tohoto algoritmu diskutabilní, neboť nárůst požadavků na hardware je velmi malý.

Pro rychlou analýzu vlastností datových spojů byla vyvinuta nová metoda měření jitteru v FPGA založená na vzorkování diagramu oka. Oproti dříve publikované metodě „Follow-me“ umožňuje měřit vysokofrekvenční jitter, který má pro analýzu chybovosti obvodů CDR klíčový význam. Oproti metodě TDC umožňuje dosáhnout většího

rozlišení a rychlejšího měření. Metoda byla využita při měřeních obvodů CDR pro možnost porovnání jejich vlastností.

Během stáže v Německém centru pro letectví a vesmír (DLR) byl vyvinut specializovaný měřič distribuce chybovosti (BED-T; Bit Error Distribution Tester) určený pro stanovení vlastností atmosférických optických spojů. Jeho základem je obvod FPGA, v němž je využit navržený obvod BO-CDR, což výrazně snižuje nároky na implementaci měřiče a umožňuje velmi přesné sledování charakteristik kanálu i během úniků. Během úniku může nastat u obvodu CDR ztráta synchronizace, kterou je třeba po odeznění úniku opět navázat. Při použití běžných obvodů CDR založených na PLL je doba synchronizace velmi vysoká a použití obvodu BO-CDR je pro jeho velmi vysokou rychlost synchronizace velmi vhodné.

Výsledky měření zachycené tímto přístrojem poskytují kvalitní základ pro návrh protichybového zabezpečení přenosu dat na daném spoji. Na jejich základě byl navržen systém ARQ, který je schopen zajistit dostatečnou kvalitu přenosu pro provoz běžně používaných protokolů, které nelze na spojích FSO přímo provozovat. Systém ARQ je implementován na rekonfigurovatelné platformě, což umožňuje prakticky libovolné nastavení jeho parametrů, které tak mohou být přizpůsobeny konkrétnímu spoji.

Cíle stanovené v úvodu disertace lze považovat za splněné, avšak téma disertace není zcela vyčerpáno.

Různé vzorkovače v obvodech FPGA se mohou výrazně lišit vlastnostmi z hlediska jitteru a dodržení fázových relací jednotlivých hodinových signálů, které definují vzorkovací domény. Tyto vlastnosti by měly být ověřeny podrobným měřením jednotlivých vzorkovačů. Pro jednotlivé varianty by dále měly být stanoveny limitní hodnoty hodinového signálu, kdy je jitter hodinového signálu ještě akceptovatelný.

Navržený systém ARQ pro spoje FSO je nutné ověřit na reálném spoji, který má být v nejbližší době na Ústavu Radioelektroniky realizován. Na základě měření bude provedena optimalizace jeho parametrů (hloubka vyrovnávací paměti, automatická volba hodnoty CCT atd.).

8 Literatura

- [1] ŽALUD, V. *Moderní radioelektronika*. Praha: BEN, 2000. 768 s. ISBN 80-86056-47-3
 - [2] PROAKIS J. G. *Digital Communications*. 4th Edition, New York: McGraw-Hill, 2001, 1002 p. ISBN 0-07-232111-3
 - [3] MAXFIELD, C. *The Design Warrior's Guide to FPGAs*. 1st ed. Newnes – Elsevier, Burlington, MA, 2004. 542 p. ISBN 0-7506-7604-3
 - [4] A. X. WIDMER, P.A. FRANASZEK, A. DC-Balanced, Partitioned-Block, 8B/10B Transmission Code, *IBM Journal of Research and Development*, vol. 27, No. 5, Sep. 1983, pp. 440-451.
 - [5] HSIEH, M.-T., SOBELMAN, G. E. Architectures for Multi-Gigabit Wire-Linked Clock and Data Recovery. In *IEEE Circuits and Systems Magazine*, 2008. p. 45-57, ISSN 1531-636X
 - [6] SCHEYTT, J.C., HANKE, G., LANGMANN U. A 0.155-, 0.622, and 2.488-Gb/s Automatic Bit-Rate electing Clock and Data Recovery IC for Bit-Rate Transparent SDH Systems, *IEEE Journal of Solid-State Circuits*, vol. 34, no. 12, pp. 1935–1943, 1999. ISSN: 0018-9200
 - [7] LEE, T.H.; BULZACCHELLI, J.F. A 155-MHz clock recovery delay- and phase-locked loop. In *IEEE Journal of Solid-State Circuits*, 1992, Volume: 27, Issue: 12. p. 1736-1746. ISSN 0018-9200
 - [8] MUTHALI, H. S., THOMAS T.P., YOUNG, I.A. A CMOS 10-Gb/s SONET Transceiver, *IEEE Journal of Solid-State Circuits*, vol. 39, no. 7, pp. 1026–1033, Jul. 2004. ISSN: 0018-9200
 - [9] HANUMOLU, P. K., KIM, M.G., WEI, G.-Y., MOON U.-K. A 1.6 Gbps Digital Clock and Data Recovery Circuit, *IEEE Custom Integrated Circuits Conference*, Sept. 2006. pp. 603–606. ISBN: 1-4244-0075-9
 - [10] MENGALI, A. *Synchronization Techniques for Digital Receivers*. 1st ed. Plenum Press, New York 1997. 534 p. ISBN 978-0-306-45725-8
 - [11] IEEE Std 802.3-2005: *Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications*. IEEE, 3 Park Avenue, New York, NY 10016-5997, USA, 9 December 2005.
 - [12] BAZES, M., ASHURI, R. A novel CMOS digital clock and data decoder. In *IEEE Journal of Solid-State Circuits*, Volume 27, Issue 12, 1992. p. 1934-1940 ISSN 0018-9200.
 - [13] LEE, K. et al., A CMOS serial link for fully duplex data communications. In *IEEE Journal of Solid-State Circuits*, vol. 30, pp. 353–364, Apr. 1995. ISSN: 0018-9200
 - [14] YANG, C.-K.; FARJAD-RAD, R.; HORWITZ, M. A 0.5- μ m CMOS 4.0-Gbit/s Serial Link Transceiver with Data Recovery Using Oversampling. In *IEEE Journal of Solid-State Circuits*, 1998. vol. 33, no. 5. p. 713- 722. ISSN: 0018-9200
 - [15] VAN IERSSEL, M.; SHEIKHOESLAMI, A.; TAMURA, H.; WALKER, W.W.: A 3.2 Gb/s CDR Using Semi-Blind Oversampling to Achieve High Jitter Tolerance. In *IEEE Journal of Solid-State Circuits*, Volume 42, Issue 10, 2007. P. 2224-2234, ISSN: 0018-9200.
 - [16] BROWNLEE, M., HANUMOLU, P.K., UN-KU MOON: A 3.2Gb/s Oversampling CDR with Improved Jitter Tolerance. In *IEEE Custom Integrated Circuits Conference CICC '07*, 2007. p. 353-356. ISBN: 978-1-4244-1623-3
 - [17] CHE-FU L.; SY-CHYUAN H.; SHEN-IUAN, L. A 2.5Gbps Burst-Mode Clock and Data Recovery Circuit. In *IEEE Asian Solid-State Circuits Conference*, 2005, p. 457 – 460, doi: 10.1109/ASSCC.2005.251764
 - [18] KIM, J., JEONG, D. K. Multi-gigabit-rate clock and data recovery based on blind oversampling. In *IEEE Communication Magazine*, 2003, Volume 41, Issue 12. p. 68–74. ISSN: 0163-6804
-

- [19] BUSHNAG, S., NAKURA, T., IKEDA M., ASADA, K. All digital baseband 50 Mbps data recovery using $5\times$ oversampling with 0.9 data unit interval clock jitter tolerance, In *Proceedings of 12th International Symposium on Design and Diagnostics of Electronic Circuits & Systems 2009*. p.206-209. ISBN: 978-1-4244-3341-4.
 - [20] MIKI, Y.; SAITO, T.; YAMASHITA, H.; YUKI, F.; BABA, T.; KOYAMA, A.; SONEHARA, M., A 50-mW/ch 2.5-Gb/s/ch data recovery circuit for the SFI-5 interface with digital eye-tracking. *IEEE Journal of Solid-State Circuits*, vol.39, no.4, pp. 613-621, April 2004, ISSN: 0018-9200.
 - [21] AHMED, S.I.; KWASNIEWSKI, T.A. Overview of oversampling clock and data recovery circuits, In *Proceedings of Canadian Conference on Electrical and Computer Engineering*, 2005. pp.1876-1881, 2005. ISSN: 0840-7789.
 - [22] NEDOVIC, N. et. al. A 40–44 Gb/s $3\times$ Oversampling CMOS CDR/1:16 DEMUX, In *IEEE Journal of Solid-State Circuits*, 2007, vol.42, no.12, pp.2726-2735. ISSN: 0018-9200
 - [23] YANG, C-K. K., Design of High-Speed Serial Links in CMOS. *Ph.D. Dissertation*, CSL-TR-98-775, December 1998, Stanford University, California.
 - [24] LEE, B.-J., HWANG, M.-S., KIM, J., JEONG, D.-K., KIM, W. A quad 3.125 Gbps transceiver cell with all-digital data recovery circuits, *2005 Symposium on VLSI Circuits, 2005. Digest of Technical Papers*, 2005, pp. 384-387. ISBN: 4-900784-01-X
 - [25] LEE, S.-H., et. al. A 5-Gb/s 0.25- μ m CMOS jitter-tolerant variable-interval oversampling clock/data recovery circuit," *IEEE Journal of Solid-State Circuits*, 2002, vol.37, no.12, pp. 1822-1830. ISSN: 0018-9200
 - [26] PARK, S.-H., CHOI, K.-H., SHIN, J.-B., SIM, J.-Y., PARK, H.-J. A Single-Data-Bit Blind Oversampling Data-Recovery Circuit With an Add-Drop FIFO for USB2.0 High-Speed Interface. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2008, vol.55, no.2, pp.156-160, ISSN: 1549-7747
 - [27] KIM, S., LEE, K., JEONG, D.-K., LEE, D. D., NOWATZYK, A. G. An 800 Mbps multi-channel CMOS serial link with $3\times$ oversampling. In *Proceedings of the IEEE 1995 Custom Integrated Circuits Conference*, 1995. pp. 451-455. ISBN: 0-7803-2584-2.
 - [28] BUSHNAQ, S., NAKURA, T., IKEDA, M., ASADA, K. All digital baseband 50 Mbps data recovery using 5. In *Proceedings of 12th International Symposium on Design and Diagnostics of Electronic Circuits&Systems*, 2009. pp.206-209. ISBN 978-1-4244-3339-1
 - [29] VICHENCHOM, K. A Multi-gigabit CMOS Transceiver with $2\times$ Oversampling Linear Phase Detector. *Ph.D. Dissertation*, 2003, North Carolina State University, North Carolina.
 - [30] JOU, S.-J., LIN, C.-H., CHEN, Y.-H., LI, Z.-H. Design and analysis of digital data recovery circuits using oversampling. In *IET Circuits Devices Systems*, Vol. 1, No. 1, 2007. ISSN: 1751-858X
 - [31] AHMED, S.I. KWASNIEWSKI, T.A. An All-Digital Data Recovery Circuit Optimization Using Matlab-Simulink. In *Proceedings of IEEE International Symposium on Circuits and Systems*, 2005. Vol. 5, pp. 4485- 4488. ISBN: 0-7803-8834-8
 - [32] YIN, J., ZENG, L.-G. A Statistical Jitter Tolerance Estimation Applied for Clock and Data Recovery Using Oversampling. In *Proceedings of IEEE Region 10 Conference TENCN*, 2006. pp. 1-4. ISBN: 1-4244-0548-3
 - [33] KANG, J.-K. Performance Analysis of Oversampling Data Recovery Circuit. In *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 1999, pp. 958-964. ISSN: 0916-8508
 - [34] SUVAKOVIC, D.; HADZIE, I., An FPGA application with high speed serial transceiver running at sub nominal rate, In *Proceedings of International Conference on Field Programmable Logic and Applications*, 2005, vol., no., pp. 229-234, 24-26 Aug. 2005. ISBN: 0-7803-9362-7
 - [35] Micrel Inc. 2180 Fortune Drive San Jose, CA 95131, USA. *SY87701V Clock And Data Recovery*. [online], 2003 [cit. 2007-09-10], Dostupný z < http://www.micrel.com/_PDF/HBW/sy87700v.pdf>
-

- [36] Intel Inc. 2200 Mission College Blvd. Santa Clara, CA 95054-1549 USA. *Intel LXT971A 3.3V Dual-Speed Fast Ethernet PHY Transceiver*. [online]. 2001 [cit. 2009-01-11]. Dostupný z WWW: <<http://www.tai-yan.com/en/adownload/194555.pdf>>
- [37] Marvell Semiconductor, Inc. 5488 Marvell Lane, Santa Clara, CA 95054, USA. *88E1111 Datasheet - Integrated 10/100/1000 Ultra Gigabit Ethernet Transceiver*. [online] 2004 [cit. 2009-02-08]. Dostupný z WWW: <http://www.datasheet4u.com/html/8/8/E/88E1111_Marvell.pdf.html>
- [38] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-II Pro and Virtex-II Pro X Platform FPGAs: Complete Data Sheet (ds083)*, [online], 2002 [cit. 2008-12-07]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/data_sheets/ds083.pdf>
- [39] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-5 Data Sheet: DC and Switching Characteristics (ds202)*, [online], 2006 [cit. 2009-02-03]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/data_sheets/ds202.pdf>
- [40] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-5 FPGA Family: Complete Data Sheet (ds100)*. [online], 2009 [cit. 2009-02-03]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/data_sheets/ds100.pdf>
- [41] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-5 FPGA RocketIO GTP Transceiver*. [online], 2006 [cit. 2009-02-03], dostupný z WWW: <http://www.xilinx.com/support/documentation/user_guides/ug196.pdf>
- [42] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-5 FPGA RocketIO GTX Transceiver User Guide (ug198)*. [online], 2008 [cit. 2009-02-03], dostupný z WWW: <http://www.xilinx.com/support/documentation/user_guides/ug198.pdf>
- [43] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-6 FPGA Data Sheet: DC and Switching Characteristics (ds152)*, [online], 2009 [cit. 2009-08-02], dostupný z WWW: <http://www.xilinx.com/support/documentation/user_guides/ug198.pdf>
- [44] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Spartan-3 FPGA Family: Complete Data Sheet (DS099)*. [online], 2004 [cit. 2007-09-12]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf>
- [45] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Spartan-6 FPGA Data Sheet: DC and Switching Characteristics (ds162)*, [online], 2009 [cit. 2009-08-02]. Dostupný z WWW: <http://www.xilinx.com/support/documentation/data_sheets/ds162.pdf>
- [46] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Data Recovery (xapp224)*. [online], 2000, cit. [2007-10-15]. Dostupné na WWW: <http://www.xilinx.com/support/documentation/application_notes/xapp224.pdf>
- [47] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *A 3/4/5/6X Oversampling Circuit for 200 Mb/s to 1000 Mb/s Serial Interfaces (xapp572)*. [online], 2004, cit. [2009-05-25]. Dostupné na WWW: <http://www.xilinx.com/support/documentation/application_notes/xapp572.pdf>
- [48] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Efficient 8X Oversampling Asynchronous Serial Data Recovery Using IDELAY (xapp861)*. [online], 2006, cit. [2009-05-25]. Dostupné na WWW: <http://www.xilinx.com/support/documentation/application_notes/xapp861.pdf>
- [49] Altera Corporation. 101 Innovation Drive, San Jose, CA 95134, USA. *Stratix GX Device Handbook, Volume 2*, [online], 2002 [cit. 2009-02-05], dostupný z WWW: <http://www.altera.com/literature/hb/sgx/sgx_handbook.pdf>
- [50] Altera Corporation. 101 Innovation Drive, San Jose, CA 95134, USA. *Stratix II GX Device Handbook*, [online], 2006 [cit. 2009-02-05], dostupný z WWW: <http://www.altera.com/literature/hb/stx2gx/stxiigx_handbook.pdf>
- [51] Altera Corporation. 101 Innovation Drive, San Jose, CA 95134, USA. *Stratix IV Device Handbook*. [online], 2009 [cit. 2009-02-05], dostupný z WWW: <http://www.altera.com/literature/hb/stratix-iv/stratix4_handbook.pdf>

- [52] Altera Corporation. 101 Innovation Drive, San Jose, CA 95134, USA. *Arria GX Device Handbook*, [online], 2007 [cit. 2009-02-05], dostupný z WWW:
<http://www.altera.com/literature/hb/agx/arriagx_handbook.pdf>
- [53] Altera Corporation. 101 Innovation Drive, San Jose, CA 95134, USA. *Arria II GX Device Handbook*, [online], 2009 [cit. 2009-02-05], dostupný z WWW:
<http://www.altera.com/literature/hb/arria-ii-gx/arria-ii-gx_handbook.pdf>
- [54] Lattice Semiconductor Corporation 5555 N.E. Moore Court Hillsboro, Oregon 97124-6421, USA. *LatticeSC/M Family Data Sheet (DS1004)*, [online]. 2006 [cit. 2009-05-18]. Dostupný z WWW:
<<http://www.latticesemi.com/documents/DS1004.pdf>>
- [55] Lattice Semiconductor Corporation 5555 N.E. Moore Court Hillsboro, Oregon 97124-6421, USA. *LatticeECP2/M Family Handbook (HB1003)*, [online]. 2006 [cit. 2009-05-18]. Dostupný z WWW:
<<http://www.latticesemi.com/documents/HB1003.pdf>>
- [56] Lattice Semiconductor Corporation 5555 N.E. Moore Court Hillsboro, Oregon 97124-6421, USA. *LatticeXP2 Family Handbook (HB1004)*, [online]. 2007 [cit. 2009-05-18]. Dostupný z WWW:
<<http://www.latticesemi.com/documents/HB1004.pdf>>
- [57] Lattice Semiconductor Corporation 5555 N.E. Moore Court Hillsboro, Oregon 97124-6421, USA. *LatticeECP3 Family Data Sheet (DS1021)*, [online]. 2009 [cit. 2009-05-18]. Dostupný z WWW:
<<http://www.latticesemi.com/documents/DS1021.pdf>>
- [58] Lattice Semiconductor Corporation 5555 N.E. Moore Court Hillsboro, Oregon 97124-6421, USA. *LatticeSC MACO Core LSCDR1X18 Low-Speed Clock and Data Recovery User's Guide (TN1122)*, [online]. 2007 [cit. 2009-05-18]. Dostupný z WWW:
<<http://www.latticesemi.com/lit/docs/technotes/tn1122.pdf>>
- [59] Jitter Generation Techniques For Serializer-Deserializer Compliance Testing [online]. Tektronix application note, 2005 [cit. 10-11-2007]. Dostupný na WWW:
<http://www.tek.com/Masurement/App_Notes/86_18568/eng/86W_18568_1.pdf>.
- [60] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *Virtex-5 FPGA User Guide (ug190)*, [online], 2008 [cit. 2009-02-03], dostupný z WWW:
<http://www.xilinx.com/support/documentation/user_guides/ug190.pdf>
- [61] TORAL, S.L., QUERO, J.M., ORTEGA, J.G., FRANQUELO, L.G. Stochastic A/D sigma-delta converter on FPGA. In *Proceedings of 42nd Midwest Symposium on Circuits and Systems*, 1999. vol.1, no., pp.35-38. ISBN: 0-7803-5491-5
- [62] Total Jitter Measurement at Low Probability Levels, Using Optimized BERT Scan Method [online] Agilent White Paper, 2005. Dostupný z WWW:
<http://www.home.agilent.com/agilent/redirector.jsp?action=ref&cname=AGILENT_EDITORIAL&key=682410&lc=eng&cc=US>
- [63] ITU-T recommendation G.783. *Characteristics of synchronous digital hierarchy (SDH) equipment functional blocks*. The International Telecommunication Union, Geneva, Switzerland, 2006.
- [64] ITU-T recommendation G.825. *The control of jitter and wander within digital networks which are based on the synchronous digital hierarchy (SDH)*. The International Telecommunication Union, Geneva, Switzerland, 2000.
- [65] ITU-T recommendation O.150. *General requirements for instrumentation for performance measurements on digital transmission equipment*. The International Telecommunication Union, Geneva, Switzerland, 1996, (correction 2002).
- [66] ITU-T recommendation O.151. *Error Performance Measuring Equipment Operating at the Primary Rate and Above*. The International Telecommunication Union, Geneva, Switzerland, 1992, (correction 2002).
- [67] JEDEC Standard JESD65B. *Definition of Skew Specifications for Standard Logic Devices*. 2003.
- [68] ITU-T recommendation G.701. *Vocabulary of Digital Transmission and Multiplexing, and Pulse Code Modulation (PCM) Terms*. The International Telecommunication Union, Geneva, Switzerland, 1993.

- [69] ITU-T recommendation G.823. *The control of jitter and wander within digital networks which are based on 2048 kbit/s hierarchy*. The International Telecommunication Union, Geneva, Switzerland, 2000.
- [70] ITU-T recommendation O.171. *Timing jitter and wander measuring equipment for digital systems which are based on the plesiochronous digital hierarchy (PDH)*. The International Telecommunication Union, Geneva, Switzerland, 1997.
- [71] BORGOSZ, J. "Follow Me" - Digital Jitter Measurement Method. In *Measurement Science Review*, 2006, Volume 6, Section 3. ISSN 1335 – 8871
- [72] Actel Inc. 2061 Stierlin Court, Mountain View, CA 94043-4655, USA. *Actel Fusion Handbook*. [online], 2008 [cit. 2009-08-03], dostupný z WWW: <http://www.actel.com/documents/Fusion_HB.pdf>
- [73] CHEUNG, R.C.C., PUN, K.P., YUEN, S.C.L., TSOI, K.H., LEONG, P.H.W. An FPGA-based re-configurable 24-bit 96kHz sigma-delta audio DAC. In *Proceedings of IEEE International Conference on Field-Programmable Technology (FPT)*, 2003. pp. 110- 117. ISBN: 0-7803-8320-6
- [74] Maxim Integrated Products, Inc. 120 San Gabriel Drive, Sunnyvale, CA 94086, USA. *DS2174 EBERT*. [online], 2002 [cit. 2008-11-02], dostupný z WWW: < <http://datasheets.maxim-ic.com/en/ds/DS2174.pdf>>
- [75] KANG, J.-K., LIU, W., CAVIN, R. K. A CMOS High-Speed Data Recovery Circuit Using the Matched Delay Sampling Technique. 1997. In *IEEE Journal of Solid-State Circuits*, vol. 32, no. 10, pp. 1588-1596. ISSN 0018-9200
- [76] Tektronix, Inc., 14200 SW Karl Braun Drive, P.O. Box 500, Beaverton, OR 97077, USA. *Understanding and Characterizing Timing Jitter* [online], 2003 [cit. 2009-04-25], dostupný z WWW: <http://www.tek.com/Measurement/scopes/jitter/55W_16146_1.pdf>
- [77] MARINS, C. N. M., et. al. *New Jitter Measurement Technique Using TDC Principle in a FPGA Component*, [online], 2009 [cit. 2009-08-05], dostupný z WWW: <http://www.inatel.br/cict/downloads/doc_download/2737-antonio-alves-ferreira-junior>
- [78] MILLER, M., SCHNECKER, M. *A Comparison of Methods for Estimating Total Jitter Concerning Precision, Accuracy and Robustness*, [online], 2007 [cit. 2009-08-05], dostupný z WWW: <http://www.lecroy.com/tm/Library/WhitePapers/PDF/LeCroy_Jitter_Methods_DesignCon2007.pdf>
- [79] Maxim Integrated Products, Inc. 120 San Gabriel Drive, Sunnyvale, CA 94086, USA. *Jitter in Digital Communication Systems*, [online], 2008 [cit. 2009-08-05], dostupný z WWW: <<http://pdfserv.maxim-ic.com/en/an/AN794.pdf>>
- [80] KUBÍČEK, M. Simulation of Digital Clock and Data Recovery of Strongly Disturbed Signals. In *Proceedings of 17th International Conference Radioelektronika 2007*. Department of Radio Electronics, Brno University of Technology, Purkyňova 118, 612 00 Brno: MJ servis Božetěchova 133, 612 00 Brno, 2007. p. 211 - 214. ISBN: 978-80-214-3390-8.
- [81] KOLOUCH, J.; KOLKA, Z.; KUBÍČEK, M. BER Evaluation Embedded Module for Serial Links. In *International Conference on Signals and Electronic Systems, conference proceedings*. Lodž: Institute of Circuit Theory, Metrology and Materials Science of the Technical University of Lodz, Poland, 2006. p. 353 - 355. ISBN: 83-921172-6-1.
- [82] KUBÍČEK, M.; HENNINGER, H.; KOLKA, Z. Bit error distribution measurements in the atmospheric optical fading channel. In *SPIE-The International Society for Optical Engineering: Proceedings of SPIE -- Volume 6877*, SPIE Optical Press, Free-Space Laser Communication Technologies XX, LASE 2008, San Jose, California, USA, 2008, ISBN 9780819470522
- [83] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *PicoBlaze 8-Bit Microcontroller for Virtex-II Series Devices (xapp627)*. [online], 2008 [cit. 2009-02-03], dostupný z WWW: <http://www.xilinx.com/support/documentation/user_guides/ug190.pdf>
- [84] Analog Devices, Inc., 3 Technology Way Norwood, MA 02062, USA. *Fiber Optic Receiver with Quantizer and Clock Recovery and Data Retiming* [online], 2000 [cit. 2009-06-12], dostupný z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD807.pdf>

-
- [85] ANDREWS, L. C., PHILLIPS, R. L. *Laser Beam Propagation through Random Media*, 2nd ed., SPIE Press, Bellingham, WA, 2005. 820 p. ISBN 978-0819459480.
 - [86] ANDREWS, L. C. Aperture-averaging factor for optical scintillations of plane and spherical waves in the atmosphere. In *Journal of the Optical Society of America. A, Optics and image science*. 1992, p. 597–600 1992. ISSN 0740-3232
 - [87] KUBÍČEK, M. Simulation model of Digital Clock and Data Recovery for Strongly Disturbed Signals. In *Proceedings of the 13th Conference Student EEICT 2007*. Vysoké učení technické v Brně: Ing. Zdeněk Novotný CSc., Ondráčková 105, Brno, 2007. p. 266 - 270. ISBN 978-80-214-3410-3.
 - [88] KUBÍČEK, M.; KOVÁČ, M. Efficient Implementation of Clock and Data Recovery. In *Proceedings of the 6th International Conference of PhD Students*. 2007, University of Miskolc, Hungary. p. 289 - 292. ISBN: 978-963-661-783-7.
 - [89] KUBÍČEK, M. Data recovery methods for wireless links at 155 Mb/s. In *Moderní metody řešení, návrhu a aplikace elektronických obvodů*. Ing. Zdeněk Novotný, CSc., Brno, Ondráčková 105, 2006. p. 31 - 35. ISBN: 80-214-3328-0.
 - [90] KUBÍČEK, M.; KOVÁČ, M. PRBS Test Sequence Synchronization in Bit Error Measurement of FSO Links. In *Proceedings of the 14th Conference Student EEICT 2008*, Volume 3. 1. Brno, Ing. Zdeněk Novotný CSc., Ondráčková 105, Brno. 2008. p. 47 - 51. ISBN 978-80-214-3616-9.
 - [91] KUBÍČEK, M. Tester of digital optical link. In *Proceedings of the 12th conference Student EEICT 2006*. Brno: Ing. Zdeněk Novotný CSc., Ondráčková 105, Brno, 2006. p. 38 - 40. ISBN: 80-214-3161-X.
 - [92] ANDREWS, L.; C., PHILLIPS, R. L.; HOPEN, C. Y. *Laser Beam Scintillation with Applications*. SPIE Press, Bellingham, WA, 2001. 416 p. ISBN 0-8194-4103-1.
 - [93] WILFERT, O. *Optické bezkabelové spoje*. Brno, 2004. 84s., 8 s. příloh. Habilitační práce na Fakultě elektrotechniky a komunikačních technologií na Ústavu radioelektroniky.
 - [94] ANDREWS, L.C. Free-Space laser propagation: Atmospheric effects. In *Digest of the LEOS Summer Topical Meetings*, 2005, vol. 1, no. 1, p. 3-4. ISSN 1099-4742.
 - [95] Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA. *ML505/ML506/ML507 Evaluation Platform User Guide*, [online], 2008 [cit. 2009-02-05], dostupný z WWW: <http://www.xilinx.com/support/documentation/user_guides/ug347.pdf>
 - [96] KOLKA, Z.; WILFERT, O.; BIOLKOVÁ, V. Reliability of Digital FSO Links in Europe. In *Proceedings of the 4th International Conference on Computer, Electrical, and Systems Science, and Engineering CESSE'07. Venice, Italy: World Academy of Science*, 2007. s. 55-58. ISBN: 1307-6884.
 - [97] RECOLONS, J., ANDREWS, L. C., PHILLIPS, R. L.: Analysis of beam wander effects for a horizontal-path propagating Gaussian-beam wave: focused beam case. In *Optical engineering*, 2007, vol. 46 (8), p. 86002-86002. ISSN: 0091-3286.
 - [98] TERRADELLAS, E., FERRERES, E., SOLER, M. R.: Analysis of turbulence in fog episodes. In *Advances in Science and Research*, 2008, no. 2, p. 31–34. ISSN: 1992-0628
 - [99] EPPLER, B., HENNIGER, H., SOLSONA, C. S.: An Error Protection Protocol for user-transparent bridging of Fast Ethernet data transmission over the optical fading channel in an Aeronautical environment. In *SPIE-The International Society for Optical Engineering: Proceedings of SPIE -- Volume 6877*, SPIE Optical Press, Free-Space Laser Communication Technologies XX, LASE 2008, San Jose, California, USA, 2008, ISBN 9780819470522
 - [100] KUBÍČEK, M.; KOLKA, Z. Ethernet Bridge for FSO Links. In *Proceedings of 19th International Conference Radioelektronika 2009*. Purkynova 118, 612 00, Brno, Czech Republic, Department of Radio Electronics, Brno University of Technology. 2009. p. 223 - 226. ISBN 978-1-4244-3536-4.
 - [101] HENNIGER, H. Packet-Layer Forward Error Correction Coding for Fading Mitigation. In *SPIE-The International Society for Optical Engineering: Proceedings of SPIE -- Volume 6304*, SPIE Optical Press, S. 630419-1 - 630419-8, Free-Space Laser Communications VI, 2006, San Diego, California, USA, ISBN 0-8194-6383-3, ISSN 0277-786X.
-

- [102] KOLKA, Z.; KUBÍČEK, M.; BIOLKOVÁ, V. Analýza výkonových fluktuací u bezkabelových optických spojů. In *Nové směry v spracovaní signálov IX*. Slovensko, AOS Liptovský Mikuláš. 2008. p. 140 - 144. ISBN 978-80-8040-345-4.
- [103] IEEE Std 802.3-2002 Standard for Information Technology. IEEE Standards Association.
- [104] KOLKA, Z.; KUBÍČEK, M.; BIOLEK, D.; BIOLKOVÁ, V. Optimization of Oversampling Data Recovery. In *Proceedings of IEEE International Midwest Symposium on Circuits and Systems*, 2009. Ciudad de Mexico, Mexico. 4 p. *Přijato k publikaci*.

Curriculum Vitae

Name: Michal KUBÍČEK

Born: January 19th 1983 in Svitavy

Contact: xkubic18@stud.feec.vutbr.cz

Education

- 2001 – 06 **Technical University of Brno / Department of Radio Electronics**
Pre-graduate study of Radio Electronics; State exam passed in June 2006
Diploma thesis Embedded Bit Error Rate Tester defended in June 2006
- 2006 – 09 **Technical University of Brno / Department of Radio Electronics**
Ph.D. study of Electronics
State exam passed in June 2008

Experience

- 6/05 – 7/05 **S3 – Silicon Software Systems, Praha**
Study stay
ASIC development
- 6/07 – 11/07 **DLR Wessling, Germany; Optical Communication Group**
Study stay
Analysis of Free-Space Optical Links

Languages

English, German

Other activities

Consulting and advisories in the area of programmable logic devices and embedded systems