

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

POČÍTAČEM ŘÍZENÝ PLL SYNTÉZÁTOR

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

MIROSLAV MÁLEK

BRNO 2011



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

POČÍTAČEM ŘÍZENÝ PLL SYNTEZÁTOR

PC CONTROLLED PLL SYNTHESIZER

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

MIROSLAV MÁLEK

VEDOUcí PRÁCE
SUPERVISOR

Ing. PETR VÁGNER, Ph.D.

BRNO 2011



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Bakalářská práce

bakalářský studijní obor
Elektronika a sdělovací technika

Student: Miroslav Málek

ID: 115223

Ročník: 3

Akademický rok: 2010/2011

NÁZEV TÉMATU:

Počítačem řízený PLL syntezátor

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se se základními typy PLL syntezátorů a principem jejich funkce. Navrhněte a naprogramujte univerzální grafické rozhraní pro PC, které umožní prostřednictvím USB portu řídit PLL syntezátor (programovat jeho registry). Zaměřte se na obvody Analog Devices. Vyberte vhodný PLL syntezátor s integrovaným VCO a realizujte rozhraní mezi PC a syntezátorem pomocí mikrokontroléru. Funkční přípravek bude použit pro laboratorní měření.

DOPORUČENÁ LITERATURA:

[1] CURTIN, M., O'BRIEN, P. Phase-Locked Loops for High-Frequency Receivers and Transmitters [online]. Norwood: Analog Devices, 1999 - [cit. 20.5.2010]. Dostupné na: <http://www.analog.com>

[2] BARRETT, C. Fractional/Integer-N PLL Basics [online]. Dallas: Texas Instruments, 1999 - [cit. 20.5.2010]. Dostupné na: <http://www.ti.com>

Termín zadání: 7.2.2011

Termín odevzdání: 27.5.2011

Vedoucí práce: Ing. Petr Vágner, Ph.D.

prof. Dr. Ing. Zbyněk Raida
Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Účelem této práce je realizovat počítačem řízený PLL syntezátor využívající rozhraní USB. Pro připojení PLL syntezátoru k počítači byl použit integrovaný obvod FT232RL. Následně byl vyvinut obslužný software pro programování registrů integrovaného obvodu ADF4110.

KLÍČOVÁ SLOVA

Kmitočtový syntezátor, napětím řízený oscilátor, USB, C#, PLL.

ABSTRACT

The aim of this bachelor's thesis is a practical realization of computer controlled PLL synthesizer using USB serial port. FT232RL was used as an interface between the PLL synthesizer ADF4110 and PC. A software with graphical user interface was also developed in order to control registers of the synthesizer.

KEYWORDS

Frequency synthesizer, voltage-controlled oscillator, USB, C#, PLL.

MÁLEK, Miroslav *Počítačem řízený PLL syntezátor*: bakalářská práce. Město: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2011. 72 s. Vedoucí práce byl Ing. Petr Vágner, Ph.D.

PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „Počítačem řízený PLL syntezátor“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Město

.....

(podpis autora)

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Petru Vágnerovi, Ph.D. za velmi užitečnou metodickou pomoc a cenné rady při zpracování semestrální práce.

V Brně dne

.....

(podpis autora)

OBSAH

Úvod	13
1 Základní teorie PLL syntezátorů	14
1.1 Syntezátory s přímou syntézou	14
1.1.1 Syntezátory s přímou koherentní přeměnou - metoda přímé přeměny	15
1.1.2 Syntezátory s přímou koherentní přeměnou - metoda harmonických	15
1.2 Syntezátory s přímou nekoherentní syntézou	16
1.3 Syntezátory s nepřímou syntézou	17
1.3.1 Syntezátory bez předděliče	17
1.3.2 Syntezátory s pevným předděličem	18
1.3.3 Syntezátory s řízeným předděličem	18
1.4 Základní pojmy PLL syntezátorů	19
1.5 Fázový šum u PLL syntezátorů	19
1.6 Filtr smyčky fázového závěsu	20
2 Rozbor zadání	21
2.1 Technologie použité při programování	21
2.1.1 Technologie .NET Framework	21
2.1.2 C#	23
2.2 Popis sběrnice USB	23
2.2.1 Parametry USB	23
2.2.2 Základní vlastnosti	24
2.2.3 Ovládací rozhraní[25]	25
2.3 Konvertor FT232RL	25
2.3.1 Základní vlastnosti	25
2.3.2 Řízení PLL syntezátoru obvodem FT232RL	26
2.3.3 Popis režimu Bit Bang	26
2.4 Výběr obvodu frekvenčního syntezátoru	27
2.4.1 Základní parametry ADF4110	27
2.4.2 Popis a funkce obvodu ADF4110	28
2.4.3 Rychlý řízený předdělič $P/(P+1)$	30
2.4.4 Určení frekvence VCO	31
2.4.5 Komunikace s PLL syntezátorem	32
2.4.6 Programování obvodu fázového závěsu	33
2.5 Vhodný napětím řízený oscilátor	34

2.5.1	Monolitický obvod TDA5331T	34
3	Řešení grafického rozhraní	35
3.1	Popis grafického rozhraní	35
3.2	Vývojový diagram aplikace	35
3.3	Ovládání a nastavení programu grafického rozhraní	37
3.3.1	Manuální ovládání grafického rozhraní	37
3.3.2	Automatické ovládání grafického rozhraní	37
3.3.3	Standardní ovládání	37
3.3.4	Nastavení vlastností programu	38
3.4	Komunikace programu s obvodem fázového závěsu	38
3.5	Výpočet hodnot čítačů a předděliče	38
4	Návrh PLL syntežátoru	41
4.1	Napětím řízený oscilátor	42
4.2	Obvod fázového závěsu	42
4.3	Referenční oscilátor	42
4.4	Filtr smyčky fázového závěsu	43
4.4.1	Výpočet hodnot pasivního filtru	45
4.5	Modul pro připojení k USB	47
4.5.1	Konfigurace modulu	49
4.6	Měření PLL syntežátoru	49
4.6.1	Měření VCO	51
5	Závěr	54
	Literatura	55
	Seznam symbolů, veličin a zkratk	57
	Seznam příloh	58
A	Architektura D2XX ovladače	59
B	Vzhled grafického rozhraní	60
C	Konfigurace USB modulu v programu MPROG verze 3.0a	61
D	Nastavovací formuláře grafického rozhraní	62
D.1	Formulář pro nastavení parametrů funkčního registru	62
D.2	Formulář pro nastavení čítače N	63
D.3	Formulář pro nastavení referenčního registru	63

D.4	Formulář pro nastavení základních parametrů grafického rozhraní . .	64
E	Charakteristika varikapu BBY40	65
F	Seznam součástek	66
G	Blokové zapojení obvodu TDA5331T	68
H	Schema zapojení PLL syntezátoru	69
H.1	Desky plošných spojů	70
I	Obsah přiloženého CD	72

SEZNAM OBRÁZKŮ

1.1	Metoda přímé přeměny [2]	15
1.2	Syntezátor využívající metodu harmonických [2]	16
1.3	Syntezátor s přímou nekoherentní syntézou [2]	16
1.4	Syntezátor bez předděliče [2]	17
1.5	Syntezátor s řízeným předděličem [2]	18
1.6	Charakteristika fázového závěsu.	19
1.7	Šum na výstupu PLL syntezátoru.	20
1.8	Příklad filtru smyčky PLL.	20
2.1	Architektura .NET Framework [17].	22
2.2	NRZI kódování	24
2.3	Funkce FT232RL v režimu Bit Bang	27
2.4	Funkční blokové schéma ADF4110 [3]	30
2.5	Rychlý předdělič $P/(P+1)$ [3]	31
2.6	Časový diagram komunikace s [3].	32
3.1	Vývojový diagram grafického rozhraní.	36
3.2	Blokový diagram komunikace hlavního programu s obvodem fázového závěsu.	39
4.1	Blokové uspořádání počítačem řízeného syntezátoru.	41
4.2	Zapojení VCO s obvodem TDA5331T.	43
4.3	Zapojení obvodu fázového závěsu.	44
4.4	Zapojení referenčního oscilátoru.	45
4.5	Simulace otevřené smyčky PLL závěsu.	46
4.6	Simulace kompletního systému PLL s VCO.	47
4.7	Schéma použitého filtru.	48
4.8	Zapojení modulu.	48
4.9	Zapojení pracoviště pro měření spektra PLL syntezátoru.	50
4.10	Spektrum na výstupu počítačem řízeného syntezátoru (Span = 200 kHz).	51
4.11	Spektrum na výstupu počítačem řízeného syntezátoru (Span = 1 MHz).	52
4.12	Závislost frekvence VCO na napětí na dolní propusti.	53
A.1	Architektura ovladače D2XX [25]	59
B.1	Grafické rozhraní aplikačního programu	60
C.1	Konfigurace vnitřní EEPROM obvodu FT232RL v programu MPROG verze 3.0a.	61
D.1	Formulář umožňující nastavit parametry funkčního registru.	62
D.2	Formulář umožňující nastavit parametry registru N.	63
D.3	Formulář umožňující nastavit parametry referenčního registru.	63

D.4	Formulář umožňující nastavit základní chování grafického rozhraní. . .	64
E.1	Závislost kapacity varikapu na přiloženém napětí (převzato z [19]). . .	65
G.1	Blokové zapojení obvodu TDA5331T.	68
H.1	Zapojení PLL syntezátoru.	69
H.2	Deska plošných spojů PLL syntezátoru ze strany TOP.	70
H.3	Deska plošných spojů PLL syntezátoru ze strany Bottom.	70
H.4	Rozmístění součástek na desce plošných spojů PLL syntezátoru. . . .	71
H.5	Deska plošných spojů modulu USB [14].	71
H.6	Rozmístění součástek na desce plošných spojů USB modulu.	71

SEZNAM TABULEK

2.1	Rozšíření technologie .NET na operačních systémech	22
2.2	Standardy USB a jejich přenosové rychlosti	25
2.3	Hardwarové vlastnosti FT232RL	26
2.4	Nastavení zpoždění v registru referenčního čítače	28
2.5	Nastavení a funkce multiplexeru MUXOUT	29
2.6	Popis pinů ADF4110, pouzdro TSSOP [3]	29
2.7	Nastavitelné hodnoty předděliče [3]	31
2.8	Nastavení kontrolních bitů jednotlivých registrů [3]	33
2.9	Rozdělení pásem TDA5331T [10]	34
3.1	Váha bitu použitých výstupů FT232RL [14] a připojení ke vstupu ADF4110.	39
4.1	Parametry nutné pro určení hodnot součástek filtru.	46
4.2	Změřené parametry napětím řízeného oscilátoru.	47
4.3	Parametry pro správné naprogramování vnitřní EEPROM obvodu FT232RL.	49
4.4	Výkon parazitních složek spektra PLL syntezátoru.	50
4.5	Změřená závislost kmitočtu VCO na napětím	52
F.1	Seznam použitých součástek PLL syntezátoru - tabulka A	66
F.2	Seznam použitých součástek PLL syntezátoru - tabulka B	67
F.3	Seznam použitých součástek pro modul USB	67

ÚVOD

Cílem této bakalářské práce je praktická realizace počítačem řízeného PLL ¹ syntezátoru kmitočtu, který pracuje v kmitočtovém rozsahu 150 - 300 MHz. Práce navazuje na výsledky semestrálního projektu, ve kterém byly zvoleny patřičné obvody pro realizaci syntezátoru, a bylo vytvořeno grafické rozhraní pro programování registrů obvodu fázového závěsu. Pro využití sběrnice USB ² byl vybrán obvod FT232RL, který umožňuje speciální konfiguraci, jenž usnadňuje zvolené řešení. Jako vhodný obvod fázového závěsu byl zvolen obvod ADF4110. Zařízení bude použito jako laboratorní přípravek, na kterém si budou moci studenti vyzkoušet vlastnosti PLL syntezátoru.

¹PLL - Phase Locked Loop - fázový závěs

²USB - Universal Serial Bus - Univerzální sériové rozhraní

1 ZÁKLADNÍ TEORIE PLL SYNTEZÁTORŮ

Kmitočtový syntezátor je zařízení generující harmonický signál s diskretními kmitočty, které jsou odvozeny z jednoho nebo několika generátorů s požadovanou kmitočtovou stabilitou[1]. Kmitočtovou vzdálenost mezi dvěma výstupními kmitočty označujeme jako kmitočtový krok Δf_{vco} ¹. Hlavním znakem syntezátorů je jejich velká stabilita výstupních kmitočtů, které jsou většinou odvozeny z jednoho referenčního kmitočtu.

Kmitočtové syntezátory a jejich vlastnosti hodnotíme pomocí parametrů, z nichž nejdůležitější jsou[1]:

- Rozsah pracovních kmitočtů f_{min} ² až f_{max} ³,
- počet pracovních kmitočtů syntezátoru,
- činitel potlačení nežádoucích signálů, které charakterizují poměr výkonu signálu s pracovním kmitočtem k výkonu složek na jiných kmitočtech,
- doba přeladění z jedné pracovní frekvence na druhou.

Jednotlivé části syntezátorů mohou být realizované analogovými, nebo digitálními obvody. Nejčastěji se však využívá syntezátorů hybridních, které v sobě obsahují obvody digitální i analogové. Dnešní moderní syntezátory se vyrábějí jako integrované obvody v klasickém i SMT provedení. Výhodou takto zhotovených obvodů je jednoduchost zapojení a nepotřebnost velkého množství externích součástek. Řízení obvodů se provádí pomocí paralelní sběrnice, nebo prostřednictvím sériové linky[1][2].

PLL⁴ syntezátory se podle způsobu vytváření výstupních signálů rozdělují na kmitočtové syntezátory s přímou syntézou a na syntezátory s nepřímou syntézou [2]. Dále se syntezátory dělí na koherentní a nekoherentní [2].

Koherentní syntezátory používají pouze jeden generátor, tudíž výstupní signály jsou vzájemně koherentní a stabilita výstupních kmitočtů je dána stabilitou základního generátoru.

Nekoherentní syntezátory používají několika základních generátorů, které jsou vzájemně nezávislé, a tudíž nekoherentní.

1.1 Syntezátory s přímou syntézou

U těchto syntezátorů se výstupní kmitočet vytváří z kmitočtu jednoho, nebo několika základních generátorů. Pomocí aritmetických operací (sčítání, odečítání,

¹kmitočtový krok syntezátoru

²minimální kmitočet syntezátoru

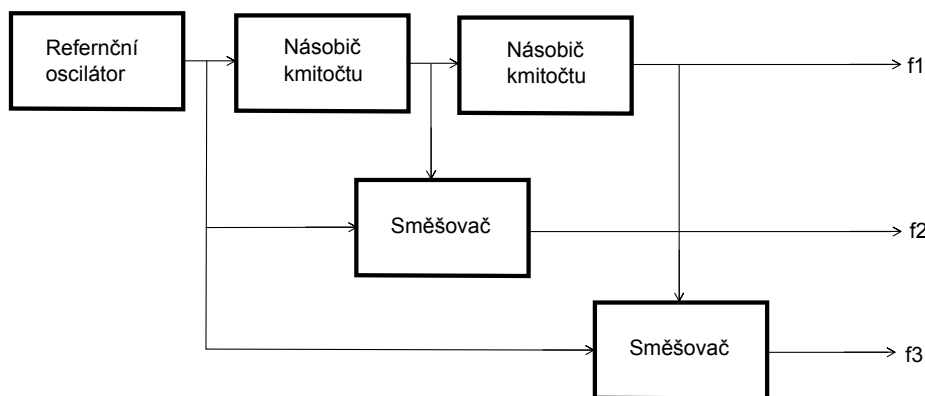
³maximální kmitočet syntezátoru

⁴PLL - Phase Locked Loop - fázový závěs

násobení a dělení) se realizuje soustava směšovačů, násobičů a děličů kmitočtu, pomocí kterých se vhodně vytvoří výstupní kmitočet syntezátoru[2]. Tyto syntezátory jsou zpětnovazebné a využívají fázového závěse PLL. Kromě obvodů, které realizují aritmetické operace, tyto syntezátory obsahují napětím řízené oscilátory, programovatelné děliče kmitočtu a kmitočtové fázové detektory.

1.1.1 Syntezátory s přímou koherentní přeměnou - metoda přímé přeměny

Tyto syntezátory vycházejí z požadavku malého počtu výstupních kmitočtů[2]. Syntezátor obsahuje jeden referenční oscilátor ze kterého jsou s pomocí násobičů a směšovačů odvozeny výstupní kmitočty syntezátoru. Hlavní výhodou tohoto typu zařízení je možnost využití všech výstupních kmitočtů současně.

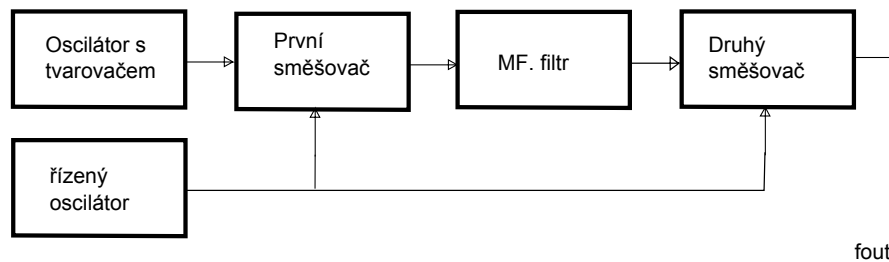


Obr. 1.1: Metoda přímé přeměny [2]

1.1.2 Syntezátory s přímou koherentní přeměnou - metoda harmonických

Tento typ syntezátorů obsahuje přesný referenční oscilátor s tvarovačem signálu, dva směšovače a oscilátor s možností nastavení výstupního signálu.

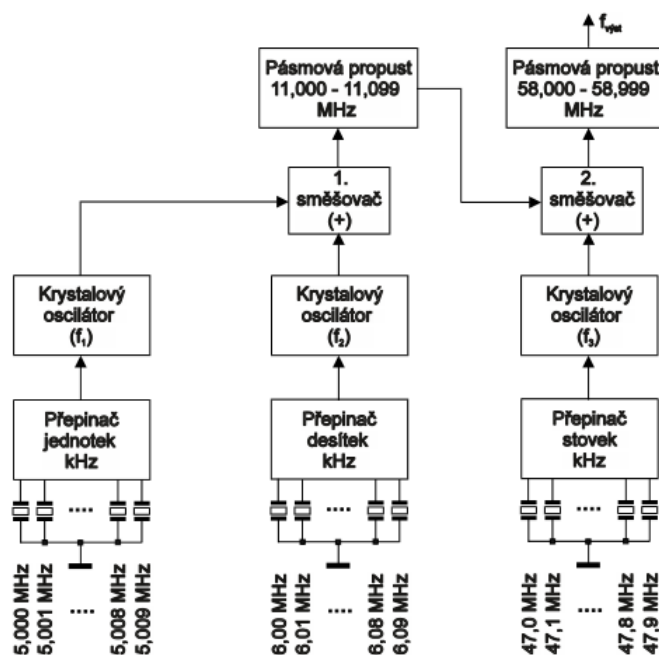
Princip funkce je takový, že výstupní signál z tvarovače je přiveden na vstup prvního směšovače, ve kterém dojde ke vzniku rozdílové složky signálu z tvarovače a signálu z řízeného oscilátoru. Výsledná rozdílová složka je přefiltrována mezifrekvenčním filtrem a přivedena na druhý směšovač, ve kterém se signál z řízeného oscilátoru přičte k mezifrekvenčnímu signálu. Výsledný součtový signál je zároveň výstupní. Vše je zřejmé z obrázku 1.2.



Obr. 1.2: Syntezátor využívající metodu harmonických [2]

1.2 Syntezátory s přímou nekoherentní syntézou

Obsahují určitý počet krystalem řízených oscilátorů, směšovače, děliče a násobiče. S jejichž pomocí se vytváří potřebný kmitočet výstupního signálu obr.1.3. Nevýhodou takto realizovaného syntezátoru je značná komplikovanost a nutnost většího množství krystalů pro krystalové oscilátory.



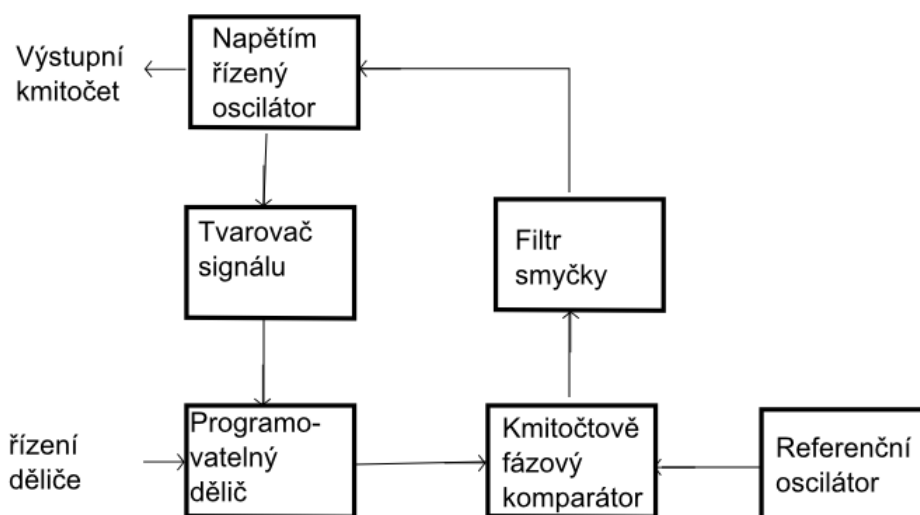
Obr. 1.3: Syntezátor s přímou nekoherentní syntézou [2]

1.3 Syntezátory s nepřímou syntézou

Základními bloky těchto syntezátorů je referenční oscilátor s vysokou stabilitou, velkou přesností výstupního kmitočtu a fázový závěs, zapojený jako násobič kmitočtu. Tyto obvody jsou určitým způsobem, podle potřeby, doplněny vhodným počtem násobičů, děličů kmitočtů, popřípadě směšovačů [2].

1.3.1 Syntezátory bez předděliče

Toto zapojení je nejjednodušším zapojením syntezátoru s nepřímou koherentní syntézou. Schématické zapojení syntezátoru je na následujícím obrázku 1.5.



Obr. 1.4: Syntezátor bez předděliče [2]

Řídící napětí z filtru smyčky je přivedeno na vstup napětím řízeného oscilátoru - VCO⁵, který generuje signál f_{vco} ⁶ jehož kmitočet je zároveň výstupním kmitočtem syntezátoru. Řídící napětí musí nabývat takových hodnot, aby byl VCO přeladován v požadovaném kmitočtovém rozsahu. Výstupní signál z VCO obvykle harmonického průběhu, je tvarovačem signálu upraven na signál pravoúhlý, který je vhodný pro zpracování v digitálních obvodech [2]. Výstup z tvarovače je přiveden na programovatelný dělič s dělicím poměrem v rozsahu 1 až N. Každému dělicímu poměru přísluší jeden výstupní kmitočet syntezátoru. Změna výstupního kmitočtu, který nastal po změně dělicího poměru děliče o jednotku, nazýváme kmitočtový krok syntezátoru Δf_{vco} . Z výstupu programovatelného děliče kmitočtu přichází signál, s kmitočtem

⁵Voltage Controlled Oscillator - napětím řízený oscilátor

⁶ f_{vco} - kmitočet VCO

sníženým o hodnotu děliče, na jeden vstup fázového komparátoru. Na druhý vstup komparátoru je přiveden signál z referenčního generátoru. Referenční generátor bývá konstruován jako přesný a stabilní krystalový oscilátor [1][2].

1.3.2 Syntezátory s pevným předděličem

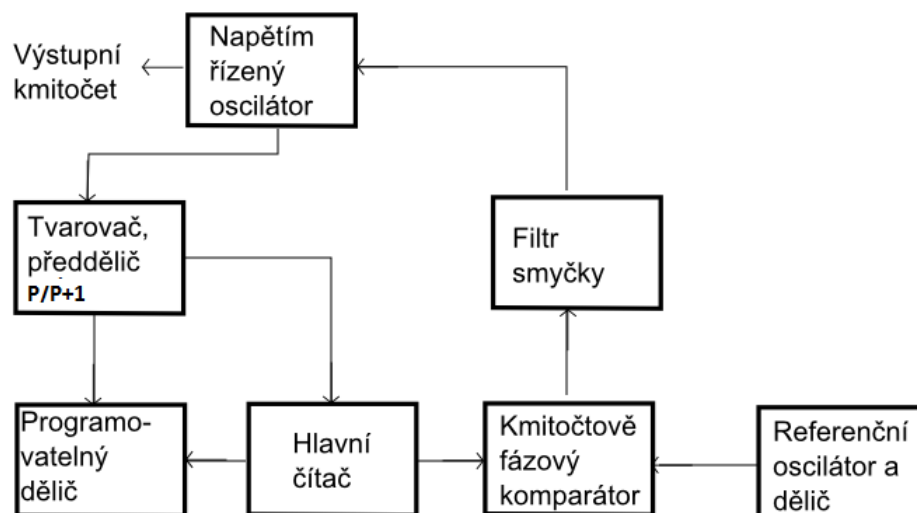
Pro zvětšení kmitočtového rozsahu syntezátoru se mezi VCO a programovatelný dělič kmitočtu připojuje rychlý předdělič s dělicím poměrem P . Poté je kmitočet, přivedený na vstup programovatelného děliče, P krát menší.

1.3.3 Syntezátory s řízeným předděličem

Syntezátor obsahuje rychlý řízený předdělič s dělicími poměry P a $P+1$ a další čítač. Tento čítač bývá nejčastěji označován jako swallow čítač [2], nebo A čítač [1][3].

Funkce rychlého řízeného předděliče je taková, že se nejprve nastaví počáteční hodnoty čítače A a hlavního programovatelného čítače. Následně se nastaví rychlý předdělič na dělicí poměr $P+1$. Poté s každou periodou začnou čítat (směrem dolů) čítače swallow a hlavní programovatelný čítač.

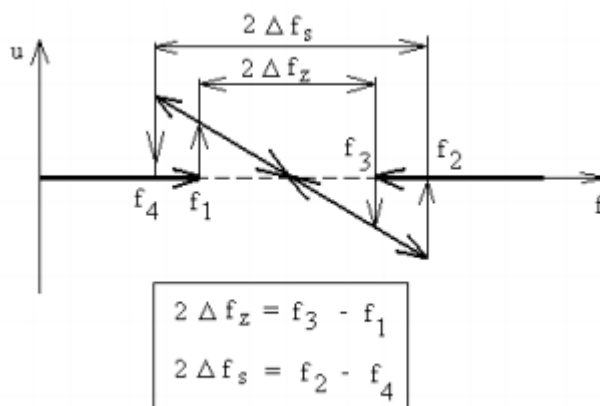
Jakmile čítač A dosáhne nuly, dojde k přepnutí programovatelného předděliče na poměr P . Změna čítače A umožňuje snadné nastavení kmitočtu v násobcích kmitočtového kroku syntezátoru [1].



Obr. 1.5: Syntezátor s řízeným předděličem [2]

1.4 Základní pojmy PLL syntezeátorů

Obrázek 1.6 představuje charakteristiku fázového závěsu. Tato charakteristika se používá u určení hlavních parametrů PLL.



Obr. 1.6: Charakteristika fázového závěsu.

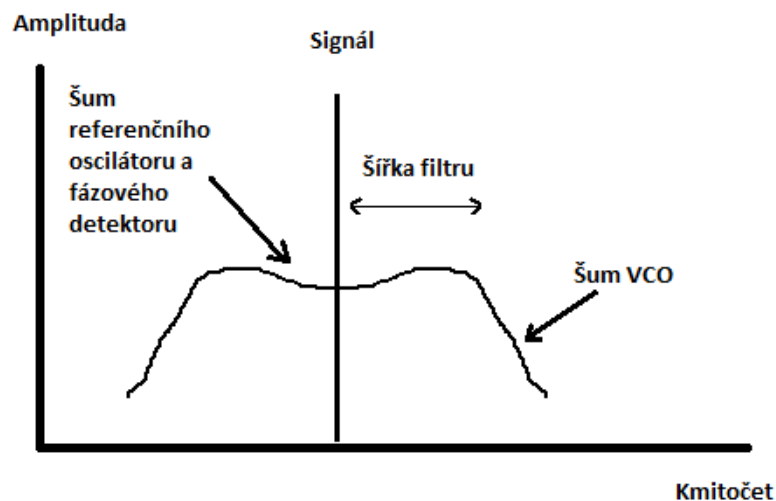
- **Doba zachycení:** doba zachycení je čas, který PLL potřebuje k tomu, aby se při definované skokové změně smyčka PLL zasynchronizovala. Doba zachycení je důležitým parametrem u systémů využívající frekvenčních skoků (tzv. frequency hopping), např. GSM[12]
- **Vlastní kmitočet:** představuje kmitočet oscilátoru VCO v okamžiku, kdy není fázový závěs synchronizován [13].
- **Rozsah zachycení:** $2\Delta f_z$ - maximální rozsah kmitočtů, při kterém dojde k zasynchronizování.
- **Rozsah synchronizace:** $2\Delta f_s$ tento parametr představuje rozsah kmitočtů při kterých VCO sleduje vstupní kmitočet. Rozsah synchronizace je vždy větší než rozsah zachycení.
- **Řád PLL:** Řád smyčky fázového závěsu je roven počtu pólů filtru smyčky zvětšené o jedničku. PLL 1. řádu odpovídá zapojení PLL, kdy filtr smyčky je nezapojený.

1.5 Fázový šum u PLL syntezeátorů

Oscilátory mají přirozenou tendenci zesilovat šum, který se vyskytuje poblíž oscilační frekvence. Čím více se kmitočet šumu blíží frekvenci oscilátoru, tím větší je jeho zesílení [22].

U PLL syntezeátorů se fázový šum projevuje v referenčním oscilátoru, napětím

řízeném oscilátoru, fázovém detektoru a v čítačích obvodu fázového závěsu. Obrázek 1.7 přibližně ukazuje šum v okolí generovaného signálu PLL syntezátorem.

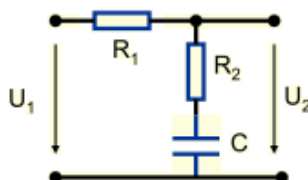


Obr. 1.7: Šum na výstupu PLL syntezátoru.

1.6 Filtř smyčky fázového závěsu

Proto, aby bylo možné ovládat napětím řízený oscilátor, je nutné na výstup fázového detektoru zapojit filtr. Tento filtr bývá realizován jako pasivní, nebo aktivní dolní propust.

Filtr funguje tak, že mění velikost napětí s rychlostí závislou na časové konstantě filtru. Při kladném výstupním napětí na komparátoru roste napětí na filtru. Při nulovém výstupním napětí komparátoru zůstává napětí na filtru konstantní a při záporném klesá.



Obr. 1.8: Příklad filtru smyčky PLL.

2 ROZBOR ZADÁNÍ

Grafické rozhraní by mělo být schopné programovat registry obvodu fázového závěsu všemi dostupnými způsoby, jenž obvod umožňuje. Grafické rozhraní by mělo být představováno formulářovou aplikací, která umožní snadné a rychlé ovládání.

Pro přenos dat z počítače do PLL syntezátoru by mělo grafické rozhraní obsahovat příslušné metody, které umožní ovládání USB sběrnice. Výsledný syntezátor by měl představovat zařízení na oboustranné desce plošných spojů s výstupy pro spektrální analyzátor, na kterém bude možné měřit výstupní spektrální výkon syntezátoru, a výstup pro připojení osciloskopu pro kontrolu zachycení smyčky PLL.

2.1 Technologie použité při programování

Pro efektivní využití, a co možná nejlepší funkci aplikace pro ovládání syntezátoru, jsem zvolil poměrně novou a výkonnou technologii od firmy Microsoft - .NET ¹ a programovací jazyk C# ².

2.1.1 Technologie .NET Framework

Technologie .NET je nová platforma firmy Microsoft, která se skládá z řady nových technologií [17]. Tyto technologie jsou postavené pro prostředí patřící do rodiny operačních systémů Windows [17]. Technologie .NET se snaží o zjednodušení a urychlení vývoje aplikace. Souhrnně se tyto technologie nazývají .NET Framework a jejich struktura je na obrázku 2.1.

Ve struktuře .NET Frameworku se na nejnižší úrovni nachází CLR, který představuje základní infrastrukturu.

V prostředí .NET jsou zdrojové soubory libovolného programovacího jazyka zkompileovány do intermediálního jazyka MSIL³. V případě, že systém detekuje, že jde o aplikaci v jazyku MSIL a spustí speciální kompilátor, který vygeneruje skutečné instrukce cílové platformy.

Nad CLR⁴ se nachází několik knihoven, které jsou rozděleny do jmenných prostorů. Tyto knihovny umožňují základní práci s uživatelským rozhraní, přístup k datům a práci s XML⁵. Poslední vrstvu .NET tvoří množina jazyků, které jsou firmou Microsoft podporovány.

V současné době je technologie .NET Framework součástí nejnovějších operačních

¹.NET - dot NET. Soubor technologií, které tvoří celou platformu, dostupnou pro Windows.

² C Sharp. Programovací jazyk vyvinutý firmou Microsoft.

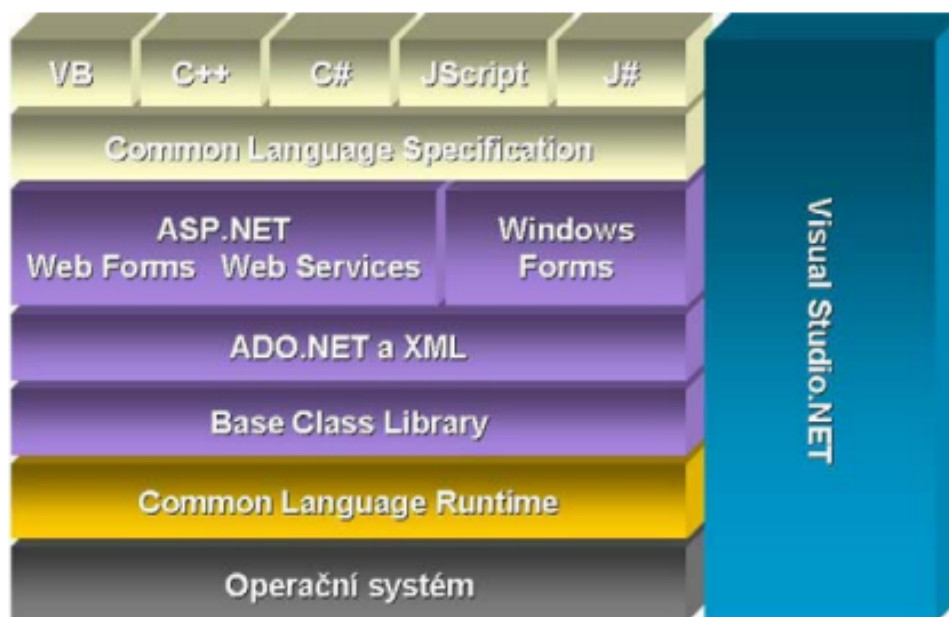
³MSIL - Microsoft Intermediate Language.

⁴CLR - Common Language Runtime. Základní infrastruktura.

⁵XML -Extensible Markup Language. Rozšiřitelný značkovací jazyk.

systémů.

V tabulce 2.1 jsou uvedeny nejběžnější operační systémy. Jak je vidět z tabulky 2.1, operační systém Windows 2000 umožňuje doinstalovat technologii .NET verze 2.0. Oproti tomu Windows XP neobsahuje, stejně jako Windows 2000, žádnou technologii .NET, ale umožňuje doinstalovat nejnovější verzi .NET 4.0. Součástí systémů Windows Vista a Windows 7 je .NET verze 3.0 a současně umožňují doinstalování nejnovější verze .NET 4.0.



Obr. 2.1: Architektura .NET Framework [17].

Tab. 2.1: Rozšíření technologie .NET na operačních systémech

Verze systému	Verze .NET	Poznámka
Windows 2000	.NET 2.0	Nutno doinstalovat
Windows XP	.NET 4.0	Je nutné doinstalovat .NET 4.0.
Windows Vista	.NET 3.0	Součást systému, je možné doinstalovat .NET 4.0.
Windows 7	.NET 3.0	Součást systému, je možné doinstalovat .NET 4.0.

2.1.2 C#

C#⁶ je programovací jazyk vyvinutý firmou Microsoft pro snadné a pohodlné programování technologie .NET. C# je vysokoúrovňový objektově orientovaný programovací jazyk, který vychází z koncepce jazyků C++ a Java [16]. Tento programovací jazyk lze použít k programování webových aplikací a stránek, webových služeb, formulářových aplikací a softwaru pro mobilní zařízení. Hlavní výhody programovacího jazyka C# jsou:

- Jednoduchost, modernost, mnohoúčelnost,
- objektově orientovaný programovací jazyk,
- přenositelnost zdrojových kódů,
- mezinárodní podpora.

C# má spoustu výhod oproti jiným programovacím jazykům. Avšak rychlostí se nevyrovná aplikacím psaných v C, nebo jazyku symbolických adres.

2.2 Popis sběrnice USB

USB⁷ je zařízení, které nabízí obousměrnou komunikaci mezi PC a periferií. Tato univerzální sériová sběrnice vznikla již v roce 1995 ve spolupráci firem Compaq, Hewlett-Packard, Intel, Lucent, NEC, Microsoft a Philips [11].

V roce 2000 byla vyvinuta nová verze USB, označovaná jako USB 2.0. Tato verze USB byla rychlejší a zpětně kompatibilní s původní verzí. USB 2.0 dosahovalo rychlosti až 480 *Mbit/s* [11].

Zatím nejnovější verze sběrnice USB, označovaná jako USB 3.0, byla vyrobena v roce 2008 a na trh se dostala až v roce 2010. Její hlavní předností byla vysoká přenosová rychlost (5*Gbit/s*), nová technologie založená na osmivodičovém provedení a zpětná kompatibilita s USB 2.0 [11].

2.2.1 Parametry USB

- Podpora Plug&Play,
- velký počet připojitelných zařízení (až 127),
- podpora operačních systémů Windows 98/2000/Me/XP/Vista/Win 7, Linux, MAC OS-8, OS-9, OS-X,
- zařízení může být vodiči spojené až do délky 5 metrů od USB
- možnost napájení z USB konektoru - 100 mA, popřípadě 500 mA,
- sériové rozhraní.

⁶C# byl vyvíjen současně s technologií .NET.

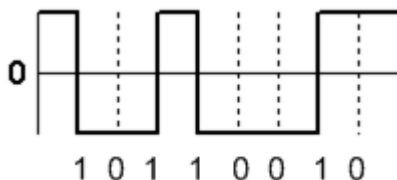
⁷USB - Universal Serial Bus - Univerzální sériové rozhraní

2.2.2 Základní vlastnosti

USB pracuje jako jednomasterová sběrnice, tzn. že veškeré děje jsou řízeny počítačem. Data se posílají v paketech o délce 8 až 64 (1024 pro izochronní přenos [25]) bajtů.

Přenos dat probíhá v rámcích, které mají délku 1ms. Uvnitř těchto rámců se mohou nacházet pakety pro několik zařízení. Pokud počítač komunikuje s více zařízeními, rozděluje pakety hub, který dále zabraňuje, aby se signály s vyššími rychlostmi přesunuly na pomalá zařízení.

Slave (podřízené zařízení) se zasynchronizuje a získá hodiny přenosu z datového signálu. To proto, že hodinový signál není přenášen po zvláštní lince. K tomu, aby se Slave správně zasynchronizoval, používá se NRZI (NRZI - Non Return To Zero) kódování, u kterého jedničky v datech způsobí změnu úrovně [25]. Naopak logická nula nechává úroveň beze změny. Vše je zřejmé z obrázku 2.2.



Obr. 2.2: NRZI kódování

Obsahuje-li původní datový tok šest po sobě jdoucích jedniček, přidá vysílač jednu nulu, aby se změnila úroveň. Příjímáč pak tuto přebývající nulu odstraní. Je to velice důležité pro obnovení hodinového kmitočtu z datového toku.

Každý paket obsahuje speciální bajt, tzv. sync-bajt⁸. Pomocí tohoto bajtu a NRZI kódování je zařízení schopné se zasynchronizovat, což je důležité pro přenos dat.

Uvnitř USB sběrnice se vyskytuje přijímač i vysílač. Zařízení obsahuje jednotku SIE (Serial Interface Engine), která společně s buffery (vyrovnávací pamětí) přenáší data. Vyrovnávací paměť bufferů je tvořena pamětí FIFO⁹, která představuje paměť schopnou data postupně přijímat a vysílat.

Tato sériová sběrnice pracuje ve verzích USB1.1 a novější USB2.0. Hlavní rozdíl těchto dvou verzí je přenosová rychlost[25], která je uvedena v tabulce 2.2:

⁸sync-bajt synchronizační bajt (00000001b)

⁹FIFO - First in, First out. Data, která uložíme do fronty jako první, budou jako první vybrána.

Tab. 2.2: Standardy USB a jejich přenosové rychlosti

Rychlost	Standard	Přenosová rychlost
Low Speed	1,5 Mb/s	USB 1.1/2.0
Low Speed	12 Mb/s	USB 1.1/2.0
High Speed	480 Mb/s	USB 2.0

2.2.3 Ovládací rozhraní[25]

Pro ovládání zařízení na bázi FT232RL lze použít ovladače VCP nebo D2XX. Pokud použijeme ovladače VCP chová se USB jako sériový port. Tudiž zařízení, které je připojené, je sice připojené k USB, ale chápe ho jako virtuální port.

Oproti tomu je D2XX přímý ovladač pro Windows, který s FT232RL komunikuje pomocí kódu v dynamické knihovně. D2XX obsahuje ovladač FTD2XX.SYS, který komunikuje se zařízením přes Windows USB zásobník a dynamickou knihovnu. Tato knihovna je rozhraním pro aplikační program vytvořený ve vývojovém prostředí například Builderu C++, nebo Visual studio C#. Architektura D2XX ovladače je přiložena v příloze A.1.

Funkce pro použití D2XX jsou rozděleny do čtyř skupin [25]:

- Klasické rozhraní, které seskupuje D2XX funkce pro zpětnou kompatibilitu. Jsou to funkce pro snadný přístup k USB.
- Rozhraní E²PROM dovoluje aplikaci číst/zapisovat do konfigurační paměti 93C46.
- Rozšíření pro použití vlastností druhé generace obvodů (např. režim Bit Bangu)
- FT_Win32API definuje funkce odpovídající původním WIN32 API voláním pro práci se sériovým portem [25].

2.3 Konvertor FT232RL

Jako vhodný převodník mezi USB sběrnici a PLL syntezátorem byl vybrán integrovaný obvod FT232RL od firmy FTDI Chip.

2.3.1 Základní vlastnosti

Obvod FT232RL patří do druhé generace USB UART konvertorů [25]. Tato druhá generace má rozšířené funkční schopnosti a tím se stává FT232RL univerzálnějším oproti starším obvodům z první generace. Mezi nejzajímavější a pro mou práci

nejdůležitější je režim zvaný Bit Bang¹⁰. Další základní parametry obvodu FT232RL uvádí tabulka 2.3.

Tab. 2.3: Hardwarové vlastnosti FT232RL

Parametr	Hodnota	Jednotka
Skladovací teplota	-65 až 150	°C
Provozní teplota	0 až 70	°C
Napájecí napětí	-0,5 až 6	V
Výkonová ztráta ($V_{cc} = 5,25V$)	500	mW
Vstupní napětí	-0,5 až ($V_{cc} + 0,5$)	V
Výstupní proud	24	mA

2.3.2 Řízení PLL syntezátoru obvodem FT232RL

Protože většina PLL syntezátorů používá SPI¹¹ komunikaci je nutné konvertor FT232RL ovládat určitým způsobem, který bude plně vyhovovat danému syntezátoru. V tomto ohledu připadají v úvahu dvě řešení:

1. Využít FT232RL jako konvertor z USB na UART a následná data vhodným mikroprocesorem přeposlat pomocí SPI do syntezátoru.
2. Vytvořením PC programu, který by v sobě sdružoval funkci ovládání Bit Bangu obvodu FT232RL a zároveň by umožňoval komunikaci prostřednictvím SPI.

Podle mého názoru je efektivnější druhé řešení, protože data z USB sběrnice budou posílána přímo do syntezátoru. Tímto se ušetří čas, který by strávil mikrokontrolér přijmutím a následným přeposláním dat do obvodu PLL syntezátoru.

2.3.3 Popis režimu Bit Bang

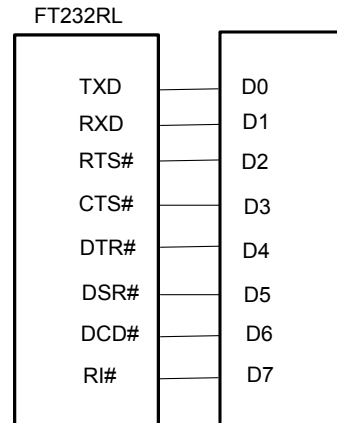
FT232RL umožňuje programové přepnutí do speciálního režimu zvaného Bit Bang obr. 2.3. Bit Bang je režim, při které se osm řídících linek UART přepne na osmi bitový vstupně/výstupní port. Datové pakety posílané do obvodu se sekvenčně posílají rychlostí, kterou udává předdělička přenosové rychlosti obvodu FT232RL [25]. Obvod lze pak použít jako obecný vstupně/výstupní řadič. Využití Bit Bangu

¹⁰Bit Bang - speciální režim obvodu FT232RL, viz. 2.3.3 Popis režimu Bit Bang

¹¹SPI - Serial Peripheral Interface - Sériové komunikační rozhraní

je vhodné pro snažší programování [25], nebo pro ovládání zařízení bez použití mikrokontroléru.

Díky této vlastnosti je možné zařízení PLL syntezátoru do určité míry zjednodušit a soustředit veškerou logiku do počítačového rozhraní.



Obr. 2.3: Funkce FT232RL v režimu Bit Bang

2.4 Výběr obvodu frekvenčního syntezátoru

Z nabídky integrovaných obvodů firmy Analog Devices byl zvolen obvod ADF4110. Obvod se řídí pomocí čtyř 24-bitových rámců, do kterých se data nahrávají pomocí třívodičového sériového rozhraní.

2.4.1 Základní parametry ADF4110

ADF4110 patří mezi obvody frekvenčních syntezátorů, které mohou být použity jako ladící oscilátory ve vysokofrekvenčních přijímačích a vysílačích. Tento obvod obsahuje 14-bitový referenční čítač R, 13-bitový čítač B a 6-bitový čítač A. Dále je jeho součástí rychlý řízený předdělič $P/(P+1)$.

Hlavní parametry ADF:

- kmitočtový rozsah výstupu $RF_{out} = 50 - 550$ MHz
- kmitočtový rozsah vstupu $RF_{in} = 5 - 104$ MHz
- maximální kmitočet fázového komparátoru $f_{komp} = 55$ MHz
- napájecí napětí $AV_{DD} = 2,7 - 5,5$ V
- maximální napájecí proud obvodu $I_{DD}(AL_{DD} + Dl_{DD}) = 5,5$ mA

2.4.2 Popis a funkce obvodu ADF4110

Hlavní částí obvodu je nízko šumový fázový detektor PFD (PFD - Phase Frequency Detector), který ovládá nábojovou pumpu obvodu. Tento PFD detektor obsahuje možnost naprogramovat zpoždění, které kontroluje délku pulzu v PFD. Tímto zpožděním se vylepšuje přenosová funkce detektoru a dochází k minimalizaci fázového šumu a referenčního rušení [3]. Délku pulzů určují dva bity v registru referenčního čítače tabulka 2.4 [3].

Obvod dále umožňuje nastavení velikost proudu nábojové pumpy v rozsahu 0,29 až 8,70 mA, který je určen vztahem 2.1.

$$I_{CP_{max}} = \frac{23,5}{R_{SET}} \quad [\text{mA}] \quad (2.1)$$

kde:

- $I_{CP_{max}}$ je maximální výstupní proud nábojové pumpy v mA,
- R_{SET} představuje velikost rezistoru připojeného mezi pin 1 a GND ¹².

Aby nábojová pumpa pracovala s takto určeným výstupním proudem, je zapotřebí ještě tento proud nastavit v inicializačním, nebo funkčním registru¹³.

Tab. 2.4: Nastavení zpoždění v registru referenčního čítače

ABP2	ABP1	Délka pulzu
0	0	3,0 ns
0	1	1,5 ns
1	0	6,0 ns
1	1	3,0 ns

Blokové schéma obvodu je na obr. 2.4 a význam jednotlivých pinů uvádí tabulka 2.6. Na pin REF_{IN} se přivede signál z referenčního generátoru, který je vydělen referenčním děličem R (realizovaným jako čítač), a přiveden na vstup komparátoru. Signál z napětím řízeného oscilátoru je přiveden na pin RF_{INA} . Tento signál je dále upraven děliči a přiveden na druhý vstup komparátoru.

Chybové napětí, které vznikne komparací referenčního signálu a signálu z napětím řízeného oscilátoru, ovládá nábojovou pumpu. Na výstup nábojové pumpy je připojený integrační členek, ze kterého se odebírá napětí pro napětím řízený oscilátor.

¹² Platí pro typ pouzdra TSSOP

¹³ Záleží na konfiguraci inicializace obvodu.

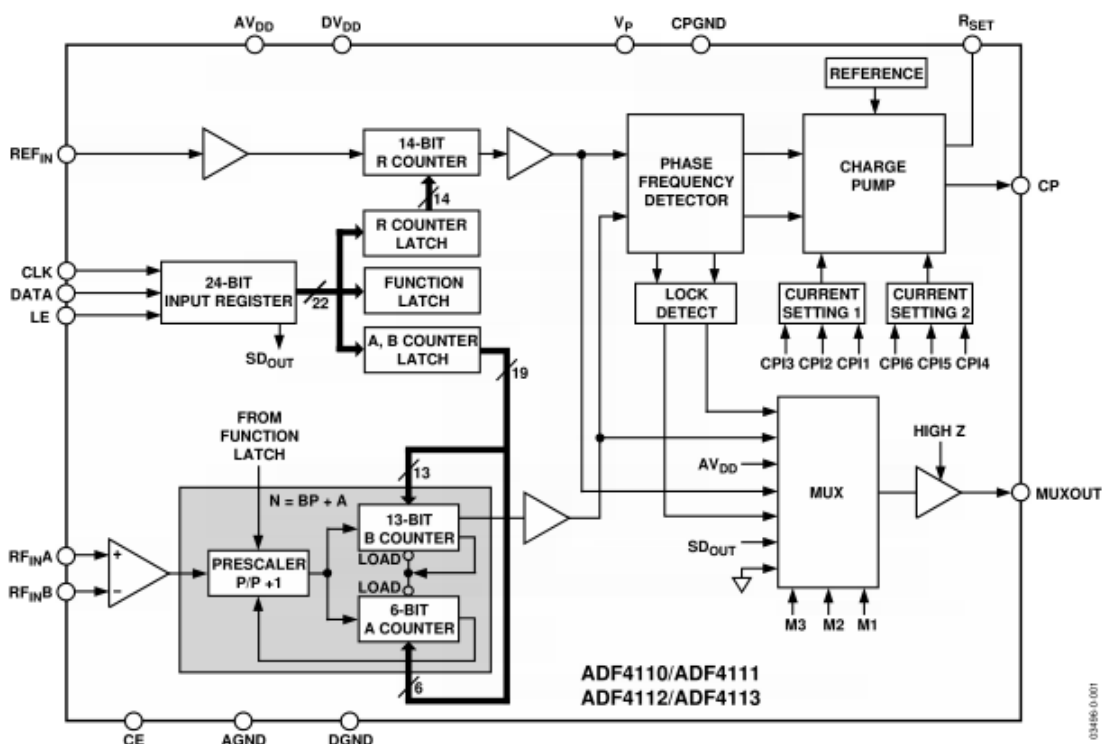
Tab. 2.5: Nastavení a funkce multiplexeru MUXOUT

M3	M2	M1	Výstup
0	0	0	tří-stavový výstup
0	0	1	digitální detekce
0	1	0	výstup čítače N
0	1	1	DV_{DD}
1	0	0	výstup čítače R
1	0	1	analogová detekce
1	1	0	výstup sériových dat
1	1	1	DGND

Tab. 2.6: Popis pinů ADF4110, pouzdro TSSOP [3]

č. pinu	Význam
1	R_{SET} - nastavení výstupního proudu nábojové pumpy
2	CP - výstup nábojové pumpy
3	CPGND - uzemnění nábojové pumpy
4	AGND - uzemnění analogové části
5	RF_{INB} - komplementární vstup předděliče
6	RF_{INA} - vstup předděliče
7	AV_{DD} - napájení analogové části. Napájecí napětí 2,7V až 5,5V
8	$REFIN$ - vstup referenčního kmitočtu
9	DGND - digitální uzemnění
10	CE - povolení obvodu
11	CLK - hodinový vstup
12	DATA - datový vstup
13	LE - načtení dat
14	MUXOUT - výstup multiplexeru, umožňuje nastavení několika funkcí
15	DV_{DD} - napájení digitální části (2,2 - 5,5V)
16	V_P - napájení nábojové pumpy

Obvod umožňuje, pomocí výstupu multiplexeru MUXOUT, nastavit funkce, které mají přístup do různých částí obvodu. MUXOUT se nastavuje pomocí třech bitů ve funkčním registru. Jeho možnosti jsou uvedeny v tabulce 2.5



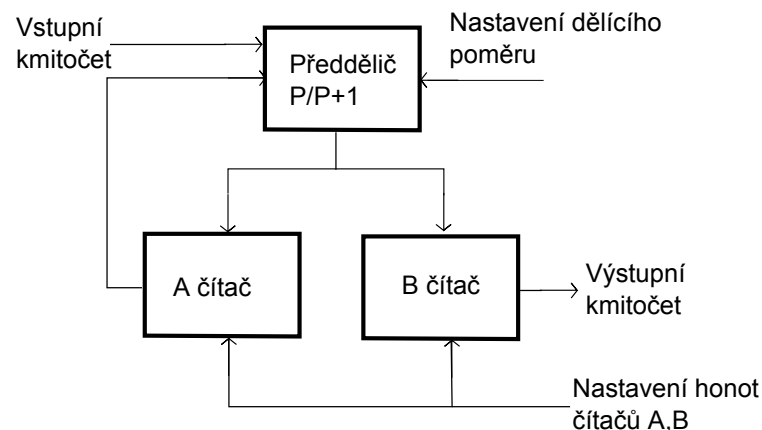
Obr. 2.4: Funkční blokové schéma ADF4110 [3]

2.4.3 Rychlý řízený předdělič $P/(P+1)$

Tento rychlý řízený předdělič (obr. 2.5) umožňuje nastavit dělicí poměr ve velkém rozsahu. Hodnoty dělicích poměrů znázorňuje tabulka 2.7.

Nejprve se nastaví počáteční hodnoty čítačů A, B a dělicí poměr předděliče na $P+1$. S každou přicházející periodou vstupního signálu čítají (směrem dolů) čítače A a B. V okamžiku, kdy čítač A dosáhne nulové hodnoty, přepne se předdělič $P/(P+1)$ na dělicí poměr P .

Výhoda takto konstruovaného předděliče je ta, že s pomocí čítače B je možné nastavit přibližně požadovaný výstupní kmitočet syntezátoru a čítačem A tento kmitočet jemně doladit.



Obr. 2.5: Rychlý předdělič $P/(P+1)$ [3]

Tab. 2.7: Nastavitelné hodnoty předděliče [3]

P2	P1	Hodnota předděliče
0	0	8/9
0	1	16/17
1	0	32/33
1	1	64/65

2.4.4 Určení frekvence VCO

Čítače A a B spolu s předděličem $P/(P+1)$ umožňují generovat kmitočet, který je závislý na vstupním referenčním kmitočtu vyděleném referenčním děličem R. Výsledný kmitočet poté odpovídá vztahu 2.2

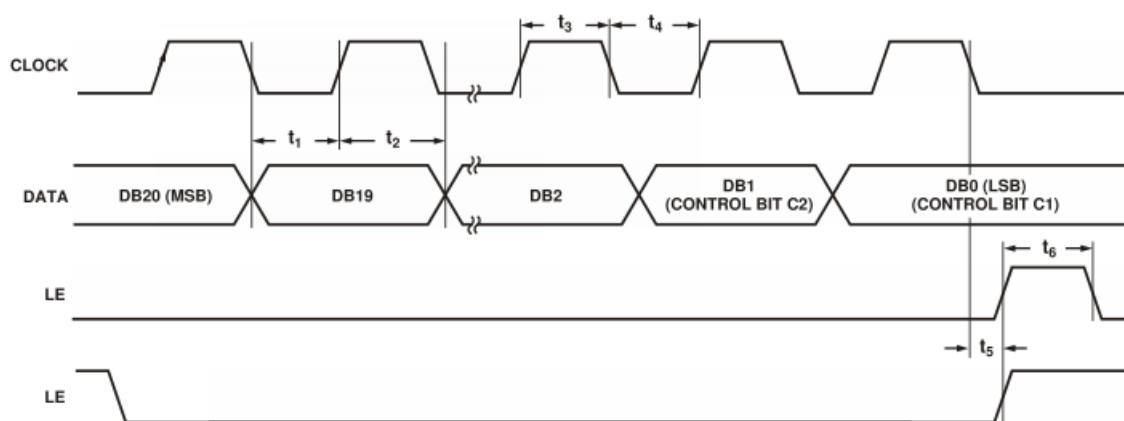
$$f_{VCO} = (P \cdot B + A) \cdot \frac{f_{REFIN}}{R} \quad (2.2)$$

Význam jednotlivých symbolů tohoto vztahu je následující:

- f_{VCO} je výstupní kmitočet externího oscilátoru VCO
- P - hodnota předděliče
- B - odpovídá dělicímu poměru 13-bitového čítače (rozsah čítače je 3 až 8191)
- A - prezentuje 6-bitový swallow čítač (rozsah 0 až 63) [2]
- f_{REF} - výstupní frekvence externího referenčního oscilátoru
- R - programovatelný 14-bitový referenční čítač (rozsah 0 až 16383)

2.4.5 Komunikace s PLL syntezátorem

Odesílání dat do obvodu fázového závěsu probíhá prostřednictvím SPI rozhraní. Data jsou posílána na vstupní pin DATA a jsou zapsána do vstupního registru s nástupnou hranou na hodinovém pinu CLK [9]. Po naplnění 24-bitového registru je nutné vygenerovat nástupnou hranu na vstupu LE a tím se hodnoty z registrů načtou do záchytných registrů[3] vže je názorné z obr. 2.6



Obr. 2.6: Časový diagram komunikace s [3].

V datech, která jsou posílání přes SPI jsou informace pro jednotlivé nastavovací registry ADF4110 [3]. Tyto nastavovací registry jsou:

- Registr referenčního čítače R - obsahuje data pro nastavení dělicího poměru vstupního referenčního čítače R.
- Registr čítače N - tento registr nastavuje hodnoty čítačů A a B.
- Funkční registr - svými daty nastavuje speciální vlastnosti zařízení jako jsou hodnoty předděliče, výstupní proud nábojové pumpy a parametry pro resetování čítačů.
- Inicializační registr - má stejnou strukturu jako funkční registr.

Prostřednictvím SPI jsou do syntezátoru posílána data, která obsahují příslušné rámce o délce 24 bitů. V každém z 24 bitových rámců jsou dva bity (kontrolní bity) s nejnižší hodnotou rezervovány pro rozpoznání daného rámce. V obvodu fázového závěsu jsou následně jednotlivé rozděleny a z dat těchto rámců jsou nastaveny funkce obvodu fázového závěsu. Tabulka 2.8 udává rozdělení příslušných registrů dle kontrolních bitů.

Tab. 2.8: Nastavení kontrolních bitů jednotlivých registrů [3]

Název registru	Kontrolní bity	
	DB1	DB0
Registr referenčního děliče R	0	0
Registr čítače N	0	1
Registr funkcí	1	0
Inicializační registr	1	1

2.4.6 Programování obvodu fázového závěsu

Registry obvodu fázového závěsu nejdou naprogramovat libovolným způsobem. Výrobce jsou uvedeny tři speciální metody, podle kterých lze správně naprogramovat registry obvodu ADF4110.

Metoda využívající inicializační registr

Po připojení obvodu fázového závěsu k napájecímu napětí jsou do obvodu odeslána data inicializačního registru. Poté jsou odeslána data referenčního registru a následně data pro nastavení čítače N.

CE metoda

Tato metoda využívá pinu CE (viz tabulka 2.6). Nejprve se k obvodu připojí napájecí napětí a na pin CE se přivede nízká úroveň. Tímto se stane obvod neaktivním a je možné ho naprogramovat. Nejprve se naprogramuje funkční registr, pak referenční registr a nakonec registr čítače N. Jakmile jsou data odeslána do obvodu fázového závěsu, přivede se pin CE do vysoké úrovně a tím se aktivuje funkce fázového závěsu.

Výhodou tohoto způsobu programování obvodu je možnost kdykoliv obvod, přivedením nízké úrovně na pin CE, odpojit a zkontrolovat případnou kanálovou aktivitu [3]. Po zpětném přivedení pinu CE do vysoké úrovně není nutné znovu naprogramovat příslušné registry.

Metoda resetování čítačů

K obvodu fázového závěsu se připojí napájecí napětí a ve funkčním registru se nastaví parametr, jenž zpřístupní resetování čítačů. Poté se funkční registr odešle do obvodu fázového závěsu. Následně se odešle referenční registr a registr čítače

N. Jakmile se odešlou data pro předešlé registry, zakáže se ve funkčním registru resetování čítačů a opět se data funkčního registru odešlou do obvodu.

2.5 Vhodný napětím řízený oscilátor

V původním zapojení oscilátoru se počítalo se zapojením integrovaného obvodu oscilátoru MAX2606 a zesilovače MAX2471. Vyskytly se ovšem potíže se získáním obvodů, a proto byl zvolen jako vhodný kompromis integrovaný obvod TDA5331T.

2.5.1 Monolitický obvod TDA5331T

TDA5331T je monolitický integrovaný obvod od firmy Philips Semiconductor. Tento obvod vychází z obvodu TDA5330T, jen s tím rozdílem, že význam jeho vstupních pinů je zrcadlově otočený [10]. TDA5331T se skládá z třípásmového směšovače, třech oscilátorů a zesilovače. Výběr daného oscilátoru je určen přivedeným napětím na pin 17 obvodu TDA5331T.

Nejdůležitější parametry uvádí tabulka 2.9. Blokové zapojení obvodu je uvedeno v příloze G.1.

Tab. 2.9: Rozdělení pásem TDA5331T [10]

Parametr	Min.	Max.	Jednotka
Kmitočtový rozsah pásma A	48	180	MHz
Kmitočtový rozsah pásma B	160	470	MHz
Kmitočtový rozsah pásma C	430	860	MHz
Napájecí napětí	-	12	V

3 ŘEŠENÍ GRAFICKÉHO ROZHRAŇÍ

Grafické rozhraní je řešeno v prostředí Visual Studio 2010 s použitím jazyka C# a technologie .NET Framework 4.0. Výsledný program má podobu formuláře, který obsahuje uživatelskou a komunikační část.

Uživatelská část programu umožňuje nastavit kompletní parametry a chování obvodu fázového závěsu ADF4110. A komunikační část zprostředkovává komunikace mezi počítačovou sběrnici USB a PLL syntezátorem. Toto rozhraní je koncipováno tak, aby uživatel měl co možná největší přehled o nastavených parametrech syntezátoru. Dále aplikace umožňuje náhled do základního popisu ovládání a možnosti nastavení zařízení pomocí dalších pěti formulářů.

3.1 Popis grafického rozhraní

Na obrázku v příloze B.1 je vytvořené grafické rozhraní. V horní části rozhraní se nachází nejzákladnější nastavení programu:

- Způsob zadávání hodnot pro PLL - určuje jakým způsobem bude uživatel program ovládat.
- Nastavení kmitočtu a kmitočtového kroku - do těchto dvou editačních řádků uživatel zadává patřičné hodnoty.
- Load - po stisku tohoto tlačítka aplikace, odešle data do syntezátoru.
- Check - po stisku tlačítka dochází k přepočtu hodnot kmitočtu a kmitočtového kroku syntezátoru.

V další části grafického rozhraní se nachází blok tvořený třemi 24-bitovými rámci, které představují nastavení jednotlivých bitů v registrech ADF4110. Popis těchto rámců je ponechán v anglickém jazyce z důvodu snadného vyhledávání informací z katalogových listů výrobce.

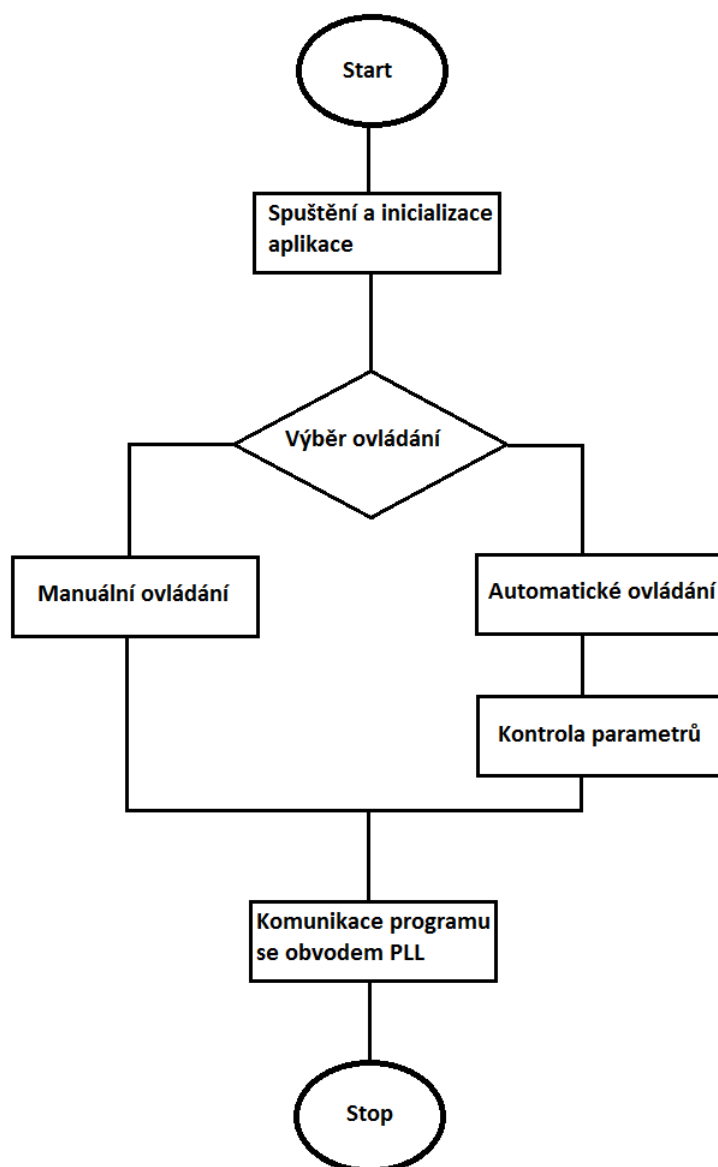
3.2 Vývojový diagram aplikace

Vývojový diagram aplikace je uveden na obrázku 3.1. Po spuštění programu je zavolán konstruktor hlavní třídy, který nastaví hodnoty příslušných proměnných a inicializuje veškeré grafické komponenty programu. Hodnoty proměnných jsou zvoleny tak, aby bylo možné, po zapnutí programu, ihned používat PLL syntezátor v rozsahu 150-300 MHz. V případě použití jiného syntezátoru, nebo jiného kmitočtového rozsahu, je nutné v příslušném formuláři aplikace, tyto hodnoty přenastavit.

Po inicializaci celé aplikace je vybrán způsob ovládání aplikace. Způsoby ovládání grafického rozhraní jsou následující:

- Manual control - manuální ovládání.
- Automatic control - automatické ovládání.
- Normal - standardní ovládání.

Jakmile je vybrán způsob ovládání a jsou uživatelem nastaveny požadované hodnoty, program provede připojení k syntezátoru, do kterého jsou odeslána příslušná data. Je-li obvod syntezátoru nepřipojen k počítači, vyvolá program výjimku, a tím je znemožněno posílání dat až do doby připojení syntezátoru k počítači.



Obr. 3.1: Vývojový diagram grafického rozhraní.

3.3 Ovládání a nastavení programu grafického rozhraní

Pro jednoduché a efektivní nastavení výstupního kmitočtu syntezátoru jsou v programu vytvořeny tři pomocné třídy. Hlavní třídou je třída *IO_settings*, ve které se nachází základní parametry obvodů ADF4110 až ADF4113 a proměnné usnadňující výpočet kmitočtu, kmitočtového kroku a předděliče. Zbylé dvě třídy jsou třídy, které dědí veškeré parametry a proměnné z hlavní třídy.

3.3.1 Manuální ovládání grafického rozhraní

Zvolením manuálního způsobu ovládání jsou vybrané komponenty zpřístupněny (tlačítka pro nastavení hodnot čítačů) a zbylé zablokovány. Tím je program chráněn proti nevhodně nastaveným parametrům a je umožněno větší přehlednosti programu.

Pro manuální ovládání program využívá třídu *ManualClass*, která dědí veškeré parametry ze třídy *IO_settings*. Součástí třídy jsou tři metody, jenž umožňují výpočet parametrů kmitočtu, kmitočtového kroku a předděliče. Předávání těchto hodnot je realizováno pomocí veřejných vlastností.

3.3.2 Automatické ovládání grafického rozhraní

Tímto výběrem jsou zablokovány všechny komponenty kromě editačních řádků pro zápis kmitočtu a kmitočtového kroku. V tomto režimu program využívá třídu *AutoClass*, která dědí veškeré parametry z třídy *IO_settings*. Dále obsahuje třída *AutoClass* obsahuje vlastnosti, které v sobě definují speciální funkce, jenž kontrolují správnost nastavovaných dat. Touto kontrolou dochází k opravě nesmyslně nastavených hodnot uživatelem.

3.3.3 Standardní ovládání

Tato možnost ovládání programu zpřístupní veškeré komponenty nacházející se na formuláři aplikace. V tomto režimu se dají rychle a efektivně nastavit všechny parametry obvodu fázového závěsu, kromě procedur, jenž jsou určeny pro naprogramování obvodu ADF4110. Při použití standardního ovládání nejsou data, nastavená uživatelem, kontrolována počítačem a tudíž může dojít k tomu, že se obvod nenaprogramuje.

3.3.4 Nastavení vlastností programu

Vzhledem k tomu, že obvod fázového závěsu umožňuje nastavit spoustu doplňujících parametrů, které vylepšují vlastnosti celého obvodu, je v programu zapouzdřeno několik formulářů, pomocí kterých je možné tyto funkce nastavit. V těchto formulářích jsou vhodně rozděleny veškeré parametry, které obvod fázového závěsu umožňuje nastavit. Tyto parametry jsou uvedeny v datasheetu výrobce [3].

Nastavení parametrů probíhá skrze hlavní třídu programu, ve které je definováno šest delegátů ¹, které pomocí zpětných volacích funkcí umožňují nastavit potřebné parametry z příslušných formulářů. Všechny formuláře jsou uvedeny v příloze D.

3.4 Komunikace programu s obvodem fázového závěsu

Komunikace mezi programem a obvodem fázového závěsu probíhá, tak že se nejprve otestuje připojení zařízení syntezátoru k počítači. Je-li připojeno, nastaví se požadovaná rychlost přenosu a režim Bit Bang. Po tomto připojení program přistoupí k samotné komunikaci s obvodem fázového závěsu dle blokového diagramu 3.2.

Komunikace je složena z veřejných metod nacházejících se ve třídě hlavního programu, které předávají parametry veřejným metodám v pomocné třídě *FTDI_FT232RL*, jež umožňuje komunikaci s obvodem FT232RL.

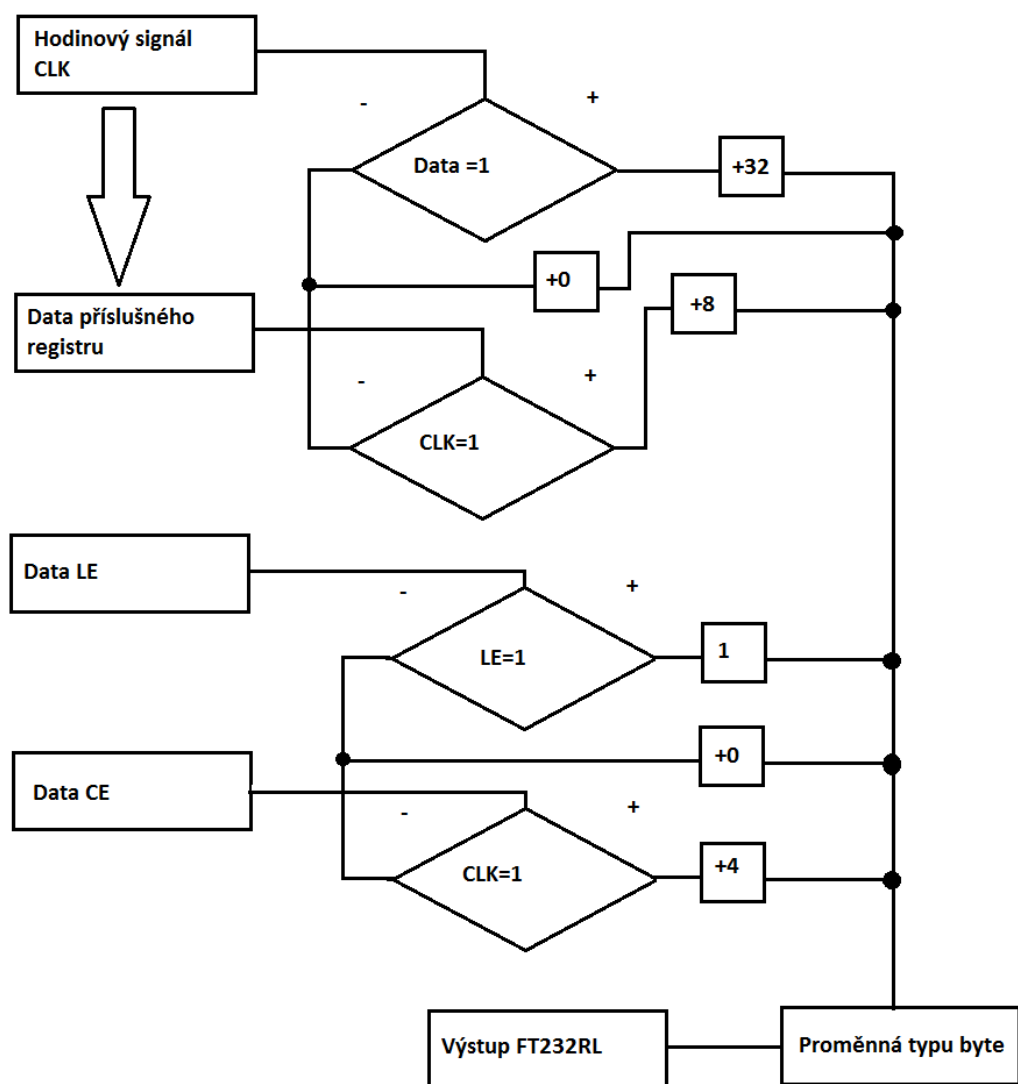
Hodinový signál je řízený softwarově a jeho hodnotu je možné nastavit. V případě, že hodnota hodinového signálu nabývá vysoké úrovně, přičte se k pomocné proměnné typu byte konstanta, jež představuje váhu daného bitu na obvodu FT232RL v režimu Bit Bang. Váhy použitých bitů jsou uvedené v tabulce 3.1. Současně s nastavováním hodinového signálu probíhá nastavování dat pro naprogramování vnitřních registrů obvodu ADF4110, dat pro pin LE a pin CE². Po nastavení pomocné proměnné je programem vykonáno odeslání těchto dat na výstup obvodu FT232RL, tedy na vstup komunikačních pinů obvodu ADF4110.

3.5 Výpočet hodnot čítačů a předděliče

Pro spolehlivou funkci syntezátoru je nutné správně nastavit referenční čítač R, čítače A,B a vhodnou velikost předděliče. Z toho důvodu jsou zde uvedeny příslušné vztahy pro jejich výpočet, dle kterých grafické rozhraní počítá.

¹Delegát je typově bezpečný objekt, jež ukazuje na jinou metodu [16]

²Nastavení CE je vždy ve vysoké úrovni. Výjimka je v případě použití CE inicializační metody.



Obr. 3.2: Blokový diagram komunikace hlavního programu s obvodem fázového závěsu.

Tab. 3.1: Váha bitu použitých výstupů FT232RL [14] a připojení ke vstupu ADF4110.

Výstup	Váha bitu	Pin na ADF4110	Význam pinu
TXD	1	13	LE
RTS	4	10	CE
CTS	8	12	DATA
DSR	32	11	CLK

Kmitočtový krok syntezátoru je určený externím referenčním oscilátorem a děličem

R. Signál z referenčního krystalového oscilátoru je vydělený hodnotou čítače R a tím je dosaženo požadovaného kmitočtového kroku podle 3.1 [9].

$$f_{krok} = \frac{f_{REF}}{R} \quad [\text{Hz}] \quad (3.1)$$

Známe-li kmitočtový krok a maximální výstupní kmitočet syntezátoru, vypočte se hodnota čítače N podle 3.2

$$N = \frac{f_{MAX}}{f_{krok}} \quad [-] \quad (3.2)$$

Z hodnoty N se následně spočítá potřebný počet bitů čítače N 3.3

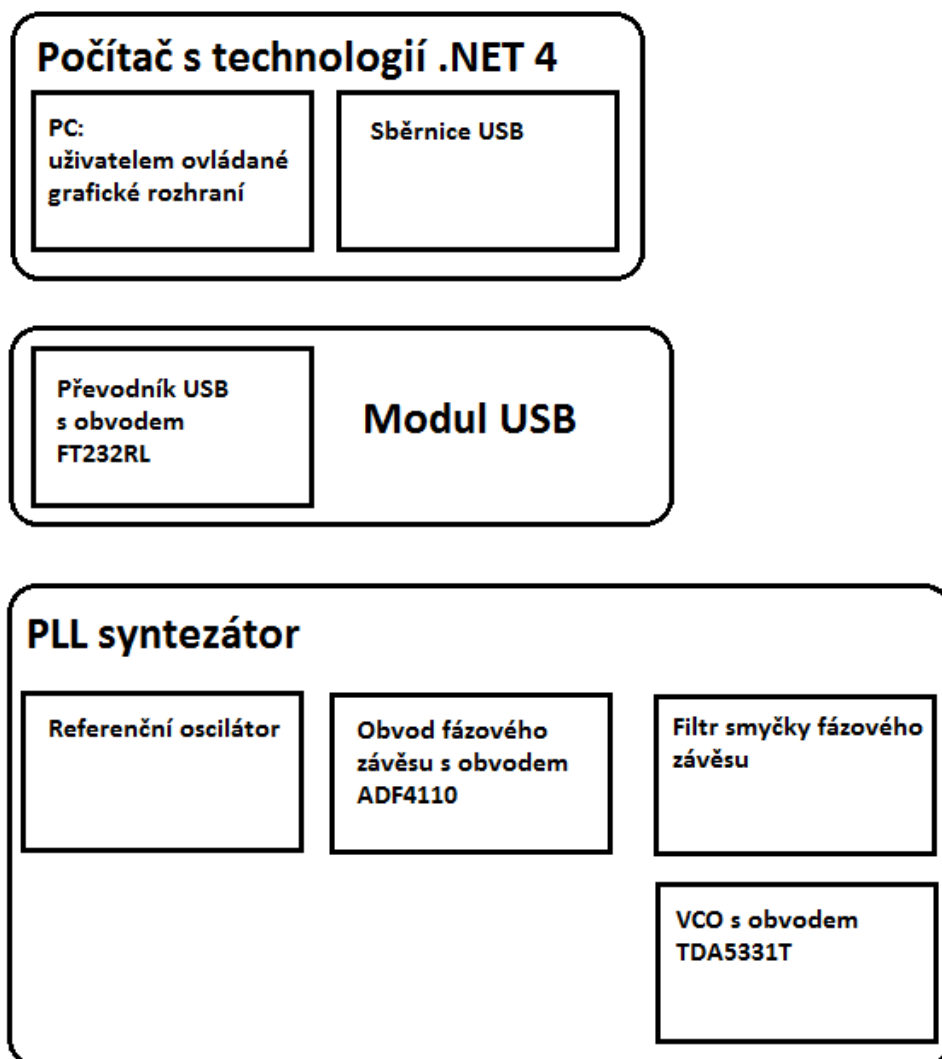
$$\alpha(N) = \frac{\log N}{\log 2} \quad [\text{bit}] \quad (3.3)$$

Pokud počet bitů pro N vyjde větší než 13 (což je velikost čítače N v PLL syntezátoru), je nutné použít navíc rychlého předděliče a čítače A. Dělicí poměr N pak bude dán vztahem 3.4 [3].

$$N = B \cdot P + A, \quad (3.4)$$

Kde P je dělicí poměr předděliče, který uvádí tabulka 2.7. Poté se určí počet bitů čítačů A a B dle vztahu 3.3.

4 NÁVRH PLL SYNTEZÁTORU



Obr. 4.1: Blokové uspořádání počítačem řízeného syntezátoru.

Kompletní uspořádání počítačem řízeného syntezátoru je uvedeno na obrázku 4.1. Počítačem řízený syntezátor se skládá ze třech částí:

- **Počítač:** V počítači je nainstalována technologie .NET 4, která umožňuje spuštění grafického rozhraní. Součástí počítače je USB sběrnice pro připojení dalších periférií.
- **Modul USB:** Tento modul se připojuje ke sběrnici USB počítače a obvodu fázového závěsu. Komunikace mezi syntezátorem a počítačem je zprostředkovávána prostřednictvím tohoto modulu.
- **PLL syntezátor:** Tvoří hardwarovou část počítačem řízeného syntezátoru. Skládá se z napětím řízeného oscilátoru, obvodu fázového závěsu, referenčního os-

cilátoru a filtru smyčky PLL. Kompletní schéma PLL syntezátoru je uvedeno v příloze H.1.

4.1 Napětím řízený oscilátor

Napětím řízený oscilátor je napájen stabilizovaným napětím o velikosti 12V a je tvořený obvodem TDA5331 s kmitavým LC obvodem.

Obvod TDA obsahuje zesilovač vnitřních oscilátorů. Jeho jeden vstup je přiveden do obvodu ADF4110 a druhý lze použít jako výstup pro připojení spektrálního analyzátoru.

Kmitavý LC obvod je tvořen kondenzátorem C9, varikapem BBY40 a cívkou L1. Ladící napětí se přivádí ze zesilovače, který je součástí filtru smyčky, přes rezistor R7. Frekvenční rozsah oscilátoru je nastavený rezistory R3 a R4 na rozsah 160-470 MHz.

Závislost kapacity varikapu na ladícím napětí je přiložena v příloze E.1. Z této charakteristiky je patrné, že hodnota kapacity varikapu v rozsahu 0-15 V je přibližně 48-10 pF. V konfiguraci kondenzátoru C9, cívky L1 a varikapu D1 lze napětím řízený oscilátor rozmítat přibližně od 152 MHz do 320 MHz (tabulka VCO 4.5).

Citlivost VCO je uvedena na obrázku 4.12.

4.2 Obvod fázového závěsu

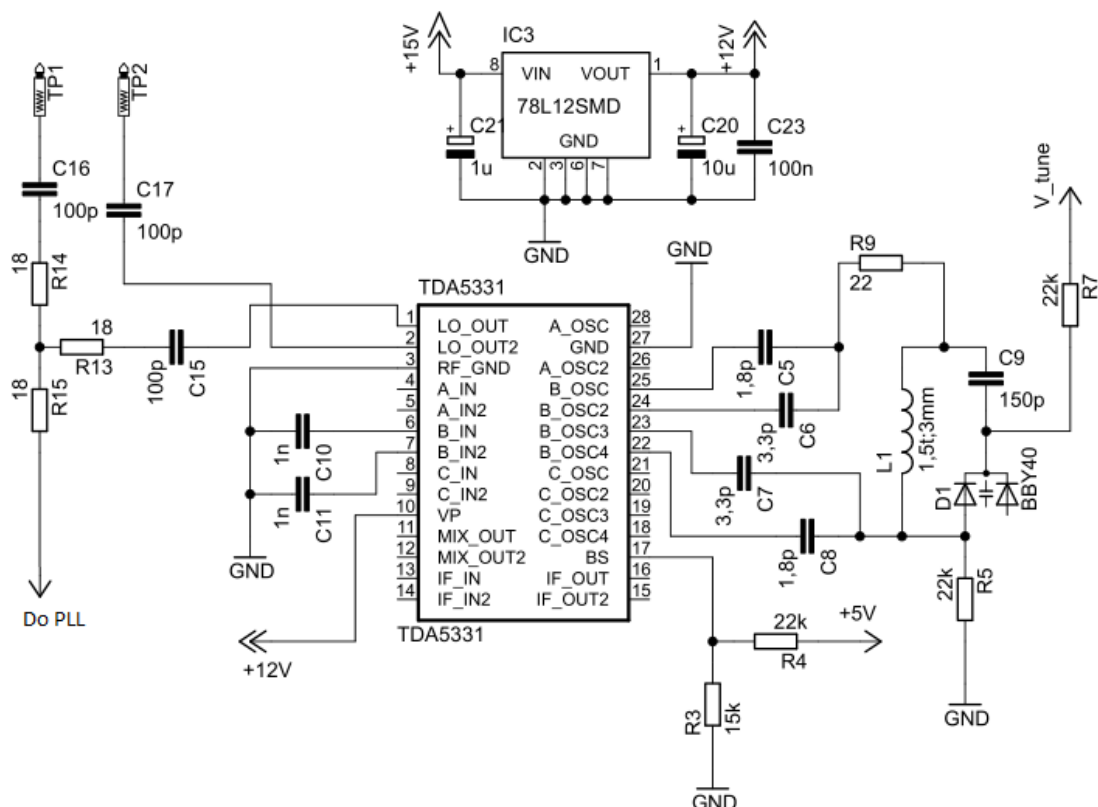
Obvod fázového závěsu je tvořený integrovaným obvodem ADF4110. Jeho části - analogová, digitální a obvod nábojové pumpy jsou napájeny stabilizovaným napětím o velikosti 5V. Odpor R1 svojí hodnotou určuje velikost proudu nábojové pumpy v rozmezí 1,09 – 8,7 mA. Přesné nastavení výstupního proudu nábojové pumpy poté závisí na nastavení registrů ADF4110.

Vstupy sériové komunikace jsou připojeny na konektor CON2. Ke konektoru je rovněž připojený pin CE, který aktivuje, nebo deaktivuje funkci obvodu fázového závěsu.

4.3 Referenční oscilátor

Jako referenční oscilátor byl zvolen Colpittsův krystalový oscilátor. Jeho zapojení je uvedeno na obrázku 4.4.

Obvod je napájen stabilizovaným napětím o velikost 5V. V bázi tranzistoru je zapojený kapacitní dělič, tvořený kondenzátory C25 a C26. Zpětná vazba vzniká



Obr. 4.2: Zapojení VCO s obvodem TDA5331T.

přivedením signálu z emitoru tranzistoru na vstup, prostřednictvím tohoto kapacitního děliče [21]. Střed kapacitního děliče je spojen s emitorem tranzistoru, ze kterého je výsledný signál veden do obvodu fázového závěsu. Oscilátor kmitá mezi sériovou a paralelní rezonancí krystalu, v závislosti na celkové kapacitě kapacitního děliče [21]. Při návrhu zapojení bylo postupováno dle [20].

4.4 Filtr smyčky fázového závěsu

Jako filtr smyčky je použita dolní propust s rail-to-rail operačním zesilovačem MC33071. Aby byl splněn požadavek pro ladění VCO v rozsahu 0-15V je zesilovač napájen napětím 15 V. Vzhledem k tomu, že maximální výstupní napětí kmitočtově fázového detektoru je 5 V, musí mít zesilovač zisk 9,5 dB.

Zapojení filtru smyčky je uvedeno na obrázku 4.7. Integrovaný zesilovač MC33071 je v tomto filtru zapojený jako neinvertující zesilovač, který třikrát zesílí napětí přivedené na jeho neinvertující vstup. K neinvertujícímu vstupu zesilovače je připojena pasivní dolní propust druhého řádu, na které se filtruje signál z nábojové pumpy obvodu ADF4110.

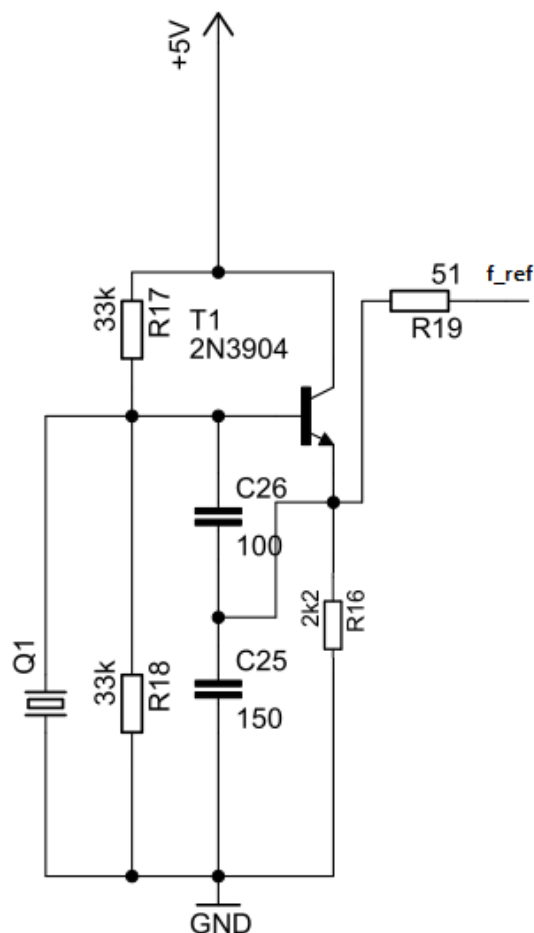
Na obrázku 4.5 je znázorněna simulace, programem ADIsimPLL, otevřené smyčky



Obrázek 4.6 představuje simulaci kompletního systému fázového závěsu PLL a VCO. Z průběhu amplitudy je zřejmé, že fázový šum je nejvíce redukován uvnitř pásma smyčky PLL. Dále je patrný nárůst úrovně fázového šumu na kmitočtu odpovídajícímu šířce pásma smyčky PLL.

$$Z(s) = \frac{s(C_{13} \cdot R_{12}) + 1}{s^2(C_{13} \cdot C_{14} \cdot R_{12}) + sC_{13} + sC_{14}} \quad [\Omega] \quad (4.1)$$
$$T_1 = R_{12} \frac{C_{13} \cdot C_{14}}{C_{13} + C_{14}} \quad [\text{s}] \quad (4.2)$$

$$T_2 = R_{12} \cdot C_{13} \quad [\text{s}] \quad (4.3)$$



Obr. 4.4: Zapojení referenčního oscilátoru.

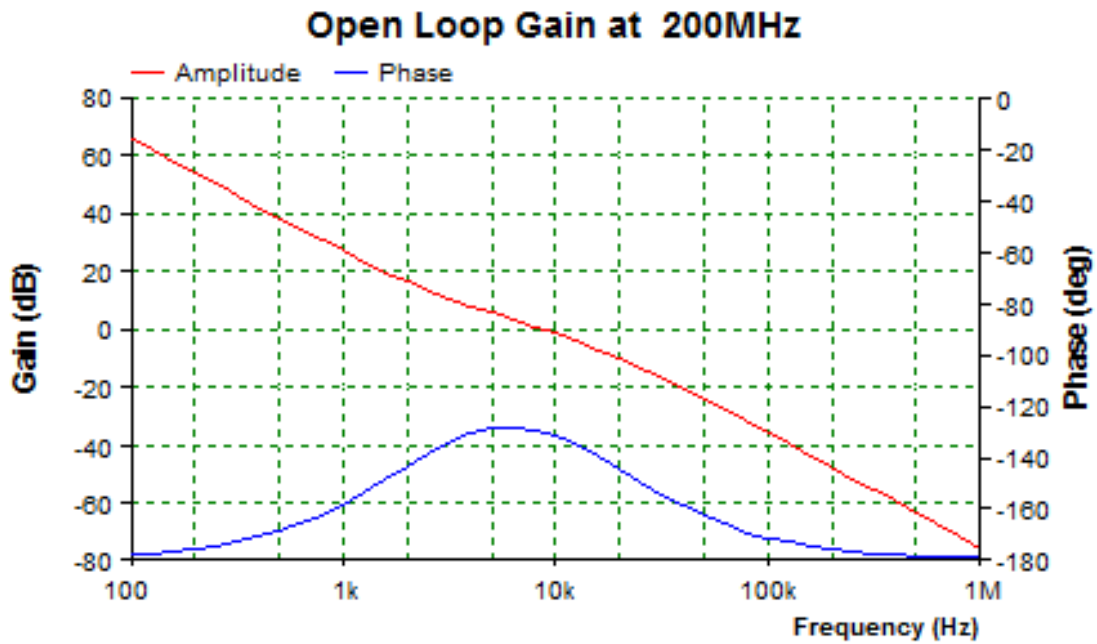
4.4.1 Výpočet hodnot pasivního filtru

Výpočet hodnot součástek pasivního filtru byl určen dle postupu uvedeného v literatuře [23]. Návrh filtru vycházel ze znalosti šířky pásma smyčky, při které má přenosová funkce otevřené smyčky zisk 0 dB, a fázové odchylky filtru [23]. Fázová odchylka je rozdíl fáze proti referenční hodnotě -180° na frekvenci, kde má otevřená smyčka jednotkový zisk [24]. Pro parametry uvedené v tabulce 4.1 jsou hodnoty jednotlivých prvků filtru následující.

Dle vztahů 4.4 a 4.5 se určí časové konstanty T_1 a T_2 :

$$T_1 = \frac{1/\cos(\phi_p) - \tan(\phi_p)}{\omega_p} = 7,468 \cdot 10^{-6} \text{ s} \quad (4.4)$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} = 6,193 \cdot 10^{-5} \text{ s} \quad (4.5)$$



Obr. 4.5: Simulace otevřené smyčky PLL závěsu.

Tab. 4.1: Parametry nutné pro určení hodnot součástek filtru.

Zkratka	Hodnota	Popis
K_{pd}	8,7mA	Zisk nábojové pumpy
K_{VCO}	38MHz/V	Směrnice ladícího napětí VCO
ω_p	7,12kHz	Šířka pásma smyčky
ϕ_p	51,7°	Fázová odchylka
N	5000	Hlavní dělicí poměr čítače N

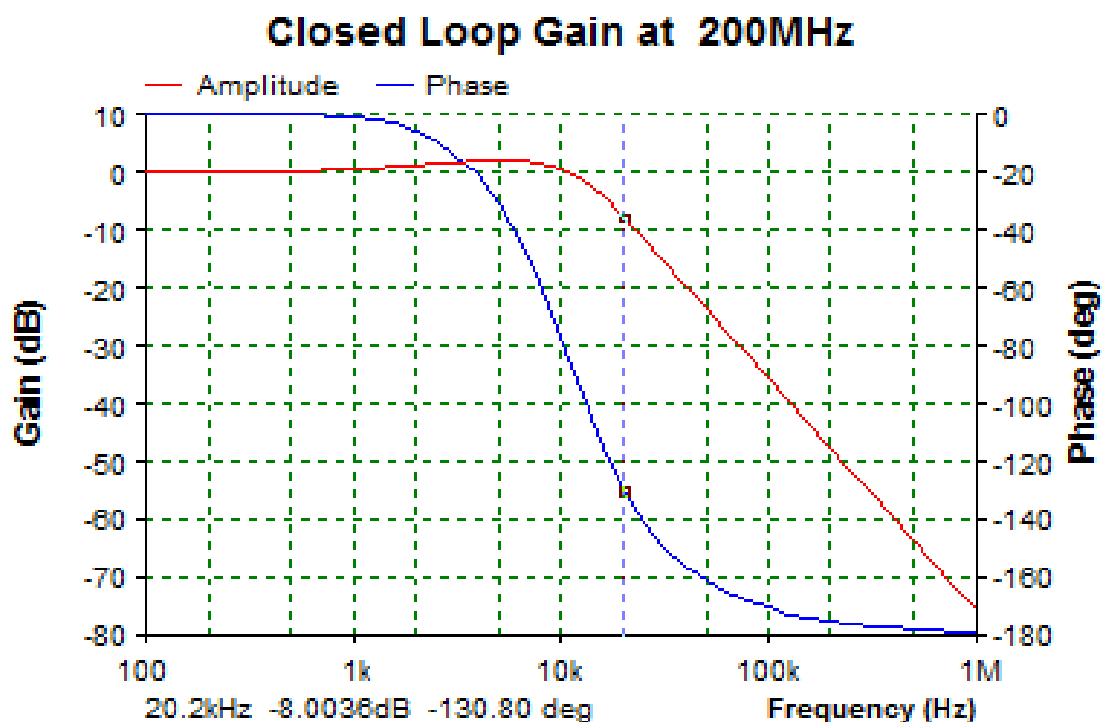
Výsledné hodnoty T_1 a T_2 lze poté dosadit do 4.6 následujícího vztahu pro výpočet kondenzátoru C_{14} :

$$C_{14} = \frac{T_1}{T_2} \cdot \frac{K_{pd} \cdot K_{VCO}}{\omega_p^2 \cdot N} \cdot \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} = 10,62 \text{ nF} \quad (4.6)$$

C_{13} se určí dle vztahu 4.7:

$$C_{13} = C_{14} \cdot \left(\frac{T_2}{T_1} - 1 \right) = 77,45 \text{ nF} \quad (4.7)$$

Nakonec se z hodnot vypočtených v 4.7 a 4.5 určí R_{12} :



Obr. 4.6: Simulace kompletního systému PLL s VCO.

$$R_{12} = \frac{T_2}{C_2} = 799,626 \, \Omega \quad (4.8)$$

Pro porovnání jsou v tabulce uvedené vypočtené hodnoty dle [23] a hodnoty vypočtené programem ADIsimPLL.

Tab. 4.2: Změřené parametry napětím řízeného oscilátoru.

Součástka	Hodnota vypočtená	ADIsimPLL
C_{13}	77,45nF	77,4nF
C_{14}	10,62nF	10nF
R_{12}	799,6 Ω	1k Ω

4.5 Modul pro připojení k USB

Aby bylo dosaženo co možná největší využitelnosti programu PLL syntezátoru, je modul vyrobený na samostatné desce plošných spojů. Modul umožňuje komunikaci s

Zapojení USB modulu je převzato z [14]. Jádrem modulu tvoří integrovaný převodník FT232RL, který je napájen ze sběrnice USB. Výstupy TXD, RTS, CTS a DSR jsou připojeny ke konektoru CON1, ke kterému se plochým kabelem a propojkou připojuje PLL syntezátor.

4.5.1 Konfigurace modulu

Pro správnou funkci USB modulu bylo nutné nainstalovat příslušné ovladače, a to jak D2XX, tak ovladače pro virtuální sériový port.

Po nainstalování ovladačů byl USB modul připojen k USB sběrnici počítače a provedla se základní konfigurace, která spočívala v naprogramování vnitřní paměti EEPROM¹ v programu MPROG verze 3.0, který je přiložen v příloze C.1. Jakmile došlo ke spuštění programu MPROG, byl vytvořen nový profil, do kterého se doplnily parametry dle tabulky 4.3.

Tab. 4.3: Parametry pro správné naprogramování vnitřní EEPROM obvodu FT232RL.

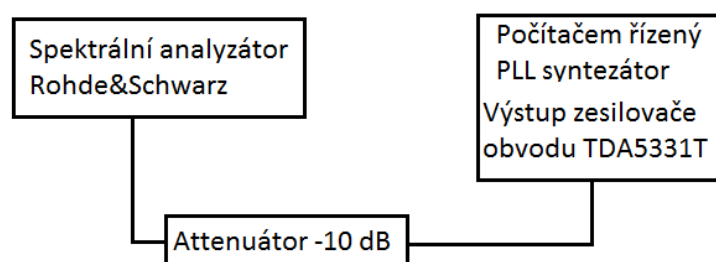
Parametr	Hodnota	Popis
Device Type	FT232R	Název použitého obvodu.
Vendor ID	0403	Defaultní hodnota [15].
Product ID	6001	Defaultní hodnota [15].
DProduct Description	USBmodul	Jméno zařízení pod kterým se bude reprezentovat.
Bus Powered	100 mA	Maximální povolený napájecí proud.

4.6 Měření PLL syntezátoru

Měření spektra počítačem řízeného syntezátoru probíhalo na přístroji Rohde&Schwarz FSL3 9 kHz-3GHz, ev. č. 624-401. Blokové zapojení pracoviště je uvedeno na obrázku 4.9.

K spektrálním analyzátoru byl připojený attenuátor, který umožnil připojení PLL syntetizéru pomocí kabelu s konektory BNC. Výstup PLL syntezátoru představoval výstupní pin zesilovače integrovaného obvodu TDA5331T. Tento zesilovač měl výstupní impedanci 50Ω a tudíž nevznikly problémy s připojením měřicího kabelu.

¹EEPROM - Electrically Erasable Programmable Read-Only Memory. Jedná se o elektricky mazatelnou paměť.



Obr. 4.9: Zapojení pracoviště pro měření spektra PLL syntezátoru.

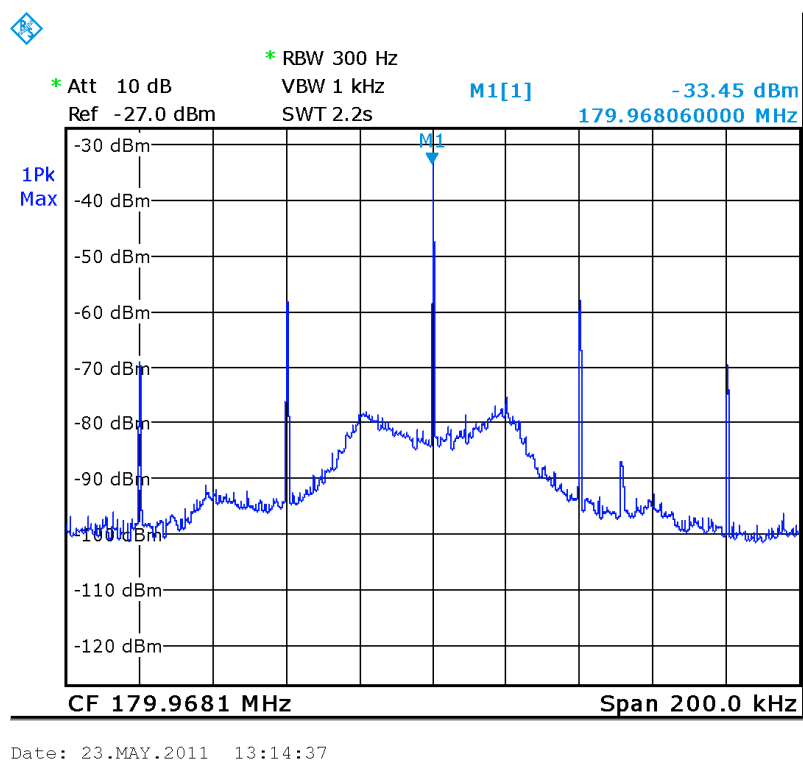
Na obrázku 4.10 je zobrazena spektrální výkonová hustota výstupu PLL syntezátoru na kmitočtu $f_c = 180$ MHz. Kmitočtový krok syntezátoru byl nastavený na hodnotu 40 kHz. Na obrázku je vidět úsek spektra o šířce 200 kHz a rozlišovací šířce filtru RBW = 300 Hz. Výstupní proud nábojové pumpy obvodu ADF4110 byl nastavený na hodnotu 8,7 mA.

Z naměřené spektrální hustoty jsou patrné parazitní složky signálu PLL na kmitočtech $f - c \pm f_r, f_c \pm 2f_r$, kde f_r představuje referenční kmitočet vydělený dělícím R.

Na obrázku 4.11 je zobrazena výstupní spektrální hustota PLL syntezátoru. Zobrazený úsek má šířku 1 MHz. Ve spektru lze pozorovat spoustu parazitních spektrálních čar, které jsou na kmitočtech, jenž je násobkem kmitočtu f_r . Velikost výkonu jednotlivých spektrálních čar je uvedena v tabulce

Tab. 4.4: Výkon parazitních složek spektra PLL syntezátoru.

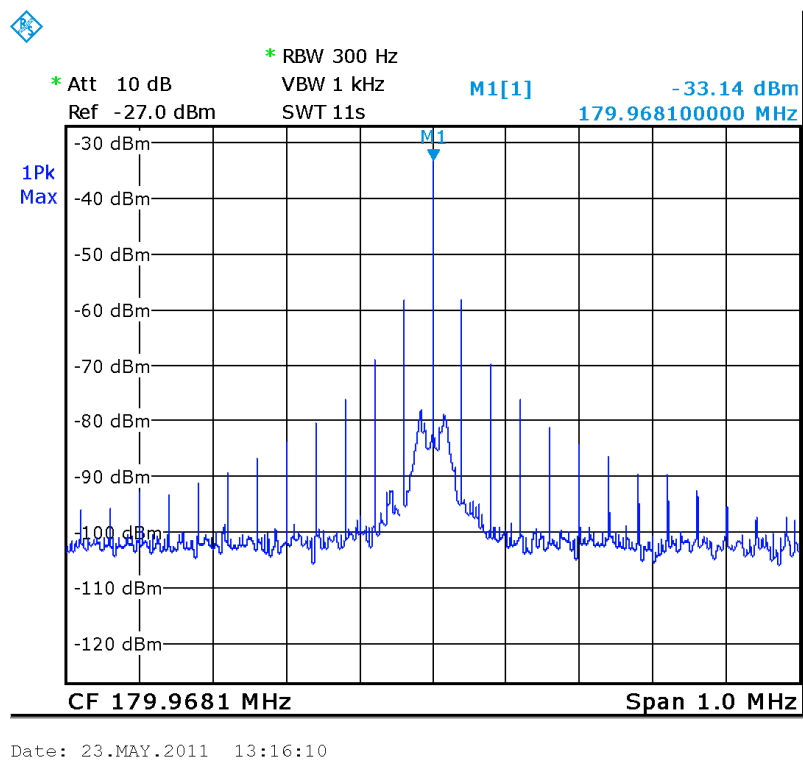
Kmitočet [MHz]	Výkon [dBm]
$f_c \pm f_r$	-58,0
$f_c \pm 2f_r$	-69,0
$f_c \pm 3f_r$	-77,2
$f_c \pm 4f_r$	-81,1
$f_c \pm 5f_r$	-85,0
$f_c \pm 6f_r$	-87,6
$f_c \pm 7f_r$	-89,0
$f_c \pm 8f_r$	-91,5
$f_c \pm 9f_r$	-93,5
$f_c \pm 10f_r$	-96,0



Obr. 4.10: Spektrum na výstupu počítačem řízeného syntezátoru (Span = 200 kHz).

4.6.1 Měření VCO

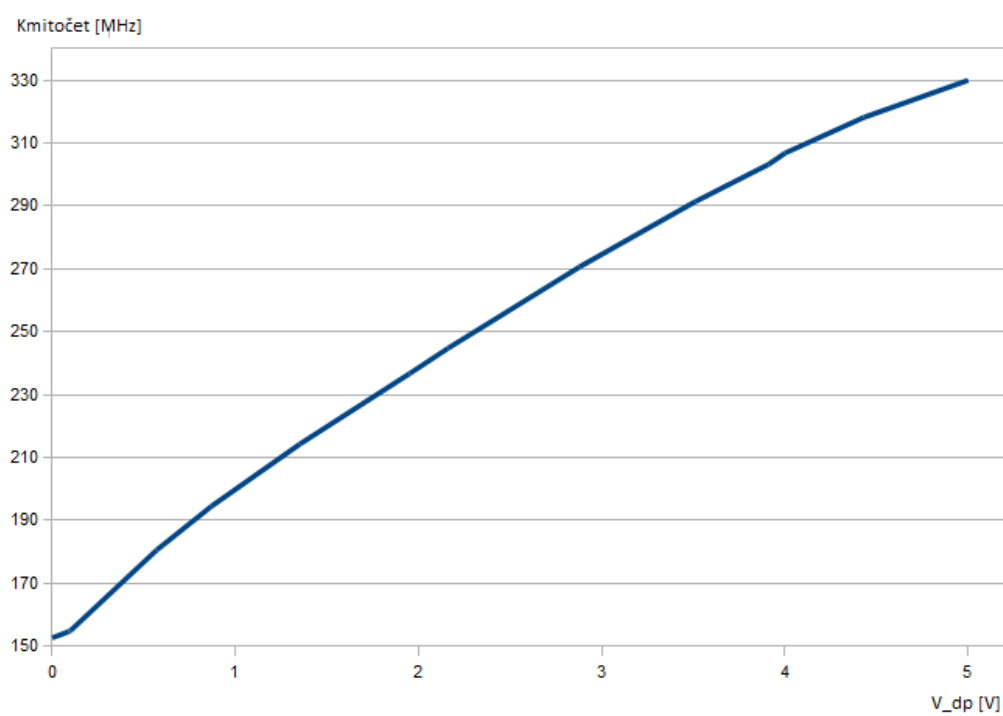
Na obrázku 4.12 je znázorněna změřená závislost výstupního kmitočtu napětím řízeného oscilátoru na napětí přiváděném na dolní propust. Maximální velikost napětí na dolní propusti dosahuje hodnoty 5 V. Toto napětí je operačním zesilovačem třikrát zesíleno, a tím je dosaženo, že ladící napětí na varikapu se pohybuje v rozmezí 0-15 V. Změřené hodnoty jsou uvedeny v tabulce 4.5.



Obr. 4.11: Spektrum na výstupu počítačem řízeného syntezátoru (Span = 1 MHz).

Tab. 4.5: Změřená závislost kmitočtu VCO na napětím .

Napětí [V]	Kmitočet [MHz]
0,00	152,68
0,09	154,69
0,10	155,00
0,57	180,61
0,87	194,58
1,35	214,24
1,95	236,68
2,16	244,74
2,88	270,70
3,51	291,38
3,91	303,22
4,00	306,81
4,43	306,81
5,00	320,00



Obr. 4.12: Závislost frekvence VCO na napětí na dolní propusti.

5 ZÁVĚR

V první kapitole této práce byly popsány různé druhy konstruovaných syntezátorů, jejich základní parametry a vlastnosti.

Druhá kapitola se věnuje rozboru daného zadání. Nachází se v ní popisy použité technologie, sběrnice USB a použitých obvodů. U použitých obvodů jsou stručně shrnuty jejich nejzákladnější parametry a jejich výhody.

Jako nejvhodnější obvod, pro komunikaci mezi USB sběrnici a syntezátorem, byl vybrán obvod od firmy FTDI chip - FT232RL, který s pomocí ovládacího rozhraní a D2XX ovladače, komunikuje spolehlivě s USB sběrnici.

Pro konstrukci PLL syntezátoru byl zvolen obvod fázového závěsu od firmy Analog Devices - ADF4110. Referenční signál pro obvod ADF4110 byl vytvořen Colpittsovým oscilátorem, který byl řízený krystalem o kmitočtu 10 MHz. Pro napětím řízený oscilátor byl vybrán obvod TDA5331T.

V třetí kapitole je popsán návrh grafického rozhraní, jeho struktura a vzhled. Pro programování rozhraní byl vybrán programovací jazyk C#, který společně s technologií .NET4 představuje mocný programovací nástroj. Rovněž kapitola obsahuje nastínění technik použitých při programování. Vše je doplněno příslušnými vývojovými diagramy.

V poslední kapitole je popsáno hardwarové řešení počítačem řízeného syntezátoru. Kapitola je rozdělena do jednotlivých bloků syntezátoru a je doplněna schémata zapojení. Rovněž tato část obsahuje naměřené hodnoty na výstupu syntezátoru.

LITERATURA

- [1] PROKEŠ, A. *Rádiové přijímače a vysílače: Přednášky*. Brno: FEKT VUT v Brně, 2005. 178 s. ISBN 80-214-2263-7.
- [2] HANUS, S.,SVAČINA,J. *Vysokofrekvenční a mikrovlnná technika: Přednášky*. Brno: FEKT VUT v Brně, 2002. 208 s. ISBN 80-214-2263-7.
- [3] *Katalogový list ADF4110* [online]. [cit.24.12.2010]. Dostupný z WWW: <http://www.analog.com/static/imported-files/data_sheets/ADF4110_4111-4112_4113.pdf>.
- [4] *Katalogový list MAX2606* [online]. [cit. 24. 12. 2010]. Dostupný z WWW: <<http://www.pdfserv.maxim-ic.com/en/ds/MAX2605-MAX2609.pdf>>.
- [5] *Katalogový list MAX2471* [online]. [cit. 20. 12. 2010]. Dostupný z WWW: <<http://www.datasheets.maxim-ic.com/en/ds/MAX2470-MAX2471.pdf>>.
- [6] CURTIN, M.,O'BRIEN,P. *Phase-Locked Loops for High-Frequency Receivers and Transmitters*[online]. Norwood: Analog Devices, 1999-[cit. 20. 12. 2010]. Dostupný z WWW: <<http://www.analog.com>>.
- [7] BARRETT, C. *Fraction/Integer-N PLL Basics*[online]. Dallas: Texas Instruments, 1999-[cit. 20. 12. 2010]. Dostupný z WWW: <<http://www.ti.com>>.
- [8] MATOUŠEK, D. *USB prakticky s obvody FTDI*. Praha: BEN - technická literatura, 2009. 272 s. ISBN 80-7300-103-9.
- [9] SOBOTKA, M. *Ovládací panel VKV rádia:bakalářská práce*.[online]. BRNO: VUT Fakulta elektrotechniky a komunikačních technologií, 1998-[cit. 20. 12. 2010].67 s. Dostupný z WWW: <http://www.vutbr.cz/www_base/zav_prace_soubor_verejne.php?file_id=18459&lang=0>.
- [10] *Katalogový list TDA5330T* [online]. [cit.24.4.2011]. Dostupný z WWW: <<http://pdf1.alldatasheet.com/datasheet-pdf/view/19385/PHILIPS/TDA-5330T.html>>.
- [11] *Wikipedie*[online]. [cit. 22. 4. 2011]. Dostupný z WWW: <http://cs.wikipedia.org/wiki/Universal_Serial_Bus>.
- [12] ZELA, J. *Syntezátor kmitočtu s frakční syntézou:diplomová práce*. [online]. PRAHA: ČVUT Fakulta elektrotechnická, katedra radioelektroniky, 2004-[cit. 29. 4. 2011].96 s. Dostupný z WWW: <http://www.ieee.cz/mtt/soutez04/prace/Diplomova_prace_Jan_Zela_2004.pdf>.

- [13] VÁGNER, P. *Syntezátor kmitočtu v pásmu X: diplomová práce*. [online]. Brno: VUT Fakulta elektrotechniky, ústav radioelektroniky, 2004-[cit. 29. 4. 2011]. 71 s. Dostupný z WWW: <<http://www.urel.feec.vutbr.cz/esl/files/Projects/StudentProjects/Vagner/diplomka.pdf>>.
- [14] Konstrukční elektronika *Popis obvodu FT232RL* Praha: AMARO, 2009. 40 s. ISSN 1211-3557.
- [15] *USB Vendor ID/ Product ID Guidelines* [online]. [cit.30.4.2011]. Dostupný z WWW: <http://www.ftdichip.com/Support/Documents/TechnicalNotes/TN_100_USB_VID-PID_Guidelines.pdf>.
- [16] TROELSEN, A. *C# a .NET 2.0 profesionálně*. Brno: FEKT VUT v Brně, 2002. 1197 s. ISBN 80-86815-42-0.
- [17] *Stručný úvod do technologie .NET* [online]. [cit.30.4.2011]. Dostupný z WWW: <<http://www.cs.vsb.cz/behalek/frvs/2005/dotnet/uvod.pdf>>.
- [18] *Wikipedie* [online]. [cit. 22. 4. 2011]. Dostupný z WWW: <http://cs.wikipedia.org/wiki/C_Sharp>.
- [19] *Katalogový list BBY40* [online]. [cit.24.12.2010]. Dostupný z WWW: <<http://www.pira.cz/pdf/BBY40.pdf>>.
- [20] *Transistor crystal oscillator circuit* [online]. [cit.24.12.2010]. Dostupný z WWW: <http://www.radio-electronics.com/info/circuits/transistor_crystal_oscillator/crystal_oscillator.php>.
- [21] MALINA, V. *Poznáváme elektroniku V*. České Budějovice: KOPP, 2001. 343 s. ISBN 80-7232-114-5.
- [22] DOBEŠ, J. *Fázový šum oscilátorů* [online]. [cit.24.12.2010]. Dostupný z WWW: <<http://radio.feld.cvut.cz/personal/dobes2/PhaseNoise.pp4.pdf>>.
- [23] *An Analysis and performance Evaluation of Passive Filter Design Technique for Charge Pump Phase-Locked Loops* [online]. [cit.25.5.2011]. Dostupný z WWW: <<http://www.national.com/an/AN/AN-1001.pdf>>.
- [24] DANĚK, K. *Moderní rádiový přijímač - kniha o jeho návrhu* Praha: BEN - technická literatura, 2005. 215 s. ISBN 80-7300-142-X.
- [25] MATOUŠEK, D. *USB prakticky s obvody FTDI*. Praha: BEN - technická literatura, 2009. 272 s. ISBN 80-7300-103-9.

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

DSP číslicové zpracování signálů – Digital Signal Processing

PLL PLL - Phase Locked Loop - fázový závěs

VCO Voltage Controlled Oscillator - napětím řízený oscilátor

f_{\min} minimální kmitočet syntezátoru

SPI SPI - Serial Peripheral Interface - Sériové komunikační rozhraní

f_{\max} maximální kmitočet syntezátoru

f_{vco} f_{vco} - kmitočet VCO

USB USB - Universal Serial Bus - Univerzální sériové rozhraní

Δf_{vco} kmitočtový krok syntezátoru

hub rozbočovač

Slave podřízené zařízení

NRZI NRZI - Non Return To Zero

sync-bajt sync-bajt synchronizační bajt (00000001b)

SIE Serial Interface Engine

FIFO FIFO - First in, First out. Data, která uložíme do fronty jako první, budou jako první vybrána.

VCP VCP - Virtual Communication Port

PFD PFD - Phase Frequency Detector

EEPROM EEPROM - Electrically Erasable Programmable Read-Only Memory.
Jedná se o elektricky mazatelnou paměť.

.NET .NET - dot NET. Soubor technologií, které tvoří celou platformu,
dostupnou pro Windows.

CLR CLR - Common Language Runtime. Základní infrastruktura.

MSIL MSIL - Microsoft Intermediate Language.

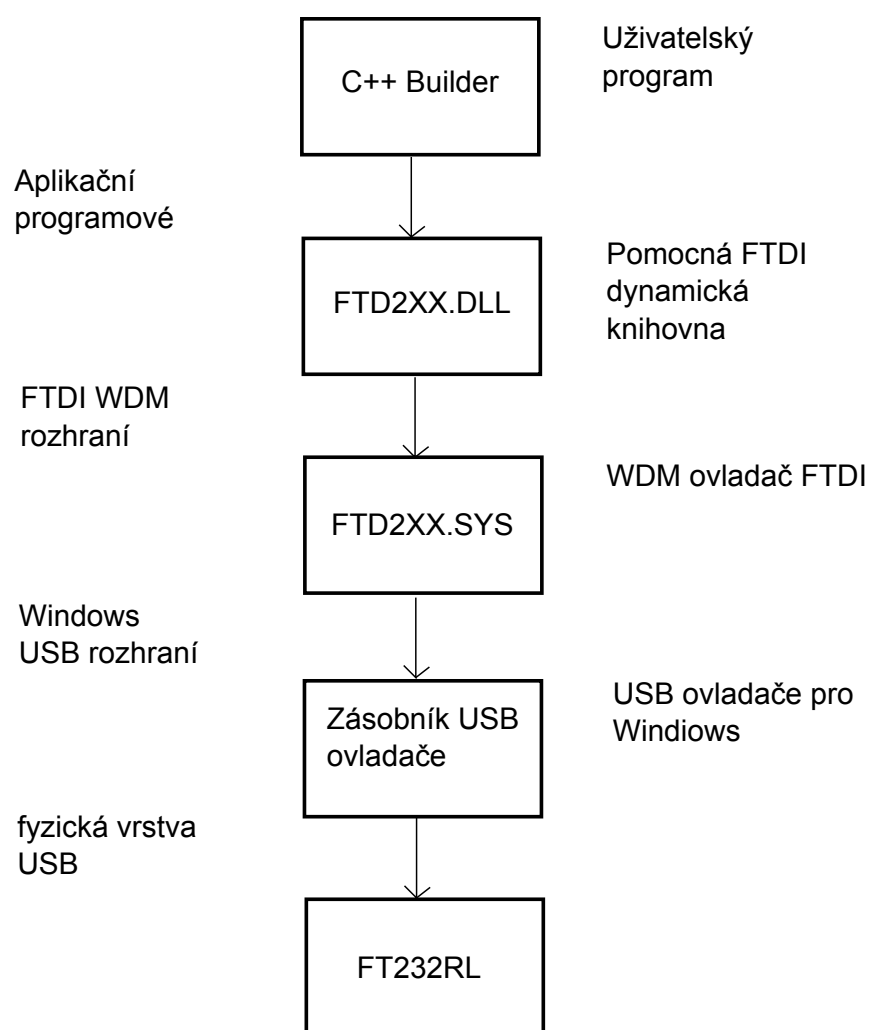
XML XML -Extensible Markup Language. Rozšiřitelný značkovací jazyk.

C# C Sharp. Programovací jazyk vyvinutý firmou Microsoft.

SEZNAM PŘÍLOH

A	Architektura D2XX ovladače	59
B	Vzhled grafického rozhraní	60
C	Konfigurace USB modulu v programu MPROG verze 3.0a	61
D	Nastavovací formuláře grafického rozhraní	62
D.1	Formulář pro nastavení parametrů funkčního registru	62
D.2	Formulář pro nastavení čítače N	63
D.3	Formulář pro nastavení referenčního registru	63
D.4	Formulář pro nastavení základních parametrů grafického rozhraní . .	64
E	Charakteristika varikapu BBY40	65
F	Seznam součástek	66
G	Blokové zapojení obvodu TDA5331T	68
H	Schema zapojení PLL syntezátoru	69
H.1	Desky plošných spojů	70
I	Obsah přiloženého CD	72

A ARCHITEKTURA D2XX OVLADAČE



Obr. A.1: Architektura ovladače D2XX [25]

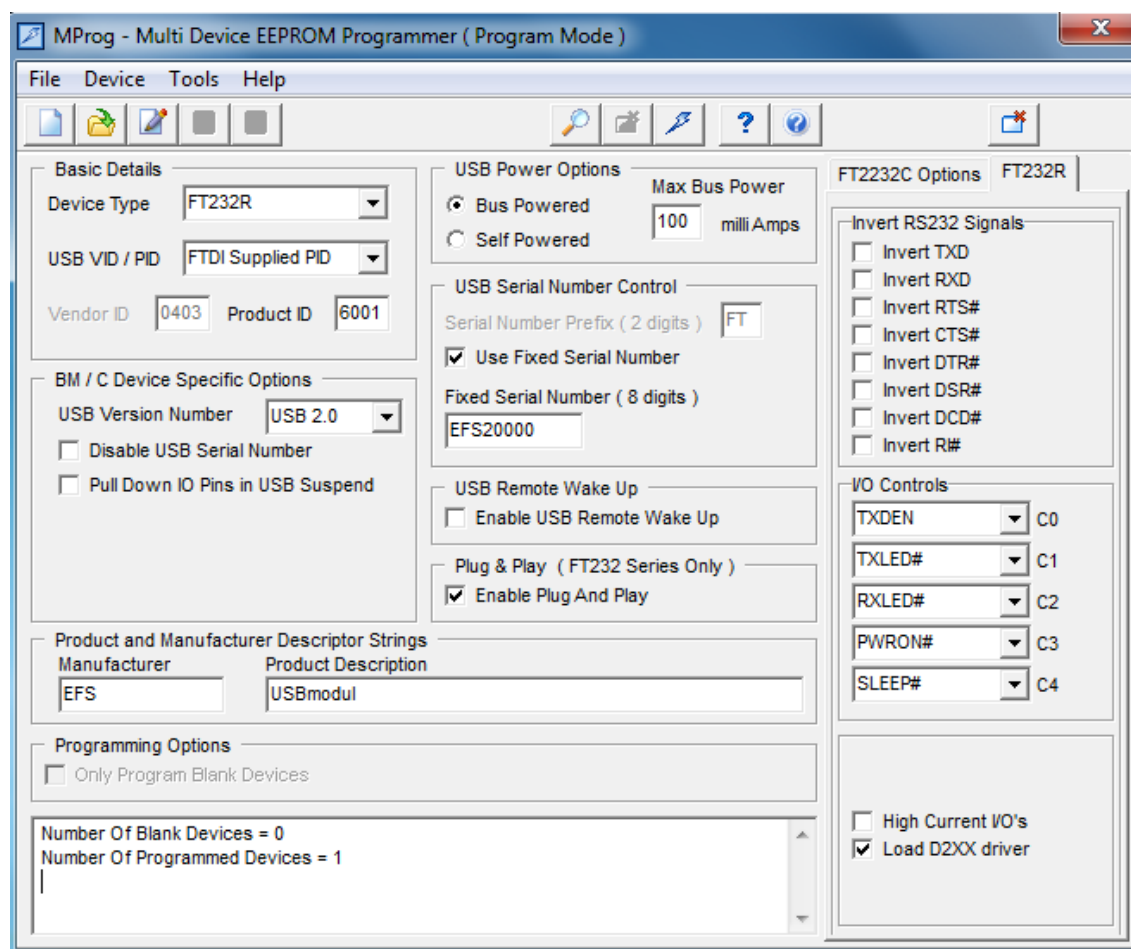
B VZHLED GRAFICKÉHO ROZHRANÍ

The screenshot displays the PLL synthesizer software interface. It features a menu bar with 'File', 'Settings', 'Help', and 'About'. The main configuration area is divided into several sections:

- Frequency and frequency step:** Includes input fields for 'Frequency' and 'Frequency step', a 'Load' button, and radio buttons for 'Manual control' (selected) and 'Automatic control'. A 'Prescaler value' section has radio buttons for 8/9, 32/33, 16/17, and 64/65.
- Latch summary:** A section for monitoring the latching process.
- Reference counter latch:** Contains a 'DLY' field, a 'SYNC' checkbox, a 'Lock detect precision' field, and a 'Test mode bits' field.
- 14-Bit reference counter, R:** A row of 14 binary control bits.
- Anti-Backlash width:** A single binary control bit.
- N counter latch:** Includes a 'CP gain' field and a '13-Bit B counter' row of 13 binary control bits.
- 6-Bit A counter:** A row of 6 binary control bits.
- Function latch:** A section for configuring various PLL functions, including:
 - Prescaler output:** 1 bit.
 - Power down:** 0 bit.
 - Current setting 2:** 1 bit.
 - Current setting 1:** 1 bit.
 - Time counter control:** 1 bit.
 - Fastlock mode:** 0 bit.
 - Fastlock enabled:** 0 bit.
 - CP-three-state:** 0 bit.
 - PD polarity:** 0 bit.
 - Muxout control:** 0 bit.
 - Power down 1:** 0 bit.
 - Counter reset:** 0 bit.
 - Control bits:** 1 bit.

Obr. B.1: Grafické rozhraní aplikačního programu

C KONFIGURACE USB MODULU V PROGRAMU MPROG VERZE 3.0A



Obr. C.1: Konfigurace vnitřní EEPROM obvodu FT232RL v programu MPROG verze 3.0a.

D NASTAVOVACÍ FORMULÁŘE GRAFICKÉHO ROZHRANÍ

D.1 Formulář pro nastavení parametrů funkčního registru

Function latch

Power-down

- ☐ Asynchronous power - down
- ☐ Normal operation
- ☐ Synchronous power - down

Fastlock mode

- ☐ Fastlock disabled
- ☐ Fastlock mode 1
- ☐ Fastlock mode 2

Phase detector polarity

- ☐ Negative
- ☐ Positive

Charge pump output

- ☐ Normal
- ☐ Three - state

Timer counter control

- ☐ 3 ☐ 7 ☐ 11 ☐ 15 ☐ 19 ☐ 23 ☐ 27 ☐ 31
- ☐ 35 ☐ 39 ☐ 43 ☐ 47 ☐ 51 ☐ 55 ☐ 59 ☐ 63

Current setting

R value

- ☐ 2,7k ☐ 4,7k ☐ 10k

Icp[mA]

- ☐ radioButton24
- ☐ radioButton25
- ☐ radioButton26
- ☐ radioButton27
- ☐ radioButton28
- ☐ radioButton29
- ☐ radioButton30
- ☐ radioButton31

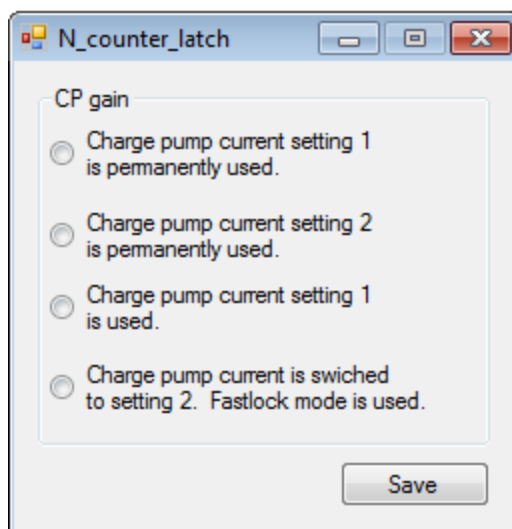
Muxout output

- ☐ Three - state output
- ☐ Digital lock detected
- ☐ N divider output
- ☐ DV_DD
- ☐ R divider output
- ☐ Analog lock detect
- ☒ Serial data output
- ☐ DGND

Stomo Save

Obr. D.1: Formulář umožňující nastavit parametry funkčního registru.

D.2 Formulář pro nastavení čítače N



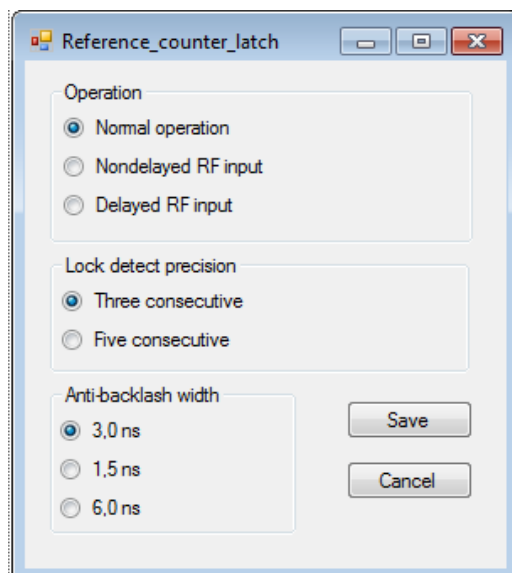
The screenshot shows a dialog box titled "N_counter_latch". It contains a section labeled "CP gain" with four radio button options:

- ☐ Charge pump current setting 1 is permanently used.
- ☐ Charge pump current setting 2 is permanently used.
- ☐ Charge pump current setting 1 is used.
- ☐ Charge pump current is switched to setting 2. Fastlock mode is used.

At the bottom right of the dialog is a "Save" button.

Obr. D.2: Formulář umožňující nastavit parametry registru N.

D.3 Formulář pro nastavení referenčního registru



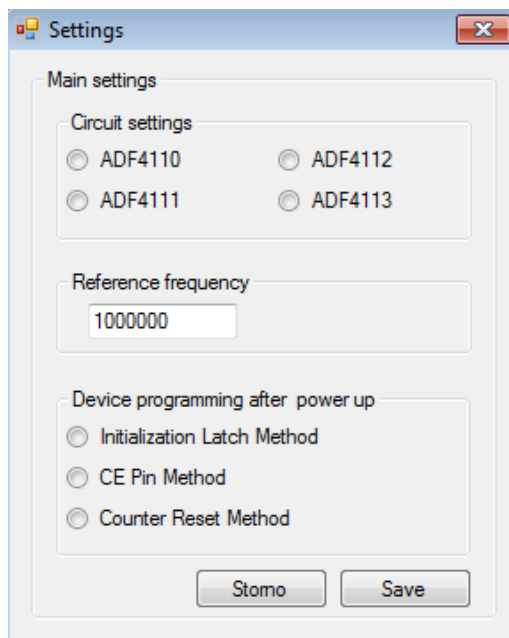
The screenshot shows a dialog box titled "Reference_counter_latch". It contains three sections with radio button options:

- Operation**
 - ☒ Normal operation
 - ☐ Nondelayed RF input
 - ☐ Delayed RF input
- Lock detect precision**
 - ☒ Three consecutive
 - ☐ Five consecutive
- Anti-backlash width**
 - ☒ 3,0 ns
 - ☐ 1,5 ns
 - ☐ 6,0 ns

At the bottom right of the dialog are "Save" and "Cancel" buttons.

Obr. D.3: Formulář umožňující nastavit parametry referenčního registru.

D.4 Formulář pro nastavení základních parametrů grafického rozhraní

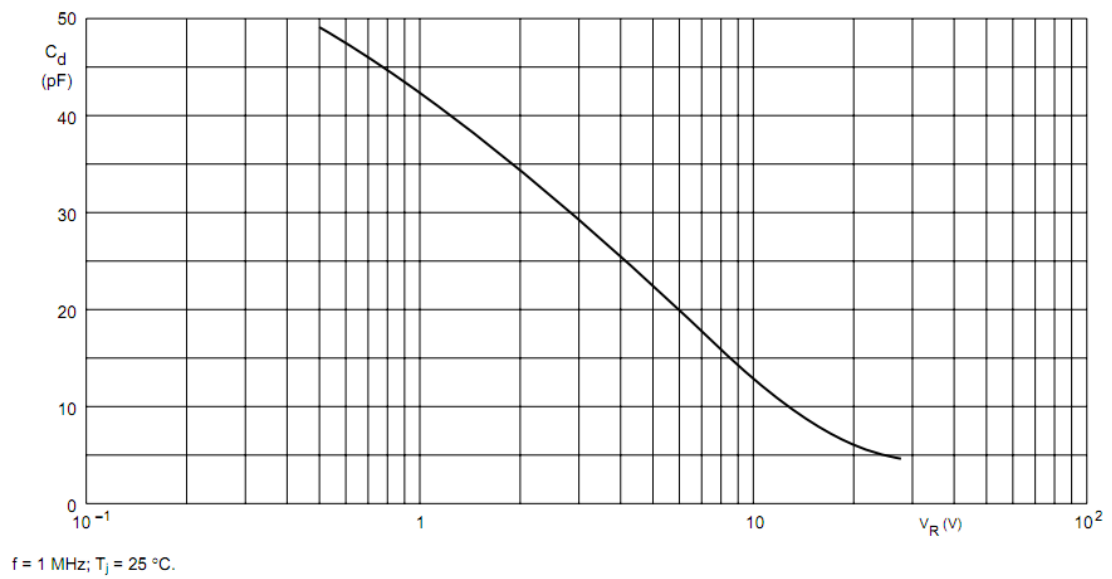


The image shows a Windows-style dialog box titled "Settings". It contains three main sections of settings:

- Main settings**
 - Circuit settings**: Four radio buttons arranged in a 2x2 grid. The top row contains "ADF4110" and "ADF4112". The bottom row contains "ADF4111" and "ADF4113".
 - Reference frequency**: A text input field containing the value "1000000".
 - Device programming after power up**: Three radio buttons stacked vertically: "Initialization Latch Method", "CE Pin Method", and "Counter Reset Method".
- Buttons**: Two buttons at the bottom right, labeled "Stomo" and "Save".

Obr. D.4: Formulář umožňující nastavit základní chování grafického rozhraní.

E CHARAKTERISTIKA VARIKAPU BBY40



Obr. E.1: Závislost kapacity varikapu na přiloženém napětí (převzato z [19]).

F SEZNAM SOUČÁSTEK

Tab. F.1: Seznam použitých součástek PLL syntezátoru - tabulka A

Název součástky	Hodnota	Pouzdro	Popis
IC1	TDA5331T	SO-28R	VCO
IC2	ADF4110	TSSOP16	Obvod fázového závěsu
IC3	78L12	SO08	Stabilizátor
IC4	78L12	SO05	Stabilizátor
IC5	MC33071	SO08	Rail-to-rail zesilovač
Q1	10MHz	HC49UP	Krystal
T1	2N3904	TO92	VF tranzistor
R1	2k7	SMD0805	Rezistor
R2	51	SMD0805	Rezistor
R3	15k	SMD0805	Rezistor
R4	22k	SMD0805	Rezistor
R5	22k	SMD0805	Rezistor
R6	51	SMD0805	Rezistor
R7	22k	SMD0805	Rezistor
R8	33k	SMD0805	Rezistor
R9	22	SMD0805	Rezistor
R10	10k	SMD0805	Rezistor
R11	20k	SMD0805	Rezistor
R12	1k6	SMD0805	Rezistor
R13	33k	SMD0805	Rezistor
R14	2k2	SMD0805	Rezistor
C1	100p	SMD0805	Keramický
C2	100n	SMD0805	Keramický
C3	1n	SMD0805	Keramický
C4	1n	SMD0805	Keramický
C5	1p8	SMD0805	Keramický
C6	3p3	SMD0805	Keramický

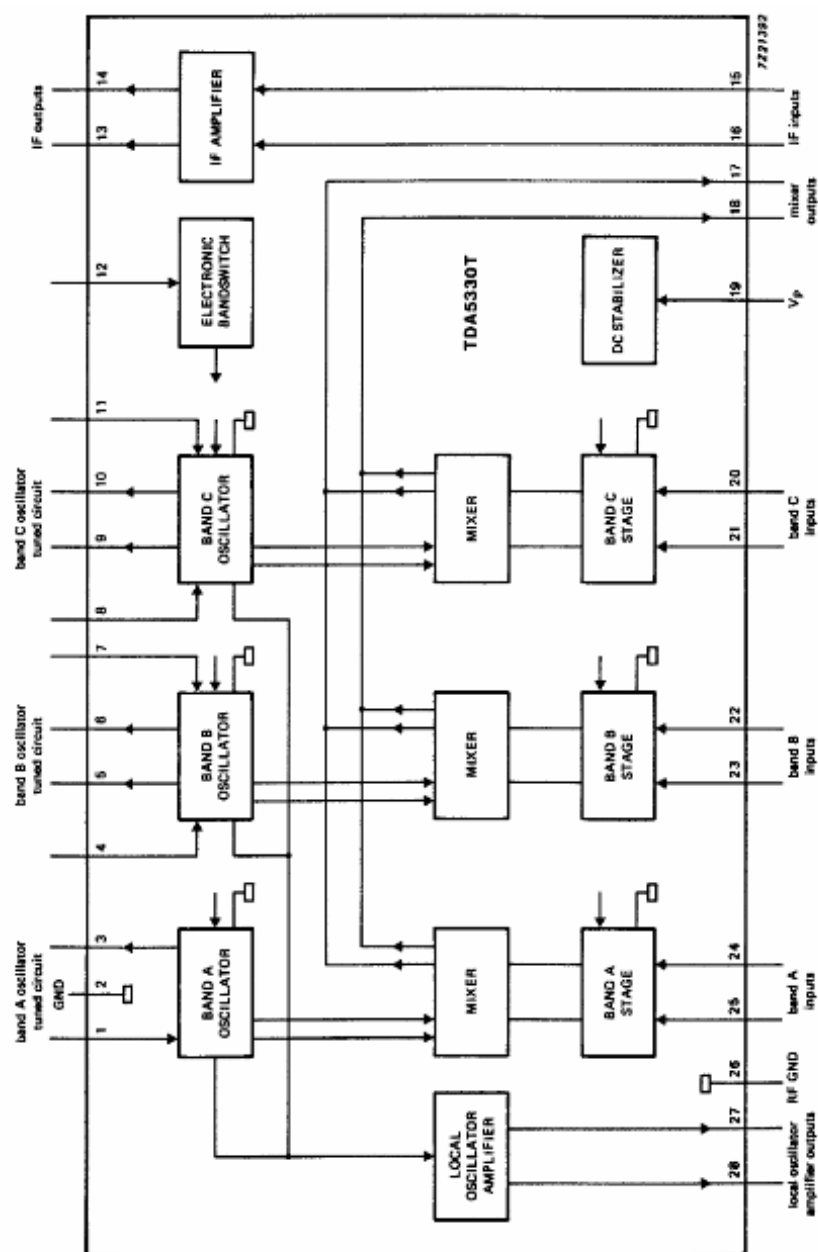
Tab. F.2: Seznam použitých součástek PLL syntezátoru - tabulka B

Název součástky	Hodnota	Pouzdro	Popis
C7	3p3	SMD0805	Keramický
C8	1p8	SMD0805	Keramický
C9	150p	SMD0805	Keramický
C10	1n	SMD0805	Keramický
C11	1n	SMD0805	Keramický
C12	100p	SMD0805	Keramický
C13	168n	SMD0805	Keramický
C14	10n	SMD0805	Keramický
C15	100p	SMD0805	Keramický
C16	100p	SMD0805	Keramický
C17	100p	SMD0805	Keramický
C18	10u	SMD0805	Elektrolytický
C19	100p	SMD0805	Keramický
C20	10u	SMD0805	Elektrolytický
C21	1u	SMD0805	Elektrolytický
C22	100n	SMD0805	Keramický
C23	100n	SMD0805	Keramický
C24	150p	SMD0805	Keramický
L1	1,5 závitů		Cívka
D1	BBY40	SOT23	Varikap
CON2		CON10L	Konektor

Tab. F.3: Seznam použitých součástek pro modul USB

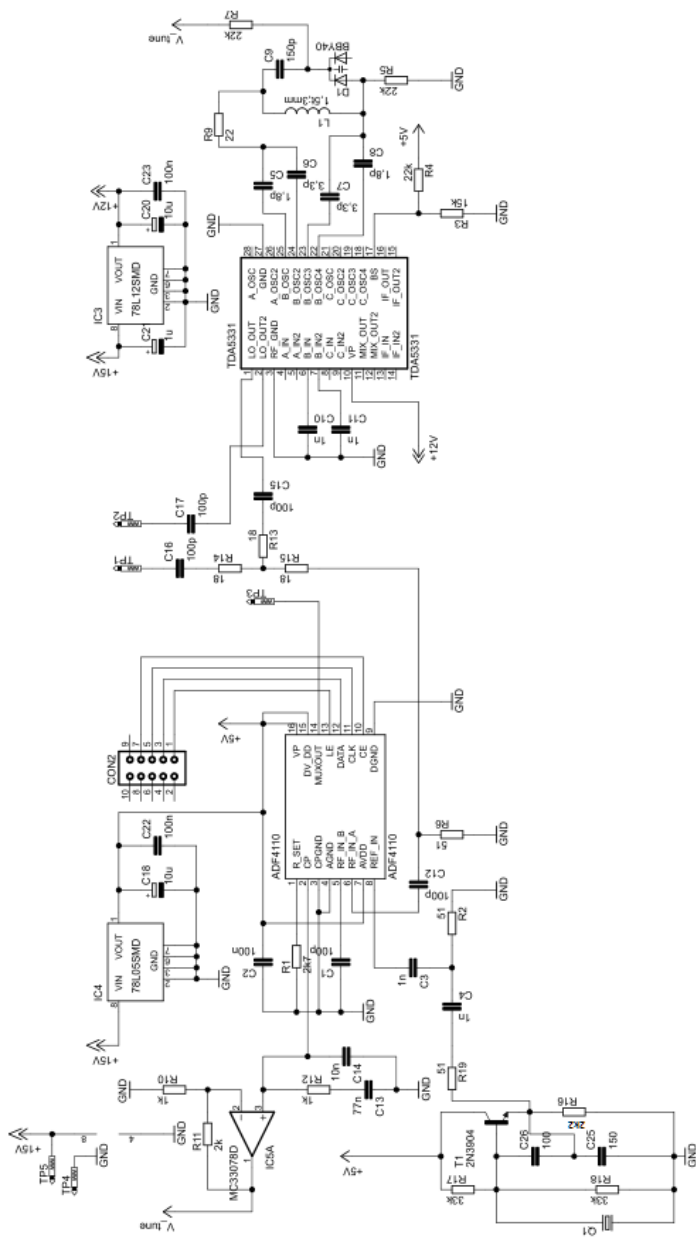
Název součástky	Hodnota	Pouzdro	Popis
IC1	FT232RL	SSOP28	Převodník USB
L1	33uH	0207/10	Cívka
C1	100n	SMD0805	Keramický
C2	100n	SMD0805	Keramický
C3	10u	SMD0805	Elektrolytický
C4	100n	SMD0805	Keramický
X1	USB	PN61729-S	USB konektor
CON1		CON10L	Konektor

G BLOKOVÉ ZAPOJENÍ OBVODU TDA5331T



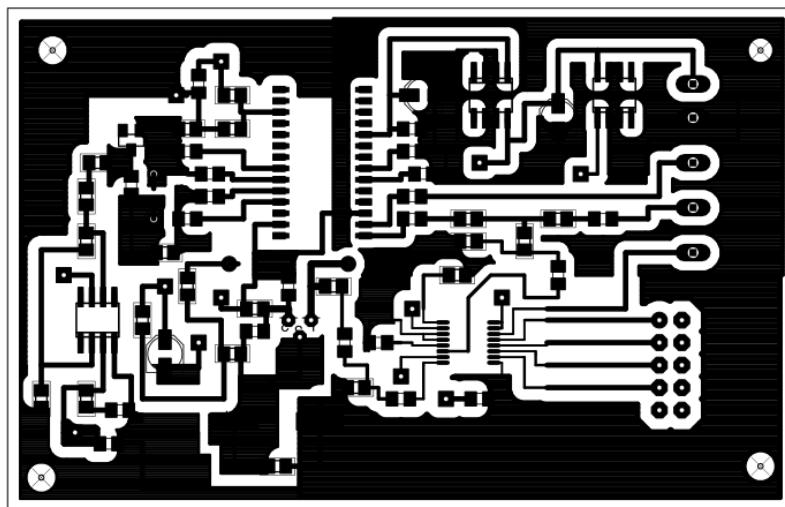
Obr. G.1: Blokové zapojení obvodu TDA5331T.

H SCHEMA ZAPOJENÍ PLL SYNTÉZÁTORU

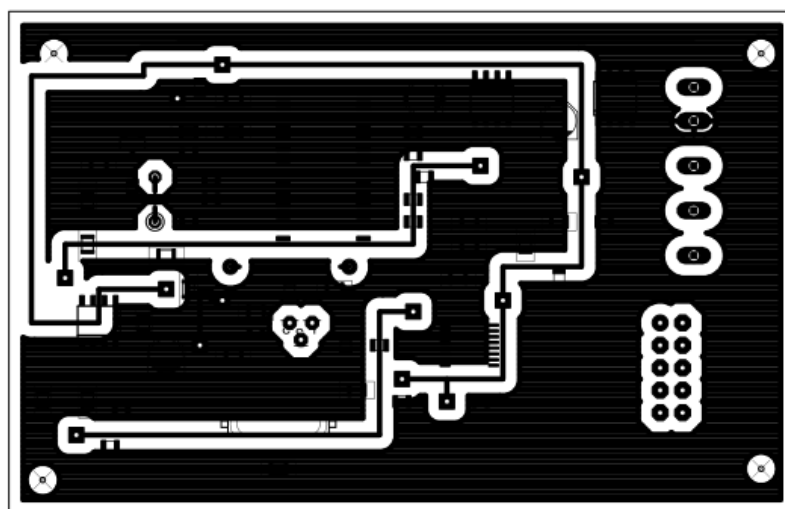


Obr. H.1: Zapojení PLL syntezátoru.

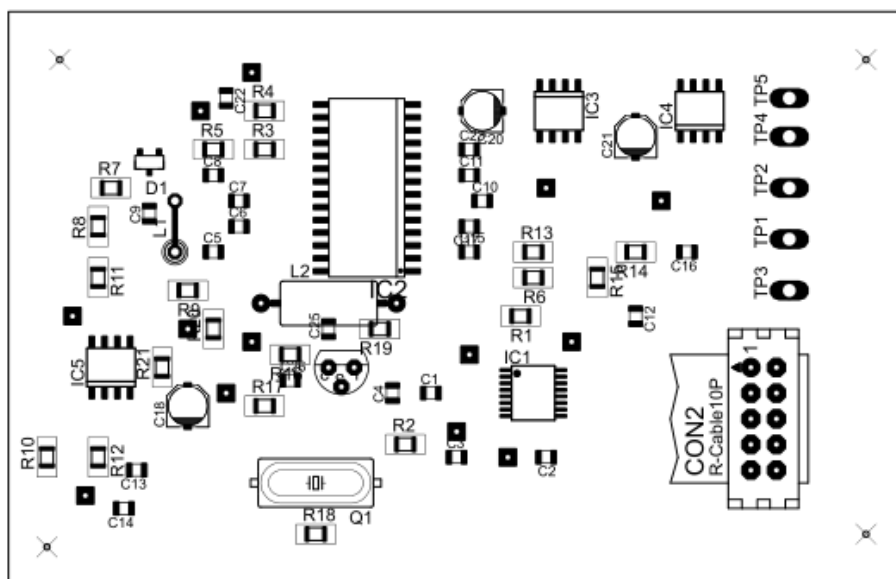
H.1 Desky plošných spojů



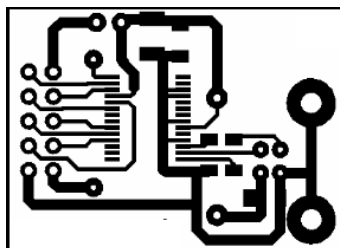
Obr. H.2: Deska plošných spojů PLL syntezátoru ze strany TOP.



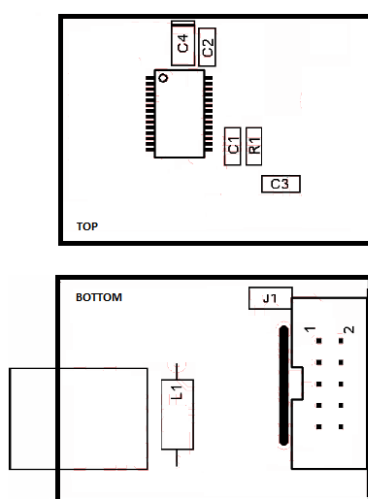
Obr. H.3: Deska plošných spojů PLL syntezátoru ze strany Bottom.



Obr. H.4: Rozmístění součástek na desce plošných spojů PLL syntezátoru.



Obr. H.5: Deska plošných spojů modulu USB [14].



Obr. H.6: Rozmístění součástek na desce plošných spojů USB modulu.

I OBSAH PŘILOŽENÉHO CD

- Počítačem řízený PLL syntezátor.pdf - kompletní práce v elektronické podobě.
- PLL_syntezator_rizeny_PC - adresář s obslužným programem pro řízení PLL syntezátoru.
- dotNetFx40_Full_x86_x64 - instalační soubor technologie .NET 4 pro Win 7. Obsahuje jak 32 bitovou, tak 64 bitovou verzi.
- ADF4110_4111_4112_4113 - datasheet obvodu fázového závěsu v elektronické podobě.
- Podklady pro výrobu DPS PLL syntezátoru.