

Oponentní posudek diplomové práce

Ústav:	Ústav radioelektroniky	Akademický rok: 2013/14
Student(ka):	Bc. Jan Král	
Studijní program:	Elektrotechnika, elektronika, komunikační a řídicí technika (N2643)	
Studijní obor:	Elektronika a sdělovací technika (2612T018)	
Vedoucí diplomové práce:	Ing. David Bělohrad, Ph.D.	
Oponent diplomové práce:	Ing. Jan Kovalský	

Název diplomové práce:

Měření rychlých proudových změn částicového svazku urychlovače LHC

Celkové hodnocení diplomové práce

Předloženou diplomovou práci doporučuji k obhajobě. Celkový počet bodů: 100

Slovní hodnocení:

Hlavním přínosem navrženého řešení diplomové práce je návrh nového FBCCM systému, který nahrazuje a řeší problémy prvotního prototypu při docílení zjednodušené komplexity systému. Diplomová práce v úvodu rozebírá teoretické principy samotného systému a definuje požadavky na jednotlivé části nového systému. Hlavní část diplomové práce se pak věnuje samotnému řešení a popisu výsledného systému.

Při návrhu ať již analogových částí systému či FPGA a CPU firmware byly použity moderní metodologie a postupy. Toto lze například vidět u využití record struktur v definicích typů komunikačních portů na úrovni RTL v jazyce VHDL nebo u navrženého řešení boot procedury.

Až na malé výjimky se v diplomové práci nevyskytují nepřesnosti ani nejasnosti. Ty, které tam jsou, jsou minoritního charakteru bez vlivu na konečnou kvalitu díla. Mezi takové malé nepřesnosti například patří chyba v popisu obrázku 3.9 ze str. 51, kde se neshoduje výsledná hodnota Minimum v simulaci s očekávanou hodnotou popisovanou v textu.

Diplomová práce je po jazykové i odborné stránce stejně tak jako navržené řešení na velmi vysoké úrovni. Diplomant svým řešením a přístupem ukázal schopnost navázat na původní návrh prvního prototypu FBCCM systému a přijít s novým řešením, které odstraňuje problémy původní verze systému a přináší nové funkce a možnosti. Toto inženýrské dílo najde praktické využití v laboratořích CERNu, kam je primárně určeno.

Otázky k obhajobě:

1. Byl nějakým způsobem simulován RTL návrh pro FPGA společně s ARM Cortex-A8 procesorem a navrženým bootloaderem? Jakým způsobem probíhalo odladění správné funkce bootloaderu?
2. Byly při návrhu RTL pro FPGA prováděny simulace společně s modely RF Front-End části např. na úrovni Matlab nebo Spice modelů ADC a filtrů?
3. Jak je generován Enable signál v Moving Average bloku pro výpočet a ukládání data do FIFO paměti? Mohou v systému nastat problémy s přetečením FIFO paměti, pokud ano, jak systém řeší ztrátu dat a nekorektní výpočet průměru?

4. Je nějakým způsobem během boot procesu procesoru ošetřena zpětná kontrola překopírované aplikace do DDR paměti např. zpětným vyčtením a kontrolním CRC součtem?

Ing. Jan Kovalský
Oponent diplomové práce