



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNologiÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF MICROELECTRONICS

ZAŘÍZENÍ PRO ZÁZNAM DAT NA SD KARTU

DEVICE FOR RECORDING DATA ON SD CARD

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

PETR ČALOUN

VEDOUCÍ PRÁCE

SUPERVISOR

ING. MARIÁN PRISTACH

BRNO 2012



**VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky
a komunikačních technologií**

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Petr Čaloun

ID: 119375

Ročník: 3

Akademický rok: 2011/2012

NÁZEV TÉMATU:

Zařízení pro záznam dat na SD kartu

POKYNY PRO VYPRACOVÁNÍ:

S využitím obvodu FPGA navrhnete zařízení pro záznam dat na paměťovou kartu SD, SDHC, SDXC. Přenos dat do zařízení bude prováděn pomocí paralelního rozhraní. Navrhnete rozhraní pro přenos zaznamenaných dat do PC a potřebné programové vybavení. Navrhnete aplikaci demonstrující funkci zařízení, která bude provádět dlouhodobý sběr dat.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2012

Termín odevzdání: 31.5.2012

Vedoucí práce: Ing. Marián Pristach

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Prohlášení

Prohlašuji, že svou bakalářskou práci na téma Zařízení pro záznam dat na SD kartu jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením tohoto projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 30. května 2012

.....
podpis autora

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Mariánu Pristachovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování projektu.

V Brně dne 30. května 2012

podpis autora

Abstrakt

Tato práce se zabývá návrhem zařízení pro záznam dat s využitím programovatelného hradlového pole. V práci je popsán princip komunikačních protokolů použitých pro komunikaci s paměťovou kartou. V další části je popsán výběr jednotlivých rozhraní, komunikačních protokolů a popsán návrh zařízení pro ukládání dat. Poslední část práce je zaměřena na návrh aplikace pro dlouhodobý sběr dat.

Klíčová slova:

FPGA, SD karta, SPI, UART, VHDL

Abstract

This work deals with desing of devices for recording data using programmable gate array. The paper describes the principle of communication protocols used for communication with a memory card. The next part describes the selection of different interfaces, communication protocols and describes the design of data storage devices. The last part is focused on desing of application for long time data collection.

Keywords:

FPGA, SD card, SPI, UART, VHDL

Bibliografická citace díla:

ČALOUN, P. Zařízení pro záznam dat na SD kartu. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 42 (1) s. Vedoucí bakalářské práce Ing. Marián Pristach.

Obsah

ÚVOD	9
1 TEORETICKÝ ÚVOD	10
1.1 JAZYK VHDL	10
1.2 PROGRAMOVATELNÁ HRADLOVÁ POLE FPGA	10
1.3 PAMĚŤOVÉ KARTY SD	11
2 OVLÁDÁNÍ SD KARTY	12
2.1 REŽIM SPI	12
2.2 REŽIM SD	13
2.3 INICIALIZAČNÍ PROCES KARTY	14
2.4 FORMÁT ZASÍLANÝCH PŘÍKAZŮ	15
2.5 ČTENÍ A ZÁPIS DAT	17
2.6 TYPY ODPOVĚDÍ	17
2.6.1 <i>Odpověď typu R1</i>	17
2.6.1 <i>Odpověď typu R2</i>	18
2.6.2 <i>Odpověď typu R3</i>	18
2.6.3 <i>Odpověď typu R7</i>	18
2.6.4 <i>Řetězec odpovědi na zápis dat</i>	19
2.6.5 <i>Řetězce pro zápis a čtení dat</i>	19
2.7 REGISTR CID	20
2.8 REGISTR CSD	21
3 ZAŘÍZENÍ PRO ZÁZNAM DAT	24
3.1 SPARTAN-3 STARTER KIT BOARD	25
3.2 OBVOD FT232H	26
3.3 VNITŘNÍ ZAPOJENÍ	27
3.4 NÁVRH JEDNOTLIVÝCH MODULŮ	28
3.5 SEZNAM PODPOROVANÝCH PŘÍKAZŮ	33
3.6 SIMULACE MODULU SPI	33
3.7 OBVODOVÉ ZAPOJENÍ PŘÍDAVNÉHO MODULU	34
3.8 NÁVRH OVLÁDACÍHO PROGRAMU	35
4 ZÁVĚR	37
5 SEZNAM POUŽITÉ LITERATURY	38
6 SEZNAM SYMBOLŮ A ZKRATEK	39
7 SEZNAM PŘÍLOH	42

Seznam obrázků

Obr. 1: Rozložení pinů na SD kartě [1]	12
Obr. 2: Zapojení sběrnice SPI [4]	13
Obr. 3: Datový formát pro čtyř-bitovou sběrnici [8]	14
Obr. 4: Inicializační proces módu SPI [8]	15
Obr. 5: Blokové zapojení Zařízení pro záznam dat	27
Obr. 6: Vnitřní zapojení bloku "Kontroler"	28
Obr. 7: Diagram řídicího modulu "Main"	29
Obr. 8: Diagram stavového automatu pro rozpoznání příkazů.....	31
Obr. 9: Datový rámec přenášený prostřednictvím RS232 [3]	32
Obr. 10: Zásobník FIFO založený na principu kruhové fronty [3]	32
Obr. 11: Simulace modulu SPI v prostředí ISim	34
Obr. 12: Zapojení slotu pro paměťové karty v režimu SPI [1].....	35

Seznam tabulek

Tab. 1: Přehled parametrů paměťových karet SD, SDHC, SDXC	11
Tab. 2: Význam pinů v režimu SPI a SD	13
Tab. 3: Formát příkazů	16
Tab. 4: Příkazy a jejich význam	16
Tab. 5: Odpověď typu R1	17
Tab. 6: Odpověď typu R2	18
Tab. 7: Odpověď typu R7	18
Tab. 8: Odpověď na zápis dat	19
Tab. 9: Řetězce pro zápis a čtení dat	19
Tab. 10: Řetězec ohlášení chyby čtení	19
Tab. 11: CID registr	20
Tab. 12: Struktura CSD registru	21
Tab. 13: Obsah CSD registru	21
Tab. 14: Struktura registru CSD	21
Tab. 15: Velikost bloku dat	22
Tab. 16: Význam bitů v C_SIZE_MULT	23
Tab. 17: Význam hodnot pole WRITE_BL_LEN	23
Tab. 18: Typ systémových souborů	23

Úvod

Měření, sbírání a vyhodnocování dat je problematika, která zasahuje do mnoha odvětví od průmyslu, lékařství, až po elektrotechniku. V poslední době je využívána možnost ukládání dat na externí paměťové médium. Cílem této práce je navrhnout zařízení pro záznam dat. Úkolem je, jak navrhnout obvodové části, tak navrhnout programu pro zařízení a uživatelské aplikace pro sběr dat. Potřebná data můžou být získávána z AD převodníku či jiného zařízení a pomocí vhodného komunikačního protokolu ukládána na paměťové zařízení typu SD, SDXC či SDHC. Takto uložená data by mělo být možné dále odesílat počítači, pro zpracování navrženou aplikací. Jádrem celého zařízení bude obvod FPGA, který bude obstarávat veškerou komunikaci s ostatními periferiemi.

Ke zprostředkování komunikace mezi hlavním řídicím obvodem a dalšími periferiemi je potřeba zvolit vhodná komunikační rozhraní. Výsledkem bude tedy návrh zařízení, ukládající data přijímaná například z AD převodníku na paměťovou kartu a návrh počítačové aplikace komunikující s tímto zařízením.

1 Teoretický úvod

1.1 Jazyk VHDL

Jazyk pro popis elektronických obvodů VHDL je jazyk vysoké úrovně, navržený pro popis a simulaci rozsáhlých číslicových obvodů a systémů. Jedná se o jazyk určený pro popis elektronických obvodů. Výhodou tohoto jazyka jsou jeho bohaté vyjadřovací schopnosti a značná nezávislost číslicového systému, popsaného jazykem VHDL na cílové technologii jeho realizace nebo výroby.

Popis číslicového systému v jazyce VHDL je činnost značně odlišná od programování v klasických programovacích jazycích typu C nebo Pascal. Při popisu číslicového systému jazykem VHDL, popisujeme číslicový systém, který bude nakonec většinou realizován v elektronickém obvodu. Vytvořený kód bude muset nakonec projít syntézou, jejímž výsledkem je zapojení z hradel a klopných obvodů, určené pro programovatelný logický obvod nebo jiný typ zákaznického obvodu. Vytvářené konstrukce v jazyce VHDL musí být syntetizovatelné s výjimkou testovacího programu nebo modelů určených pouze pro simulaci. Testovací program *Testbench*, je program v jazyce VHDL, jímž se generují vstupní signály pro navrhovaný číslicový systém, a pomocí něhož se kontroluje správnost funkce systému. Kód *Testbench* není třeba syntetizovat, neboť se používá pouze pro simulaci na simulátoru jazyka VHDL. Značná část příkazů a vyjadřovacích prostředků, které jazyk VHDL nabízí, nelze syntetizovat do fyzického obvodu. V kódu, který je třeba syntetizovat, nelze tedy používat všechny příkazy [6].

1.2 Programovatelná hradlová pole FPGA

Programovatelná hradlová pole FPGA patří mezi jedny z nejvýznamnější vývojové směry integrovaných obvodů s vysokou zástavbovou hustotou. Obvody založené na architektuře FPGA patří do skupiny elektricky reprogramovatelných PLD obvodů EEPLD a prakticky všechny jsou programovatelné přímo v cílovém systému ISP. FPGA obvody jsou založeny na generátorech logických funkcí s pamětmi (tzv. LUT tabulky), klopných obvodech a propojovacích vodičích probíhajícími v kanálech mezi logickými bloky. Jeden obvod FPGA může obsahovat až několik stovek tisíc takovýchto LUT tabulek a klopných obvodů [6].

1.3 Paměťové karty SD

Karta Secure Digital (SD), vyrobena firmou Matsushita, Sandisk a Toshiba, je v podstatě vylepšená MMC karta. Vyznačuje se vyšší přenosovou rychlostí, podporou ochrany digitálních nahrávek a podobně jako u MS karet disponuje ochranou proti přepsání. Postupem času byly vyvinuty další typy s menšími rozměry a větší kapacitou. Poslední v řadě je typ SDIO, který je rozšířený o podporu různých přípojných zařízení.

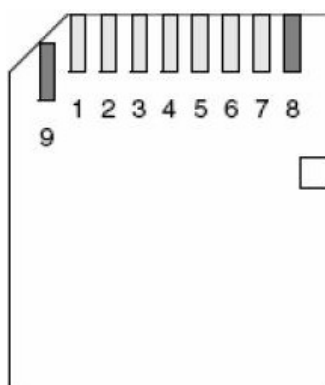
Po kartě SD následoval typ Secure Digital High Capacity (SDHC). U tohoto typu je již kapacita větší než 2 GB, ale není zpětně kompatibilní se staršími čtečkami SD karet, které nemají příslušný ovladač. U těchto karet se již zavádí označení minimální rychlosti podle tříd. Jejich velikost může dosahovat až 32 GB. Tato karta se podobně, jako u jiných typů, vyrábí v několika velikostních provedeních [1].

Další kartou založenou na předchůdci SD, je karta Secure Digital eXtended Capacity (SDXC). Tato karta dosahuje ještě větší kapacity, teoreticky až 2 TB. První kartu vyrobila firma *Pretec* v roce 2009. Tato karta využívá nového systému souborů exFAT, který umožňuje adresovat paměť o kapacitě větší než 32GB. Zatím největší kapacitu tohoto typu karet vyrábí firma Toshiba s pamětí o velikosti 64 GB. V následující tabulce jsou porovnány karty založené na standartu SD viz. Tab. 1. [8].

Tab. 1: Přehled parametrů paměťových karet SD, SDHC, SDXC

		SD	SDHC	SDXC
Kapacita		Do 2 GB	Více než 2 GB Do 32 GB	Více než 32 GB Do 2 TB
Souborový systém		FAT 12, 16	FAT 32	exFAT
Rozměry karet	Full	32 x 24 x 2.1 mm, Přibližně 2g		
	MiniSD	20 x 21.5 x 1.4 mm, Přibližně 1g		
	microSD	20 x 21.5 x 1.4 mm, Přibližně 1g		
Přenosová rychlost		Normal speed (NS) High speed (HS)	NS, HS UHS-I	NS, HS UHS-I
Speed Classes	NS, HS mód	Speed Class (0)	Speed Class (M)	Speed Class (M)
	UHS-I mód		Speed Class (0) UHS Speed Class (0)	Speed Class (0) UHS Speed Class (0)

Zařízení pro záznam dat bude podporovat tři typy paměťových karet, a to, SD, SDHC a SDXC. Tyto karty vycházejí z licencovaného standardu SD, který vyvinula SD Card Asociacion. SD Card Asociacion také vydává technické normy pro tuto technologii. Na SD standard se vztahuje řada patentů a ochranných známek. Licenční poplatky se vztahují na výrobu, prodej a řadiče paměťových karet. Pro tyto karty bude vyhrazen slot, který je kompatibilní se všemi třemi typy karet. Jednotlivé karty se od sebe navzájem liší, v první řadě kapacitou paměti, dále přenosovou rychlostí, nebo také podporou různých souborových systémů. Na následujícím obrázku Obr. 1. je zobrazena SD karta s jednotlivými piny, jejichž význam se liší v závislosti na použitém komunikačním protokolu [1].



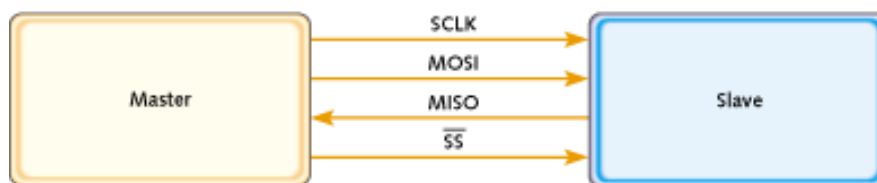
Obr. 1: Rozložení pinů na SD kartě [1]

2 Ovládání SD karty

Karty založené na standardu SD podporují dva základní komunikační režimy, je to režim SPI a jednobitový SD režim. U některých karet, které spadají do rychlostní třídy UHS-I a UHS-II je dostupný i čtyř-bitový SD režim. V další části se zaměřím pouze na režimy SPI a SD, které mají širší podporu [8].

2.1 Režim SPI

Sériové periferní rozhraní SPI, je rozhraní, které se využívá v mnoha zařízeních, jako jsou mikrokontroléry a mnohé další periferní obvody. Samotný standard SPI popisuje fyzické rozhraní, datový protokol se může od různých zařízení lišit. Komunikace zde probíhá synchronně v plném duplexním spojení. V SPI rozhraní jsou použity celkem čtyři vodiče. Hostitelské zařízení typu master nastavením portu SS na log 0 aktivuje zařízení typu slave a přivedením hodinového signálu na vývodu SCLK se spustí komunikace mezi vývody MOSI a MISO. Na následujícím obrázku Obr. je zobrazeno zapojení SPI sběrnice [4].



Obr. 2: Zapojení sběrnice SPI [4]

V následující tabulce Tab. 2. je popsán význam pinů SD karty, zapojené v režimu SPI. Číslování portů odpovídá rozložení pinů na Obr. 1.

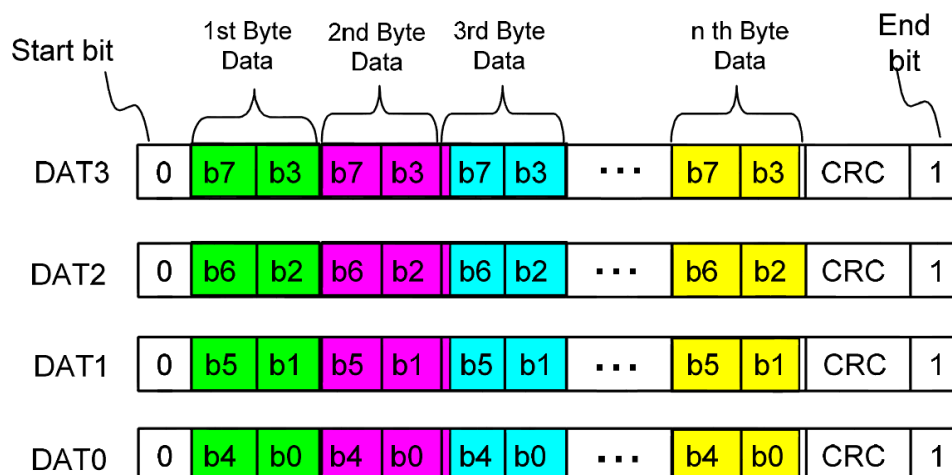
Tab. 2: Význam pinů v režimu SPI a SD

Pin	SD Mód		SPI Mód	
	Název	Popis	Název	Popis
1			SS	Aktivace karty
2	CMD	Příkaz / Odpověď	DI	Vstupní data (MISO)
3	VSS1	Uzemnění	VSS1	Uzemnění
4	VDD	Napájecí napětí	VDD	Napájecí napětí
5	CLK	Hodinový signál	CLK	Hodinový signál (SCLK)
6	VSS2	Uzemnění	VSS2	Uzemnění
7	DAT0	Datový vodič [Bit 0]	DO	Výstupní data (MOSI)
8		rezervováno		rezervováno
9		rezervováno		rezervováno

2.2 Režim SD

Komunikace prostřednictvím SD protokolu probíhá pomocí příkazových a datových řetězců, které jsou předcházené start bitem a zakončené stop bitem. V případě jednobitového režimu SD, probíhá veškerá komunikace sériově. Odeslaný příkaz se posílá pomocí portu CMD z hostitelského zařízení. Po odeslání příkazu přichází odpověď od zařízení "slave" v podobě řetězců formátu RX, případně chybovým hlášením. Význam jednotlivých pinů na kartě v režimu SD je popsán v tabulce Tab. 2.

Režim SD podporuje také čtyř-bitové paralelní rozhraní, které je výhodné díky větší rychlosti přenosu. V tomto zapojení se nejprve odesílají čtyři nejméně významné spodní bity, které jsou následovány čtyřmi nejvýznamnějšími horními bity. Pro každý datový vodič je obsahem příkazu také start bit, stop bit a kontrolní součet CRC. Na obrázku Obr. 3 je zobrazena struktura dat posílaných po čtyř-bitové datové sběrnici.



Obr. 3: Datový formát pro čtyř-bitovou sběrnici [8]

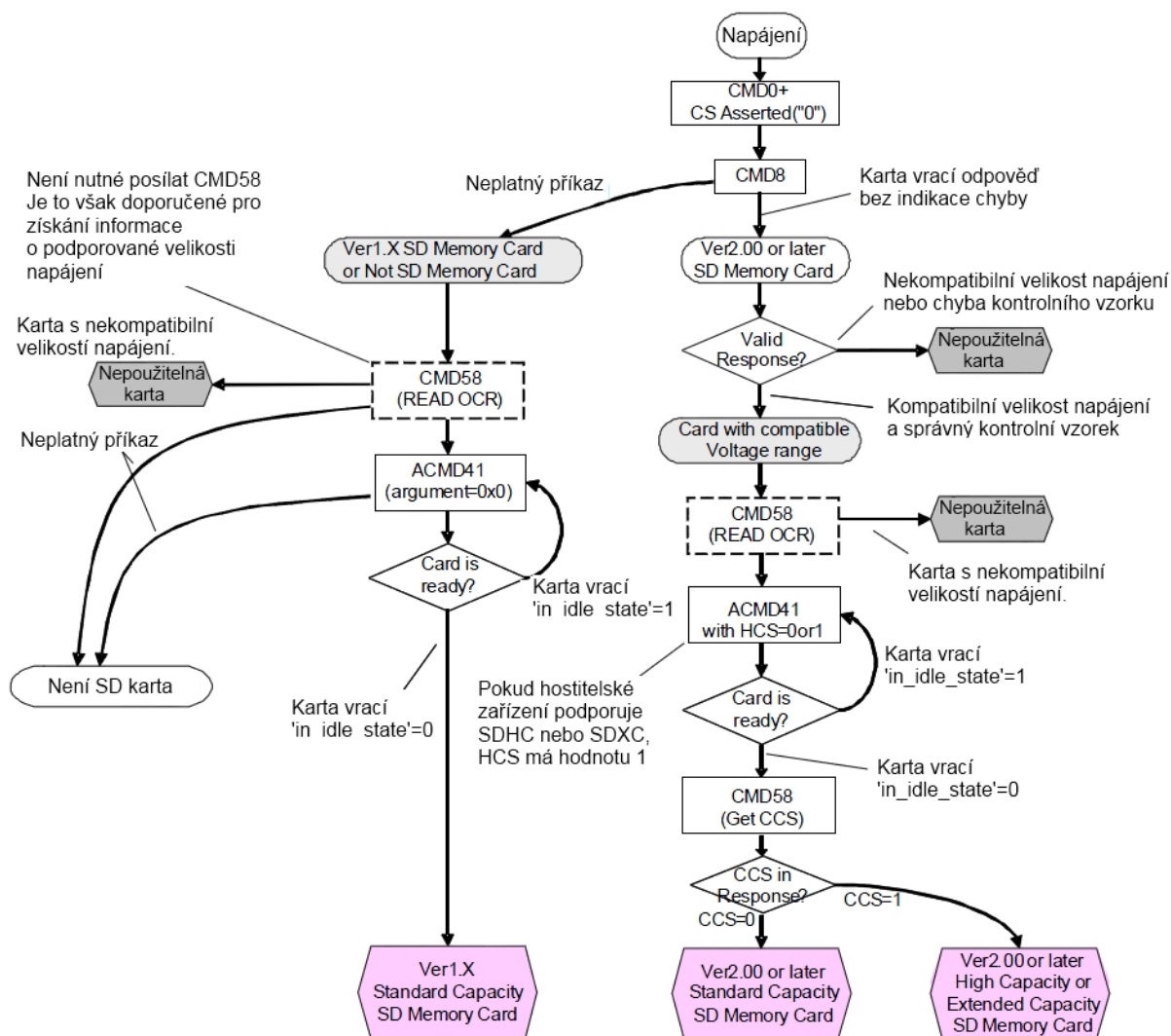
2.3 Inicializační proces karty

Paměťová karta se po přivedení napájecího napětí implicitně nachází v SD módu. V případě, že chceme přejít do SPI módu, je potřeba na port SS přivést neaktivní úroveň a poté zaslat resetovací příkaz CMD0. Po odeslání tohoto příkazu se již dostáváme do SPI módu. Pro opětovné uvedení karty do SD módu, je potřeba provést tzv. napájecí cyklus ("tvrdý reset"), kdy se napájení karty odpojí a po 1 ms znovu připojí. Formát odesílaných příkazů je popsán v kapitole 2.4. Po resetovacím příkazu následuje příkaz CMD8, pomocí kterého zjišťujeme podporu napájecího napětí. Starší verze SD karty tento příkaz nepodporuje, proto můžeme v tomto případě obdržet odpověď, že je daný příkaz chybný. Dále to může znamenat, že vložená karta není typu SD. Pokud dostaneme správnou odpověď, znamená to, že vložená karta je verze číslo 2 či pozdější. V řetězci, kterým karta odpovídá, sledujeme bit VCA. Pokud je tento bit nastaven na nulu, znamená to, že karta podporuje dané napájecí napětí.

Po získání správné odpovědi můžeme zaslat příkaz CMD58, abychom získali OCR, tento příkaz však není povinný. Další příkaz je ACMD41, ten se opakuje do té doby, dokud nedostaneme odpověď 0x00.

Dále je nutné odeslat CMD58, pro získání CCS bitu. Tento bit nám říká, jestli vložená karta je typu High Capacity, či Standard Capacity.

Jakmile získáme odpověď, je dokončena inicializace SD karty. Nyní můžeme nastavit frekvenci na maximum. Po inicializaci se většinou posílá příkaz CMD16, který nastaví délku datového bloku, se kterým budeme číst a zapisovat data [8]. Následující obrázek Obr. 4 zobrazuje kompletní inicializační proces karty v SPI módu.



Obr. 4: Inicializační proces módu SPI [8]

2.4 Formát zasílaných příkazů

SD standard definuje dva typy příkazů. Prvním je příkaz označovaný CMD a druhý speciální příkaz označovaný ACMD. Jednotlivé příkazy jsou označovány dvouciferným číslem následovaným za názvem, např. CMD17. Každý zasílaný příkaz má délku 6 bajtů. Následující tabulka zobrazuje význam jednotlivých bitů v příkazu, viz. Tab. 3.

Tab. 3: Formát příkazů

Pozice bitu	47	46	[45:40]	[39:8]	[7:1]	0
Šířka (bitů)	1	1	6	32	7	1
Hodnota	0	1	X	X	X	1
Popis	start bit	stálý bit	číslo příkazu	argument	CRC7	stop bit

Každý příkaz začíná start bitem, poté následuje stálý bit. Další bity, kromě stop bitu, jsou různé a skládají se z čísla příkazu, argumentu a kontrolního součtu CRC. Kontrolní součet není v SPI módu aktivovaný. Pro příkaz CMD0 je však stále povinný a má stálou hodnotu 0x4A. Některé příkazy jsou podporovány jen v SD módu. V následující části uvádím dva příklady posílaných příkazů, kde není aktivován kontrolní součet CRC.

- Příklad zaslání příkazu pro vyčtení sektoru:

CMD17 (argument=3D000h) --> **01** 010001 00000000000000011110100000000000
1001010 **1**

Pro zaslání jakéhokoli příkazu ACMD se musí nejprve odeslat příkaz CMD55.

- Příklad zaslání příkazu ACMD41:

CMD55 (argument=0h) --> 01 110111 00000000000000000000000000000000 1001010 1
ACMD41(argument=FF0000h) --> **01** 110111 00001111111100000000000000000000
1001010 **1**

V následující tabulce Tab. 4. je přehled často používaných příkazů.

Tab. 4: Příkazy a jejich význam

Příkaz	Argument	Typ	Zkratka	Popis
CMD0	-	R1	GO_IDLE_STATE	Resetuje kartu a nastane klidový stav
CMD8	[31:12] Vyhrazené bity [11:8] Napájecí napětí (VHS)	R7	SEND_IF_COND	Pošle stav rozhraní SD karty
CMD16	[31:0] Délka bloku	R1	SET_BLOCKLEN	Nastaví velikost bloku dat
CMD17	[31:0] Adresa dat	R1	READ_SINGLE_BLOCK	Přečte blok o velikosti nastavené podle CMD16
CMD24	[31:0] Adresa dat	R1	WRITE_BLOCK	Zapíše blok o velikosti nastavené podle CMD16
CMD55	-	R1	APP_CMD	Další příkaz bude ACMDxx
CMD58	-	R3	READ_OCR	Přečte registr OCR
ACMD41	-	R1	SD_SEND_OP_COND	Aktivuje inicializační proces karty

2.5 Čtení a zápis dat

V SPI módu je podporováno čtení dat po jednotlivých blocích, nebo po více blocích najednou (příkazy CMD17, CMD 18 u SD protokolu). V příkazu se nastaví požadovaná adresa, která musí začínat na začátku bloku. Po odeslání příkazu karta odpoví řetězcem R1, za kterým následují požadovaná data. V případě nastavení špatné adresy, odpoví karta chybovým hlášením. Velikost jednotlivých bloků se nastavuje pomocí příkazu CMD16. Klasická velikost bloku bývá 512 B, může se však číst i po jednotlivých bajtech s výjimkou karet SDHC a SDXC, kde je velikost bloků nemůže být menší než 512 B.

Podobně jako čtení dat, je i zápis prováděn po jednotlivých blocích, nebo po více blocích najednou. K zápisu dat jsou určeny příkazy CMD24 a CMD25. Po odeslání příkazu získáme odpověď R1. V případě bezchybné odpovědi můžeme zaslat data k zapsání. Karta data přijme a informuje pomocí odpovědního řetězce o průběhu přijmutí dat. Pokud neohlásí chybové hlášení, zapíše data na SD kartu. Mezi tím odesílá informaci o zaneprázdněnosti. Příkazem CMD13 se zkontroluje zápis dat [8].

2.6 Typy odpovědí

Zasílaných odpovědí je několik typů, v závislosti na odesílaných příkazech. V SPI módu, je stejně jako v SD módu, zasílán nejprve nejvýznamnější bit MSB.

2.6.1 Odpověď typu R1

Tento řetězec je odeslán na každý typ příkazů, s výjimkou příkazu ACMD13. Jeho jednotlivé bity upozorňují hostitelské zařízení na určitý typ chyby. V tabulce Tab. 5. je popsán význam jednotlivých bitů.

Tab. 5: Odpověď typu R1

Bit	Význam	Definice
7	Start bit	Nastaven vždy na 0
6	Chyba parametru	Argument příkazu byl mimo povolený rozsah (např. adresa, délka bloku)
5	Chyba adresy	Adresa neodpovídá délce bloku
4	Chyba mazací sekvence	Nastala chyba při sekvenci příkazů pro mazání
3	Chyba CRC během komunikace	Špatný součet CRC posledního příkazu
2	Chybný příkaz	Byl přijat neplatný příkaz
1	Reset mazání	Smazání dat nebylo dokončeno
0	Idle stav	Karta je v idle stavu a provádí se inicializace

2.6.1 Odpověď typu R2

Odpověď typu R2 má dva bajty a je odpovědí na příkaz CMD13. První bajt, je stejný jako řetězec odpovědi R1, za ním následuje bajt, který je popsán v následující tabulce Tab. 6.

Tab. 6: Odpověď typu R2

Bit	Chyba	Definice
7	Mimo rozsah	Parametr byl mimo rozsah, nebo se host pokoušel změnit CSD
6	Chyba parametru mazání	Chybný výběr sektoru nebo skupiny pro mazání
5	Porušení ochrany zápisu	Příkaz se pokoušel zapisovat do chráněného bloku
4	ECC karty selhalo	použito ECC, ale data se nepodařilo opravit
3	Chyba karty	Chyba vnitřního řadiče karty
2	Neznámá chyba	Během operace se vyskytla neznámá chyba
1	Ochrana zápisu	Pokus o zapisování do chráněného bloku proti zapsání, chybně zadané heslo
0	Karta je zamčena	Bit indikující uzamčenou kartu

2.6.2 Odpověď typu R3

Řetězec odpovědi R3 je odeslán na příkaz CMD58. Začíná prvním bajtem, který obsahuje řetězec odpovědi R1 a poté následují 4 bajty obsahující registr OCR.

2.6.3 Odpověď typu R7

Odpověď typu R7 je odpověď na příkaz CMD8. Začíná řetězcem odpovědi R1, další bity jsou popsány v tabulce Tab. 7. Odpověď typu R5 a R6 jsou vyhrazeny pro SDIO karty.

Tab. 7: Odpověď typu R7

Bit	Definice		
31-28	Verze příkazu		
27-12	Rezervované bity		
11-8	Akceptované napájení	0000b	Nedefinováno
		0001b	2,7 V - 3,6 V
		0010b	Vyhrazeno pro nízkonapěťové napájení
		0100b	Rezervováno
		1000b	Rezervováno
		Others	Nedefinováno
7-0	Zpětná odezva Pattern		

2.6.4 Řetězec odpovědi na zápis dat

Každý datový blok zapsaný na kartu může hostitelské zařízení kontrolovat pomocí řetězce, který je odpovědí na zapisovaná data. Řetězec je dlouhý jeden bajt a má následující strukturu viz Tab. 8.

Tab. 8: Odpověď na zápis dat

Bit	Definice
7-5	Nevyžito hodnota XXX
4	Stálý bit s hodnotou 0
3-1	010 - Data přijata a zapsána korektně
	101 - Data byla odmítnuta kvůli chybě CRC
	110 - Data byla odmítnuta kvůli chybě zápisu
0	Stálý bit s hodnotou 1

2.6.5 Řetězce pro zápis a čtení dat

Příkazy čtení a zápisu jsou spojeny s těmito řetězci, pomocí nich data přijímáme či vysíláme. Mají následující formát viz. Tab. 9.

Tab. 9: Řetězce pro zápis a čtení dat

Bajt	Definice
1	Začátek bloku s hodnotou 0xFE
2-513	Uživatelská data
514-515	CRC součet

Pro zápis více bloků najednou, má začátek každého bloku při zápisu dat hodnotu 0xFC. Ukončení zápisu se provádí odesláním bajtu, který má hodnotu 0xFD.

3.4.7 Řetězec ohlášení chyby čtení

Selže-li čtení dat z paměti a karta není schopna je vyčíst, pošle řetězec ohlašující chybu čtení dat. Tato odpověď má 1 bajt a je popsána v tabulce Tab. 10.

Tab. 10: Řetězec ohlášení chyby čtení

Bit	Definice
7-4	Nulové hodnoty
3	Parametr byl mimo rozsah, nebo se host pokoušel změnit ROM
2	Byl použit kód opravy chyb, který selhal
1	Chyba vnitřního kontroléru karty
0	Během operace se vyskytla neznámá chyba

2.7 Registr CID

Registr obsahující identifikační číslo karty (CID) má celkem 128 bitů. Obsahuje informace o kartě, které jsou použity při identifikačním procesu. Každá karta má své jedinečné identifikační číslo. V následující tabulce Tab. 11. je popsána struktura CID registru [8].

Tab. 11: CID registr

Jméno	Pole	Velikost	CID pozice
Výrobní ID	MID	8	127 - 120
OEM/Aplikační ID	OID	16	119 - 104
Produktový název	PNM	40	103 - 64
Produktová změna	PRV	8	63 - 56
Produktové sériové číslo	PSN	32	55 - 24
Rezervováno		4	23 - 20
Datum výroby	MDT	12	19 - 8
kontrolní součet CRC7	CRC	7	7 - 1
Nevyužito stále log. 1	-	1	0 - 0

- MID - Osmi bitové číslo identifikující výrobce karty. Unikátní MID číslo je kontrolováno, definováno a určeno výrobcí SD karty licencí SD-3C, LLC. Tento proces je nastaven k zajištění unikátního CID registru.
- OID - 2 znaky z ACI kódu, definující OEM nebo obsah karty (je-li používána jako distribuční médium ROM nebo FLASH). Číslo OID je kontrolováno, definováno a určeno výrobcí SD karty licencí SD-3C, LLC.
- PNM - Produktový název karty, obsahující 5 znaků ASCII kódu.
- PRV - Verze výrobku je obsažena ve dvou BCD číslech, po čtyřech bytech. Jsou reprezentovány jako "n.m" přičemž "n" je více významná část a "m" je méně významná část. Příklad: PRV pro verzi výrobku "3.6." odpovídá binárně číslu 00110110b.
- PSN - Sériové číslo dlouhé 32 bitů.
- MDT - Datum výroby, které je tvořené dvěma hexadecimálními číslicemi. Jedno číslo představuje osmi bitovou reprezentaci roku "y", a druhé je čtyř bitová reprezentace měsíce "m".
- Pole "m" v rozmezí bitů [11:8] je kód měsíce. Například hodnota 1 značí měsíc leden.
- Pole "y" v rozmezí bitů [19:12] je kód roku. Hodnota nula značí rok 2000.
- CRC - Kontrolní součet CRC7. Představuje kontrolní součet pro obsah registru CID.

2.8 Registr CSD

Tento registr obsahuje informace týkající se přístupu na paměťovou kartu. CSD registr definuje datový formát, typ opravy chyb, maximální přístupovou dobu k datům, zda může být použit DSR registr atd. Programovatelná část registru může být nastavena pomocí příkazu CMD27. V tabulce Tab. 12. je popsána struktura registru CSD. Význam zkratk v tabulce: R - pouze pro čtení, W - přepisovatelný, W(1) - možný jen jeden zápis. Struktura registru se může lišit v závislosti na verzi a kapacitě karty. Pole CSD_STRUCTURE v CSD registru zobrazuje verzi jeho struktury. Tabulka Tab. 13. ukazuje číslo verze příslušné struktury CSD [8].

Tab. 12: Struktura CSD registru

CSD_STRUCTURE	Verze CSD_STRUCTURE	Kapacita karty
0	CSD verze 1	Verze 1.01 až 1.10 Verze 2/standardní kapacita
1	CSD verze 2	Verze 2/vysoká kapacita
2-3	rezervováno	

Tab. 13: Obsah CSD registru

Jméno	Pole	Délka [b]	Typ	CSD pozice
CSD structure	CSD_STRUCTURE	2	R	[127-126]
Max. délka bloku dat při čtení	READ_BLK_LEN	4	R	[83-80]
Dílčí bloky pro čtení povoleny	READ_BLK_PARTIAL	1	R	[79-79]
Nesoulad zápisu bloku	WRITE_BLK_MISALING	1	R	[78]
Nesoulad čtení bloku	READ_BLK_MISALING	1	R	[77]
Velikost zařízení	C_SIZE	12	R	[73-62]
Násobek velikosti zařízení	C_SIZE_MULT	3	R	[49-47]
Max. délka zapisovaného bloku dat	WRITE_BLK_LEN	4	R	[25-22]
Dílčí bloky pro zápis povoleny	WRITE_BLK_PARTIAL	1	R	[21]
Formát skupiny souborů	FILE_FORMAT_GRP	1	R/W	[15]
Formát souboru	FILE_FORMAT	2	R/W	[11-10]

- CSD_STRUCTURE - Pole struktur registru CSD se liší v závislosti na fyzické vrstvě specifické verze a na velikosti karty. Pole CSD_STRUCTURE v CSD registru označuje jeho verzi. V následující tabulce je zobrazeno číslo verze odpovídající CSD struktuře.

Tab. 14: Struktura registru CSD

CSD_STRUCTURE	Verze CSD struktury	Kapacita karty
0	CSD verze 1.0	Standard Capacity
1	CSD verze 2.0	High Capacity a Extended Capacity
2-3	rezervováno	

- **READ_BL_LEN** - Maximální délka bloku dat při čtení je vypočítána jako $2^{\text{READ_BL_LEN}}$. Maximální velikost bloku dat může být v rozmezí 512 - 2048 B. Velikost **READ_BL_LEN** je standardně rovna velikosti **WRITE_BL_LEN**. V následující tabulce Tab. 15. je uveden přesný význam bitů.

Tab. 15: Velikost bloku dat

Bit	Velikost bloku
0 - 8	Rezervováno
9	512 B
10	1024 B
11	2048 B
12 - 15	Rezervováno

- **WRITE_BLK_MISALIGN** - Určuje, zda může být zapisovaný blok dat, definovaný jedním příkazem, rozdělen na více bloků v paměti SD karty. Velikost bloku je definována v registru **WRITE_BL_LEN**. Pokud je **WRITE_BLK_MISALIGN** nastaven na hodnotu 0, není povoleno rozdělit zapisovaná data. Při **WRITE_BLK_MISALIGN** nastaveném na hodnotu 1, je povoleno zapisování na více fyzických bloků.
- **READ_BLK_MISALIGN** - Má stejný význam jako registr **WRITE_BLK_MISALIGN** s rozdílem pro čtení dat.
- **READ_BL_PARTIAL** - Částečné čtení bloku je u SD karty vždy povoleno. Mohou tak být čteny data menší délky, než je velikost bloku. Nejmenší velikost bloku je jeden bajt.
- **C_SIZE** - Tento parametr je využíván k výpočtu kapacity SD karty. Kapacita je určena pomocí registrů **C_SIZE**, **C_SIZE_MULT** a **READ_BL_LEN**.
- kapacita paměti: $\text{BLOCKNR} * \text{BLOCK_LEN}$, $\text{BLOCKNR} = (\text{C_SIZE} + 1) * \text{MULT}$
 $\text{MULT} = 2^{\text{C_SIZE_MULT} + 2}$, $\text{BLOCK_LEN} = 2^{\text{READ_BLCK_LEN}}$, k indikaci karty o velikosti 2 GB musí být **BLOCK_LEN** nastaven na 1024 bajtů. Maximální kapacita se spočítá následovně: $4096 * 512 * 1024 = 2 \text{ GB}$.
- **C_SIZE_MULT** - Tento parametr určuje činitel **MULT** pro počítání celkové velikosti SD karty. Je definován jako $\text{MULT} = 2^{\text{C_SIZE_MULT} + 2}$. Význam jednotlivých bitů je znázorněn v tabulce Tab. 16.

Tab. 16: Význam bitů v C_SIZE_MULT

C_SIZE_MULT	MULT
0	4
1	8
2	16
3	32
4	64
5	128
6	256
7	512

- WRITE_BL_LEN - Určuje maximální délku bloku dat při zápisu podle vzorce $2^{\text{WRITE_BL_LEN}}$. Maximální velikost bloku dat je v rozmezí 512 - 2048 B. Velikost 512 B je podporována vždy. Parametr WRITE_BL_LEN je vždy roven READ_BL_LEN. Význam hodnot je znázorněn v tabulce Tab. 17.

Tab. 17: Význam hodnot pole WRITE_BL_LEN

WRITE_BL_LEN	Délka bloku
0 - 8	Rezervováno
9	512 B
10	1024 B
11	2048 B
12 - 15	Rezervováno

- FILE_FORMAT_GRP - Indikuje zvolenou skupinu formátu souborů. Použití pole je zobrazeno v tabulce Tab. 17.
- FILE_FORMAT - Slouží k identifikaci systému souborů na SD kartě. Význam hodnot je popsán v tabulce Tab. 18.

Tab. 18: Typ systémových souborů

FILE_FORMAT_GRP	FILE_FORMAT	Typ
0	0	Systém souborů, jako pevný disk s tabulkou oddílů
0	1	DOS FAT, pouze s bootovacím sektorem (bez tabulky oddílů)
0	2	Univerzální formát souborů
1	0,1,2,3	Rezervováno

3 Zařízení pro záznam dat

Pro zajištění možnosti ukládání dat a pro možnost jejich dalšího zpracování, musí být zařízení schopno komunikovat s několika dalšími periferiemi pomocí vhodných komunikačních protokolů. Zpracovávaná data budou přijímána například z AD převodníku či jiného zařízení. Jako datové úložiště bude sloužit paměťová karta typu Flash. Pro další zpracování dat, bude sloužit vytvořená aplikace na osobním počítači. Jádrem celého zařízení bude obvod FPGA, který bude řídit veškerou komunikaci mezi zmiňovanými periferiemi.

Jako hlavní řídicí obvod celého zapojení byl vybrán obvod FPGA XC3S200 z rodiny Spartan3. O polích FPGA se více zmiňuji v kapitole 1.2. Pro zajištění funkce samotného obvodu a jeho propojení s dalšími komponentami, je potřeba podpůrných obvodových prvků, které nabízí testovací kit od firmy Xilinx s názvem Spartan-3 Starter Kit board. Tato deska disponuje 50 MHz oscilátorem, dále portem pro sériovou komunikaci RS232, čtyřmi tlačítky a několika rozšiřujícími porty. Podrobný výpis parametrů desky je popsán v kapitole 3.1.

Zmiňovaný kit však neobsahuje port pro paměťové karty, proto je potřeba navrhnout zařízení, které bude tímto portem disponovat. Na toto přídatné zařízení se také může umístit obvod FT232H, který slouží pro převod rozhraní UART na rozhraní USB.

Hlavní FPGA obvod může komunikovat s paměťovou kartou pomocí protokolu SPI či SD. V případě využití protokolu SPI, je komunikace u tohoto rozhraní prováděna sériově, pomocí dvou datových vodičů MOSI a MISO. Začátek přenosu je indikován nastavením log 0 pomocí portu SS a přivedením řídicího hodinového signálu na port SCLK. Poté již probíhá odeslání dat ze zařízení "master", prostřednictvím portu MOSI a ze zařízení "slave" prostřednictvím portu MISO. Délka odesílaných dat může být 8 či 16 bitů, v závislosti na volbě návrhu modulu SPI. Nastavením log 1 na portu SS je komunikace ukončena. Podrobněji je rozhraní SPI popsáno v kapitole 2.1.

Pro komunikaci mezi zařízením a osobním počítačem bude použito rozhraní UART, které bude pomocí obvodu FT232H převedeno na rozhraní USB. Detailnější popis tohoto propojení je popsán v kapitole 3.7. U rozhraní UART bude probíhat komunikace asynchronně, na rozdíl od rozhraní SPI. Odesílaná data jsou předcházena start bitem a zakončena stop bitem, jejichž doba trvání je pevně stanovena. Odesílání dat prostřednictvím rozhraní RS232 je podrobněji popsáno v kapitole 3.4.

3.1 Spartan-3 Starter Kit board

Tento kit je primárně určený pro počáteční seznámení s hradlovým polem řady Spartan 3. Je zde použito hradlové pole XC3S200, které má níže uvedené parametry [5].

- 200 000 ekvivalentních hradel
- Dvanáct blokových pamětí RAM 18 kb
- Dvanáct násobiček 18 x 18
- 173 uživatelsky definovaných vstupně / výstupních signálů

Vybavení kitu:

- konfigurační paměť 2 Mb
- 1 MB rychlá asynchronní paměť RAM
- Generátor hodin 50 MHz
- Sokl pro uživatelský hodinový generátor
- Port pro VGA displej
- Port pro sériovou komunikaci RS232
- Port PS/2
- Čtyřmístný sedmi-segmentový LED displej
- Osm indikačních LED
- Čtyři tlačítka
- Osm posuvných spínačů
- Hodinový generátor 50 MHz
- Tři čtyřiceti-pinové rozšiřující konektory

Hlavní výhodou tohoto testovacího kitu, je integrace všech důležitých obvodových částí potřebných pro "Zařízení pro záznam dat" na jedné desce. Díky velkému počtu rozšiřujících portů, je možné připojit různé vstupní zařízení, jako je například AD převodník, nebo jiné periferie s velkým počtem výstupů. Rozšiřující konektory se zároveň využijí pro připojení přídatného modulu, který bude disponovat slotem pro paměťové karty.

3.2 Obvod FT232H

Integrovaný obvod FT232H, je jednokanálový USB 2.0 převodník, s podporou rozhraní UART a FIFO. Díky podpoře synchronních rozhraní s Multi-Protocol Synchronous Serial Engine (MPSSE), je na čipu přímo implementována podpora SPI, I2C, JTAG, nebo programovací rozhraní hradlových polí FPGA. Výhodou tohoto obvodu je kompletní integrace všech potřebných prvků na jediný čip. Díky tomu není potřeba v cílovém obvodu programovat podporu rozhraní USB. Obvod FT232H obsahuje také stabilizátor typu LDO o velikosti 1,8 V a 3,3 V. Od výrobce jsou k dispozici USB ovladače, podporující několik systémů [7]. Níže jsou uvedeny základní vlastnosti tohoto obvodu [2] .

- Jednokanálový převodník rozhraní USB na sériové a paralelní porty s libovolnou konfigurací
- Podpora USB rozhraní je kompletně implementována na čipu
- Podpora USB 2.0 Hi-Speed (480 Mbits/s) a USB 1.1 Full Speed (12 Mbits/s)
- Multi-protokolový synchronní sériový interface (MPSSE) podporuje rozhraní jako je USB, JTAG, I2C, SPI a další
- Maximální přenosová rychlost rozhraní UART je 12 Mbaud, což plyne z omezení RS232
- Maximální přenosová rychlost při asynchronním paralelním rozhraní FIFO 245 je až 8 MB/s
- Maximální přenosová rychlost při synchronním paralelním rozhraní FIFO 245 je více než 40 MB/s
- Podpora polo-duplexního rozhraní FT1248 se šířkou datové sběrnice 1, 2, 4 nebo 8 bitů
- Dostupnost knihoven pro Virtual Com Port (VCP) a přímé řízení (D2XX)
- Integrovaný LDO regulátor z 5 V na 3,3/1,8 V pro VCORE s funkcí POR
- Podpora automatického řízení přenosu umožňuje realizovat aplikace s rozhraním RS485
- Dostupné I/O umožňují konfiguraci maximálního výstupního proudu (4, 8, 12 nebo 16 mA), i rychlost přeběhu
- Rozšířený (průmyslový) rozsah provozních teplot od -40 °C do 85 °C
- Dostupné v kompaktních provedeních LQFP-48 a QFN-48

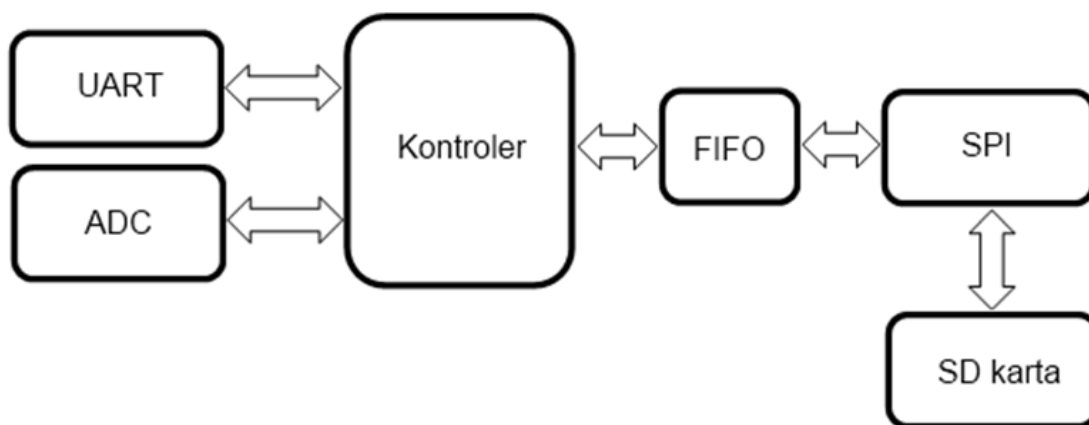
Každý komponent FTDI disponuje interní, nebo externí EEPROM pamětí, obsahující konfigurační data. Obvod může být napájen externě pomocí USB, s využitím integrovaného LDO regulátoru, nebo pomocí vlastního napájení. Pro konfiguraci paměti EEPROM slouží

program FTProg, který je dostupný na stránkách výrobce [2]. Nastavit lze například jméno, sériové číslo, identifikační číslo, nebo maximální odběr obvodu FTDI.

3.3 Vnitřní zapojení

Hlavní část programu určeného pro hradlové pole FPGA XC3S200, bude obstarávat sběr dat, například z AD převodníku či jiného zařízení a jejich následné ukládání na paměťové zařízení. Časování obvodu bude zajišťovat generátor časových impulzů o frekvenci 50 MHz. Zmiňovaný generátor bude také obstarávat časování modulu SPI. Pro tento modul je však nutné zajistit nižší pracovní frekvence, které jsou definovány rychlostí komunikace s paměťovými zařízeními.

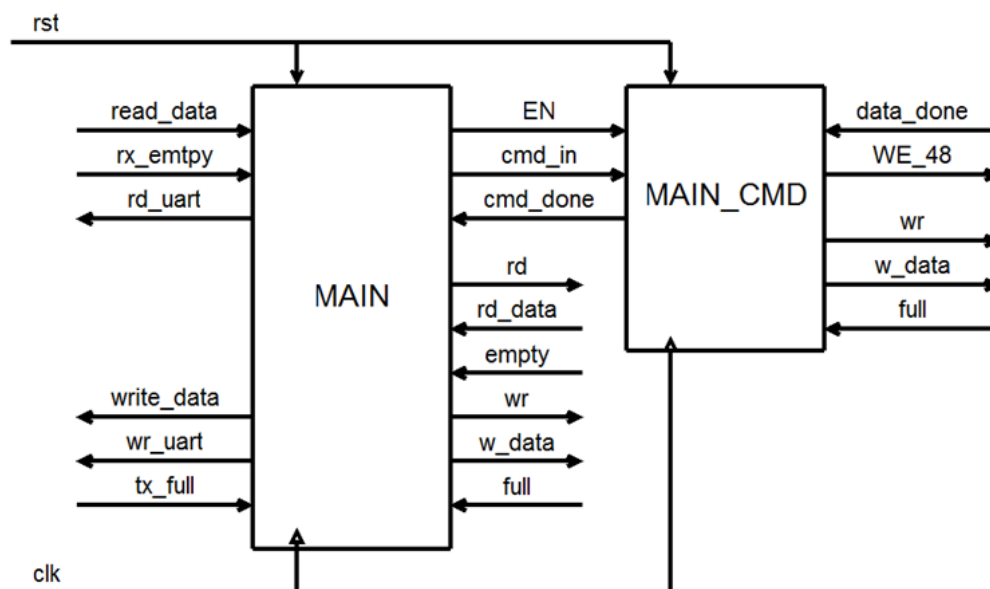
Komunikaci mezi paměťovou kartou a vlastním zařízením bude obstarávat modul UART, jehož součástí je paměť FIFO. Jeho časování bude zajišťovat generátor časových impulzů, který zároveň určuje rychlost odesílaných dat. K dočasnému ukládání příchozích dat a příkazů, čekajících na zpracování či uložení, bude sloužit paměť FIFO. Tato paměť může zároveň posloužit k synchronizaci datového signálu. Z paměti budou data následně zpětně vyčítána. Další paměť FIFO bude sloužit, jako dočasný zásobník dat vyčítaných z paměťové karty. Z této paměti budou data dále odesílána počítači pomocí rozhraní UART. Na následujícím obrázku je blokové zobrazení jednotlivých modulů a připojených periférií viz. Obr. 5.



Obr. 5: Blokové zapojení Zařízení pro záznam dat

V bloku "Kontroler" se nachází celkem dva moduly, viz. Obr. 6. První modul s názvem "Main" má na levé části připojeny porty komunikující se zařízením UART, přesněji s FIFO pamětí, která je jeho součástí. Na pravé straně jsou řídicí porty komunikující s modulem "Main_CMD", rozpoznávající jednotlivé příkazy. V pravé dolní části modulu "Main"

jsou porty pro zápis a čtení do paměti FIFO. Tato paměť je připojena k modulu SPI a byla navržena k přijímání a odesílání dat. Porty na pravé straně modulu "Main_CMD" slouží ke komunikaci s modulem SPI, pomocí něhož odesílá jednotlivé příkazy. Ke každému modulu je přiveden hodinový signál "clk" a signál resetu "rst".



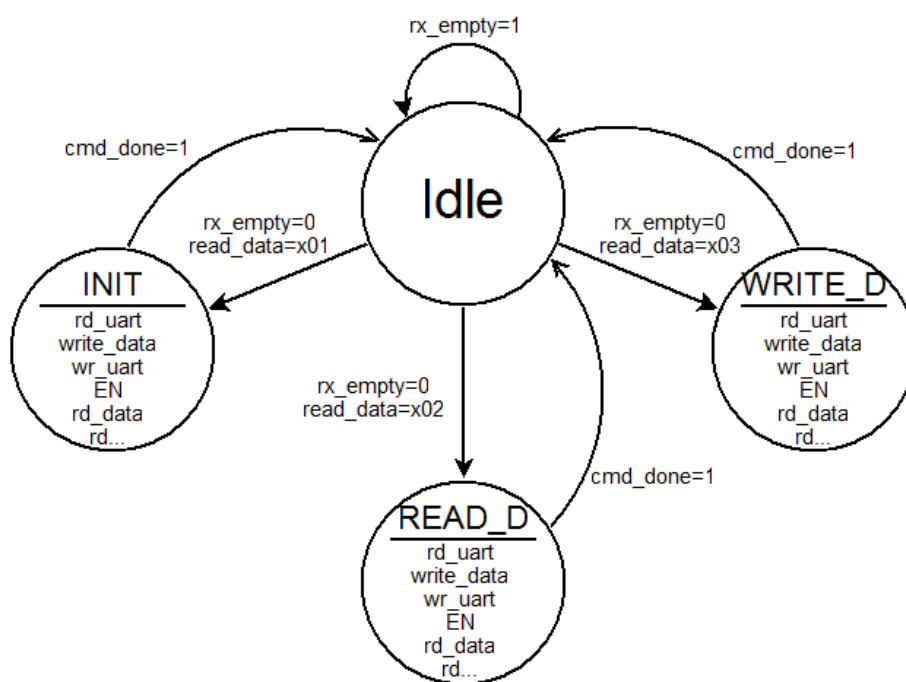
Obr. 6: Vnitřní zapojení bloku "Kontroler"

3.4 Návrh jednotlivých modulů

Modul SPI komunikující s paměťovou kartou je v návrhu připojen k dalším prvkům obvodu, které zajišťují přísun ukládaných dat, časování a datový prostor nezbytný pro dočasné ukládání přijatých dat. Vstupní a výstupní datový port SPI modulu je široký 8 bitů a samotný příkaz má šířku 48 bitů. V důsledku toho bylo nezbytné navrhnout modul, který bude obstarávat postupné odesílání částí příkazu po osmi bitech. Tento nadřazený modul lze zahrnout do hlavního modulu, který je v blokovém schématu pojmenován "Kontroler".

Nadřazený modul bloku SPI, disponuje porty, pomocí nichž je možné kontrolovat stav procesu odesílání dat a po dokončení odeslání celého příkazu či bloku dat, předávat tuto informaci řídicímu modulu. Vstupní datový port je široký 56 bitů a v případě aktivování vstupního portu, který spouští proces odesílání, nastane vyčítání dat z paměti FIFO, ve které jsou obsažena data k odeslání. Poslední bajt v celém příkazu obsahuje informaci o počtu bajtů, které jsou přijímány od paměťové karty, jako odpověď na daný příkaz. Hlavní funkci tvoří proces s několika stavy, které odesílají určitou část příkazu. Data získaná z paměťové karty jsou dále ukládána do druhé paměti FIFO, která je přístupná nadřazenému řídicímu modulu.

Řídicí modul "Main" je zahrnut ve schématu na obrázku Obr. 5 do bloku "Kontroler". Funkcí tohoto modulu je hned několik. Jako první je samotná inicializace paměťové karty. Při inicializaci se prověřuje například typ karty, podpora velikosti napájecího napětí a nastavuje se velikost datových bloků či rychlost komunikace. Řídicí modul pořizuje odpovědi z již zmíněné druhé paměti FIFO sloužící k ukládání příchozích dat z paměťové karty. Po dokončení inicializačního procesu čeká na příkaz, který může přijít po sériové lince pomocí rozhraní UART. Dále může obdržet příkaz k zápisu dat na paměťovou kartu, přicházející například z AD převodníku či jiného zařízení. V případě příchodu příkazu na čtení dat, řídicí modul obstarává veškerou komunikaci mezi paměťovým médiem a osobním počítačem. V první řadě komunikuje s modulem "Main_CMD", jehož funkcí je rozpoznávat typ příkazu a následně celý rámec příkazu ukládat do první paměti FIFO. Po této proceduře, aktivuje řídicí modul komunikačního rozhraní SPI, vyčkává na odeslání dat a obdržení odpovědi o dokončeném odeslání dat. Jestliže nenastane chyba, může postupně přijímat data a následně je odesílat pomocí modulu UART osobnímu počítači. Další možností, jak navrhnout tento řídicí modul, by bylo ponechání veškerých funkcí na aplikaci ovládající Zařízení pro záznam dat, která by odesílala požadované příkazy.

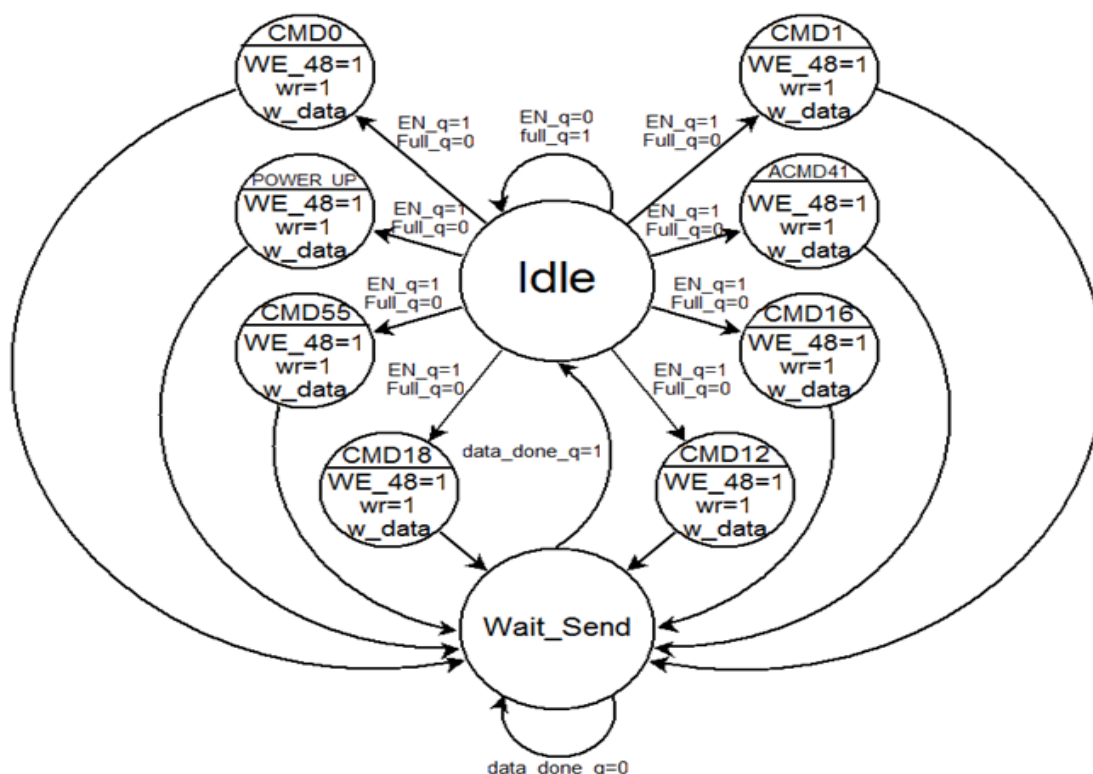


Obr. 7: Diagram řídicího modulu "Main"

Na obrázku Obr. 7 je zobrazen diagram řídicího modulu "Main". V klidovém stavu se nachází ve stavu "Idle". Pokud přijde prostřednictvím rozhraní UART příkaz, přejde

do dalšího stavu, v závislosti na číselné kombinaci příchozího příkazu. Stav "Init" spustí inicializaci paměťové karty. K dispozici má veškeré připojené moduly, které byly popsány výše. Stav "Read_D" má za úkol vyčítat data z paměťové karty. Po odeslání příkazu modulu "Main_CMD" a obdržení odpovědi, může vlastním procesem, který by ovládal modul SPI, vyčítat data. Stav "Write_D" je navržený k ukládání dat příchozích z jiné periferie. Stejně, jako při čtení, by modul odeslal příkaz pro zápis a následně by zapisoval prostřednictvím modulu SPI data na paměťové zařízení.

Modul pro odesílání příkazů zajišťuje vyhledání požadovaného příkazového rámce a následně tento příkaz ukládá do paměti FIFO. Hlavní instrukce jsou dodávány pomocí dvou portů. První port je čtyř-bitový a obsahuje číslo reprezentující určitý příkaz. Například hodnota 0x01 odpovídá příkazu CMD1. Druhý port má šířku 8 bitů a obsahuje hodnotu kontrolního součtu CRC, který musí být odeslán s každým příkazem v případě použití SD módu. K vyhledání požadovaného příkazu slouží proces, který nejprve nastaví počáteční hodnoty důležitých portů a signálů. Port "WE_48" slouží k aktivaci modulu pro postupné odeslání celého příkazového rámce. Port "wr" zde slouží k aktivaci zápisu do paměti FIFO. Na začátku procesu se také nastaví signál "state_cmd_next" na aktuální stav stavového automatu. Signál "state_cmd_next" představuje sekvenční část obvodu a signál "state_cmd_current" představuje kombinační část obvodu. Stavový automat nejprve zjišťuje aktuální stav signálu "state_cmd_current". V případě, že je aktuální stav ve stavu "Idle" a všechny požadované podmínky jsou splněny, rozpoznává typ příkazu, který je požadován k odeslání. Po uložení příkazového rámce do paměti FIFO a aktivování modulu pro odesílání dat, čeká na dokončení přenosu a následně se vrací do stavu "Idle". Na obrázku Obr. 8 je zobrazen diagram stavového automatu popisovaného modulu.

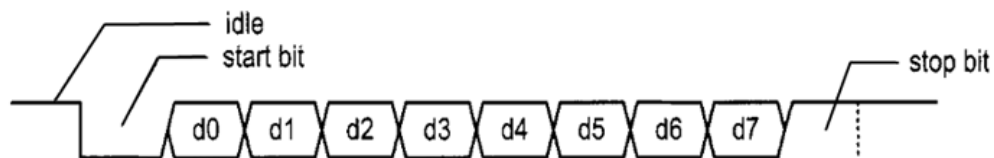


Obr. 8: Diagram stavového automatu pro rozpoznání příkazů

Modul UART obsahuje vlastní generátor časových impulsů a přijímací, odesílací část obvodu. Každý odeslaný či přijatý bajt začíná start bitem a končí stop bitem. Délka trvání stop bitu může být 16, 24 nebo 32 hodinových taktů pro 1, 1,5 nebo 2 stop bity. Velikost přenosové rychlosti je vypočítána pomocí následujícího vztahu (1), [3].

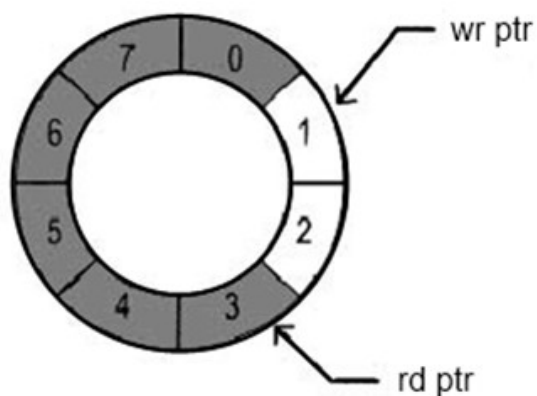
$$m = \frac{50 \cdot 10^6}{12000 \cdot 16} = 260 \quad (1)$$

Proměnná m představuje hodnotu potřebnou pro nastavení děličky. V případě taktovací frekvence o velikosti 50 MHz a přenosové rychlosti 12 000 Bd, potřebujeme děličku s hodnotou 260. Výstupem bude tedy opakující se cyklus, trvající 260 taktů základní taktovací frekvence. Na následujícím obrázku Obr. 9, je zobrazen datový rámec posílaný pomocí rozhraní UART. Modul UART společně s modulem FIFO byly implementovány z dostupné knihovny nacházející se v publikaci č. [3].



Obr. 9: Datový rámec přenášený prostřednictvím RS232 [3]

Modul paměti FIFO disponuje vstupním a výstupním datovým portem. Změnu bitové šířky paměťových buněk lze nastavit genericky pomocí konstanty "B" v modulu s názvem FIFO. Tento typ paměti má konečný počet vnoření neboli konečný počet adres. Tento počet, lze také genericky konfigurovat, nastavením konstanty "W", v již zmíněném modulu. Pro ovládání paměti slouží dva porty, kterými se spouští zápis nebo čtení do paměti. V případě přivedení logické jedničky na port "rd" se s hodinovým pulsem spouští čtení z paměti. Vyčítají se nejprve poslední zapsaná data. Port "wr" slouží k zápisu dat připravených na vstupním datovém portu w_data. Další dva porty "empty" a "full", slouží k informaci o prázdné či plné paměti. V paměti FIFO jsou dva ukazatele. První obsahuje adresu s volnou buňku, pro zápis a druhý adresu buňky, ze které se bude následně vyčítat. Na následujícím obrázku Obr. 10 je zobrazena funkční struktura této paměti. Ukazatelé se při jednotlivých úkonech čtení a zápisu posunují a neustále cirkulují.



Obr. 10: Zásobník FIFO založený na principu kruhové fronty [3]

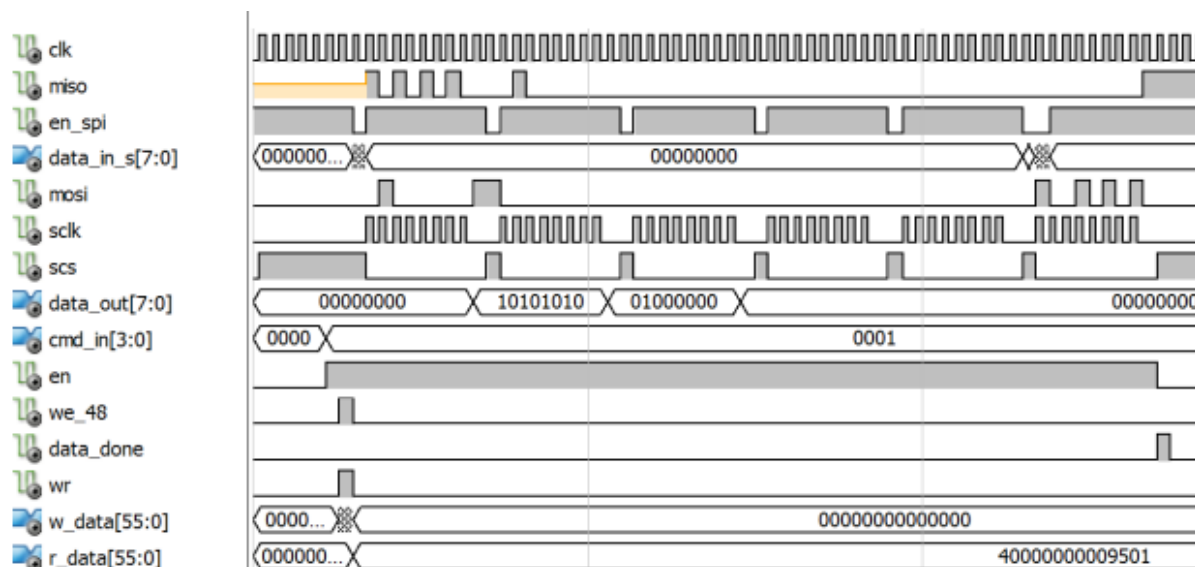
3.5 Seznam podporovaných příkazů

Navržený modul podporuje celkem osm příkazů. Příkazy obstarávají nejdůležitější procesy, potřebné pro řízení paměťové karty. Následující seznam obsahuje popis podporovaných příkazů.

- CMD0 - Příkaz resetuje paměťovou kartu a přivádí ji do klidového stavu.
- CMD1 - Příkaz požaduje informace o kapacitě karty a zahajuje inicializační proces. Na rozdíl od ACMD41 se tento příkaz používá u paměťových karet typu MMC a tenkých SD karet. Pro standardní SD karty je příkaz neplatný.
- ACMD41 - Příkaz požaduje informace o kapacitě karty a zahajuje inicializační proces.
- CMD55 - Tento příkaz předchází speciální příkazy ACMD.
- CMD16 - Příkaz nastavující velikost bloku dat.
- CMD18 - Čtení více bloků po sobě. Přerušení čtení se provádí příkazem CMD12.
- CMD12 - Přerušení čtení bloků.
- POWER_UP - V tomto případě se nejedná o běžný příkaz, ale o sekvenci hodinových signálů zasílaných před inicializací paměťové karty.

3.6 Simulace modulu SPI

Na obrázku Obr. 11 je zobrazena simulace modulu SPI. Prostřednictvím modulu pro rozpoznávání a ukládání příkazů do paměti FIFO, byl odeslán příkaz CMD1. Příkaz CMD1 představuje číselná kombinace přítomná na portu "cmd_in". Po aktivaci modulu pro postupné odesílání příkazového rámce, bylo odesíláno šest bajtů, které tvoří celý příkazový rámec. Po načtení prvního bajtu na port "data_in_s" se přivede logická 0 na port "en_spi", tím se aktivuje odesílání osmi bitů prostřednictvím portu "mosi". K potvrzení odeslaného bajtu slouží port "scs". Přijímaná data ze zařízení "slave" přichází pomocí portu "miso". Během odesílání tohoto příkazu se však žádná data neukládají. Odpovědní rámec přichází, až po odeslání celého příkazu. Informaci o odeslání celého příkazového rámce zajišťuje port "data_done". Port "en" patří modulu pro postupné odesílání příkazového rámce. V dolní části obrázku se nachází port "wr", "w_data" a port "r_data". Tyto porty jsou součástí modulu FIFO, ze kterého jsou vyčítány příkazy potřebné k odeslání.



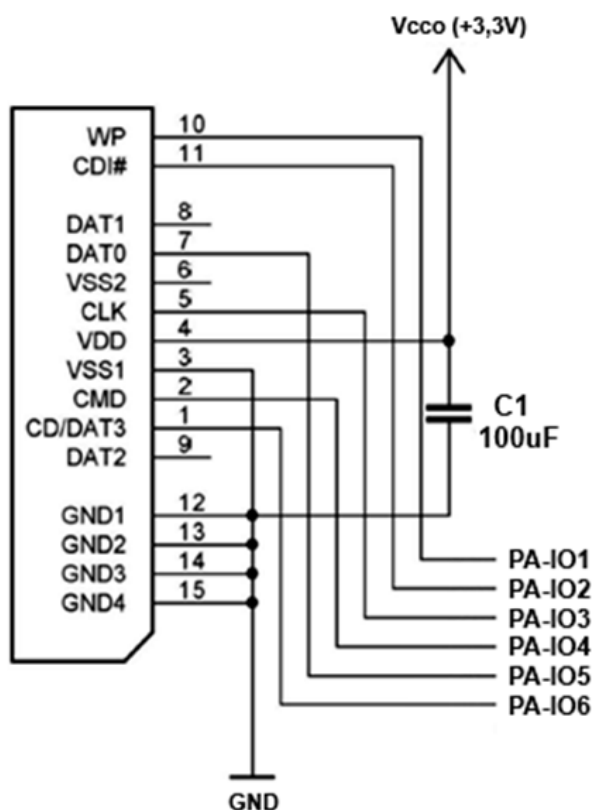
Obr. 11: Simulace modulu SPI v prostředí ISim

3.7 Obvodové zapojení přídatného modulu

Jak již bylo řečeno, k převodu mezi rozhraním USB a asynchronním rozhraním UART, byl navrhnout obvod FT232H. Obvod může být napájený prostřednictvím zařízení USB. Ve vytvořeném návrhu, viz. Příloha č. 1, byla využita možnost vlastního napájení. Napájení o velikosti 3,3 V, je přivedeno prostřednictvím kolíkového konektoru na pin číslo 17, což odpovídá pinu číslo 3 testovacího kitu Spartan-3. K hlavnímu obvodu je připojena externí paměť typu EEPROM, obsahující konfigurační data pro zařízení USB. V případě nepřipojení paměti, jsou pro identifikaci USB zařízení použita implementovaná konfigurační data a obvod je implicitně nastaven jako asynchronní sériové rozhraní UART. Časování obvodu je zajištěno oscilátorem Q1 o velikosti 12 MHz. K dispozici jsou také LED diody, indikující průběh komunikace po sériové lince. LED1 a LED2 indikují komunikaci na portu TX a RX. Poslední led dioda LED3 indikuje přívodní napájení. Dvaceti-pinový konektor SV1 slouží k připojení zařízení k testovacímu kitu Spartan-3. Nepřipojené piny 12 až 20 jsou určeny k připojení slotu pro paměťové karty. USB slot X1 slouží ke komunikaci mezi zařízením a osobním počítačem.

Navržený obvod pro zapojení paměťové karty disponuje slotem pro SD karty a blokovacím kondenzátorem k omezení nežádoucího šumu. Napájení o velikosti 3,3 V může být přivedeno z testovacího kitu Spartan-3 Starter Kit board, o jehož distribuci se stará napěťový regulátor LM1086CS-ADJ. Toto napětí je přivedeno na pin číslo 3, všech tří rozšiřujících portů testovacího kitu. Pro připojení datové sběrnice může být konkrétně využito rozšiřujícího slotu A, který lze využít k sériové komunikaci s připojenými perifériemi.

Na následujícím obrázku Obr. 12 je zobrazeno jednoduché zapojení slotu pro paměťové karty s využitím režimu SPI.



Obr. 12: Zapojení slotu pro paměťové karty v režimu SPI [1]

Port WP (Write Protect) a port CDI# (Card In) může sloužit k informování hostitelského zařízení o přítomnosti karty ve slotu a o stavu mechanického přepínače pro povolení zápisu dat na paměťovou kartu. V případě nepřítomnosti karty ve slotu, jsou oba výstupy nastaveny na logickou nulu. Význam jednotlivých pinů je popsán v tabulce Tab. 2.

3.8 Návrh ovládacího programu

Pro další zpracování uložených dat na paměťové kartě, je potřeba navrhnout aplikaci komunikující se Zařízením pro záznam dat. Komunikace bude probíhat pomocí virtuálního sériového portu, který vytvoří nainstalovaný ovladač obvodu FT232H. Samotný fyzický přenos dat bude zajištěn pomocí rozhraní USB, které je v zařízení obvodem FT232H zpětně převedeno na rozhraní UART. Aplikace bude zajišťovat čtení uložených dat z paměťové karty připojené k zařízení. Přijatá data budou dále ukládána na pevný disk osobního počítače. Aplikace se bude ovládat pomocí jednoduchého uživatelského prostředí, které bude kompatibilní se systémem Windows.

Samotný program nebude disponovat informací o velikosti uložených dat na paměťovém zařízení, proto bude nutné tuto informaci zjistit ze Zařízení pro záznam dat. Další možností, by bylo vyčtení veškerých uložených dat. Hlavní funkcí programu bude tedy odeslat příkaz ke čtení dat a následně čekat na odpověď, ve které by zároveň byla informace o velikosti uložených dat. V případě, že Zařízení pro záznam dat nebude vykonávat jiný proces, vyšle kladnou odpověď na požadavek čtení a začne vyčítat uložená data z paměťového média. Po přijetí veškerých dat bude mít uživatel možnost data ve stejné formě a bez jakýchkoli úprav uložit na pevný disk osobního počítače.

Díky vytvořenému virtuálnímu portu, se při programování může k sériovému portu COM přistupovat, jako při běžné obsluze fyzicky dostupného portu. K vytvoření virtuálního portu slouží ovladač VCP. Další možností by bylo, využití ovladače D2XX, který je stejně jako ovladač VCP dostupný na domovských stránkách výrobce. Tento ovladač prezentuje USB zařízení jako sériový port. Výhodou využití tohoto ovladače spolu s knihovnou FTD2XX.dll je usnadnění práce při programování aplikace. Díky speciálním funkcím, se nemusí příliš brát ohled na koncové komunikační rozhraní, které se převádí na rozhraní USB. Zápis a čtení dat, je díky těmto funkcím stejný, bez ohledu na využívané rozhraní.

4 Závěr

V Bakalářské práci jsem navrhl zařízení pro ukládání dat na paměťovou kartu. V první části nás text seznamuje s jazykem VHDL, který slouží k programování samotného zařízení. V teoretické části se také zmiňují o obvodu FPGA, který tvoří řídicí jednotku celého zařízení. Dále jsou popsány protokoly pro komunikaci s SD kartou. Většina teoretické části práce popisuje komunikaci s paměťovým médiem, jednotlivé příkazy, odpovědi a důležité registry SD karty. Praktická část práce se zaměřuje na návrh zařízení a na návrh aplikace určené ke komunikaci se Zařízením pro záznam dat.

Podařilo se navrhnout zařízení pro záznam dat se všemi potřebnými rozhraními. Ke komunikaci s paměťovou kartou bylo vybráno rozhraní SPI. Tento modul se také s částí řídicího obvodu podařilo popsat pomocí jazyka VHDL. Pro zvýšení přenosové rychlosti by bylo vhodné využít čtyřbitového rozhraní SD. Jednotlivé části zařízení byly také simulovány v prostředí programu ISim. Ke komunikaci mezi zařízením a osobním počítačem byl vybrán obvod FT232H, který převádí rozhraní UART na dnes již dostupnější rozhraní USB. K tomuto obvodu se podařilo navrhnout elektronické schéma, které je možné po zhotovení připojit k testovacímu kitu Spartan-3. V závěru práce se krátce zmiňuji o možném postupu, při vytváření aplikace obsluhující navržené zařízení.

5 Seznam použité literatury

- [1]. ČALOUN, P. *Hlasový výstup elektronického systému*. Sezimovo Ústí: Vyšší odborná škola Střední škola Centrum odborné přípravy, 2008, s. 30. Dostupné na WWW: http://petrcaloun.sweb.cz/files/Project_Caloun_PIC_SD.pdf
- [2]. FTDIL. *FT232H SINGLE CHANNEL HI-SPEED USB TO MULTIPURPOSE UART/FIFO IC*. [cit. 2011-25-11]. Dostupné z WWW: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232H.pdf
- [3]. Chu, P., P. *FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version*. Hoboken (New Jersey): John Wiley & Sons, 2008, s. 440. ISBN 978-0-470-18531-5.
- [4]. Karthikeya. *Serial Peripheral Interface (SPI) for FPGA*. Dostupné z WWW: <http://electronicsbus.com/serial-peripheral-interface-spi-design-fpga-vhdl-verilog>
- [5]. Král, J. *Řešené příklady ve VHDL: Hradlová pole FPGA pro začátečníky*. Praha: BEN - technická literatura, 2010, s. 128. ISBN 978-80-7300-257-2.
- [6]. Pinkner, J., Poupa, M. *Číslicové systémy a jazyk VHDL*. Praha: BEN - technická literatura, 2006, s. 352. ISBN 80-7300-198-5.
- [7]. *Představení obvodů FT232H*. [cit. 2011-03-09]. Dostupné z WWW: http://pandatron.cz/?2604&predstaveni_obvodu_ft232h
- [8]. SD GROUP; SD CARD ASSOCIATION. *SD Specifications: Physical Layer :Simplified Specification*. San Ramon (Calif.) : SD Card Association, Březen 18, 2010 [cit. 2007-21-10]. Dostupné na WWW: https://www.sdcard.org/downloads/pls/simplified_specs/Part_1_Physical_Layer_Simplified_Specification_Ver_3.01_Final_100518.pdf

6 Seznam symbolů a zkratek

ACMD	Application Command - aplikační příkaz
AD	Analog to Digital converter - analogově digitální převodník
CID	Card Identifier - identifikační údaje karty
CLK	Clock signal - hodinový signál
CMD	Command - příkaz, port CMD
CRC	Cyclic Redundancy Check - cyklický redundantní součet
CSD	Card Specific Data - specifikační údaje karty
DAT	Data line - datová linka
DRM	Digital Rights Management - správa digitálních zpráv
EEPLD	Electrically Erasable PLD - elektronicky smazatelný PLD
EEPROM	Electrically Erasable Programmable Read-Only Memory
eXFAT	Extended File Allocation Table - rozšířená alokační tabulka souborů
FAT	File Allocation Table - alokační tabulka souborů
FIFO	First In, First Out - první dovnitř, první ven (Fronta - datová struktura)
FPGA	Field Programmable Gate Array - programovatelné hradlové pole
I2C	Inter-Integrated Circuit - dvou vodičové komunikační rozhraní
ICSP	In Circuit Serial Programming - sériové programování v obvodu
I/O	Input/Output - vstup/výstup
ISP	In System Programming - programování uvnitř obvodu
JTAG	Joint Test Action Group
LDO	Low-dropout regulator - regulátor s nízkým úbytkem napětí
LED	Light Emitting Diode - dioda emitující světlo
LQFP	Low profile Quad Flat Package - typ pouzdra
LUT	LookUp Table - vyhledávací tabulka
MISO	Master In Slave Out - řídící zařízení do, podřízené zařízení z
MMC	Multi Media Card

MOSI	Master Out Slave In - řídící zařízení z, podřízené zařízení do
MPSSE	Multi-Protocol Synchronous Serial Engine - multi-protokolový synchronní modul
MS	Memory Stick
PC	Personal Computer - osobní počítač
PLA	Programmable Logic Array - programovatelné logické pole
PLD	Programmable Logic Device - programovatelný logický obvod
POR	Power-on reset - reset při zapnutí
QFN	Quad Flat No Leads
RAM	Random Access Memmory - paměť s přímým přístupem
SCLK	Slave Clock - hodinový signál pro podřízené zařízení
SD	Secure Digital
SDHC	Secure Digital High Capacity
SDIO	Secure Digital Input Output
SDXC	Secure Digital eXtended Capacity
SM	Smart Media
SPI	Serial Peripheral Interface - sériové periferní rozhraní
SS	Slave Select - výběr podřízeného zařízení
USART	Universal Synchronous/Asynchronous Receiver/Transmitter - univerzální synchronní/asynchronní přijímač/vysílač
USB	Universal Serial Bus - univerzální sériová sběrnice
UHS	Ultra-High Speed - ultra vysokorychlostní
vCore	Core Voltage - napětí jádra
VCP	Virtual Com Port - virtuální sériový port
Vdd	Positive supply voltage - kladné napájecí napětí
VHDL	VHSIC hardware description language - jazyk pro popis elektronických obvodů
VHSIC	Very High Speed Integrated Circuits - velmi rychlé integrované obvody

Vss	Negative supply voltage - uzemnění
WP	Write Protect

7 Seznam příloh

Příloha č. 1: Schéma zapojení obvodu FT232H	43
---	----

Příloha č. 1: Schéma zapojení obvodu FT232H

