

DESIGN OF A SIGMA DELTA AD CONVERTER FOR SENSOR APPLICATIONS

Lukáš Pěček

Master Degree Programme (2), FEEC BUT

E-mail: xpecek03@stud.feec.vutbr.cz

Supervised by: Vilém Kledrowetz

E-mail: kledrowetz@feec.vutbr.cz

Abstract: This paper presents the design of an AD converter for a sensor application of junction temperature measurement in the demanding automotive environment. A modified continuous time current mode first order single bit $\Sigma\Delta$ modulator structure was designed in ONC18/I4T technology. Its advantage lies in shifting and extending an input voltage range to work with signals from 0 V to 1.2 V with a high impedance input, low hardware complexity and low power consumption.

Keywords: sigma delta, modulator, AD converter, continuous time

1 ÚVOD

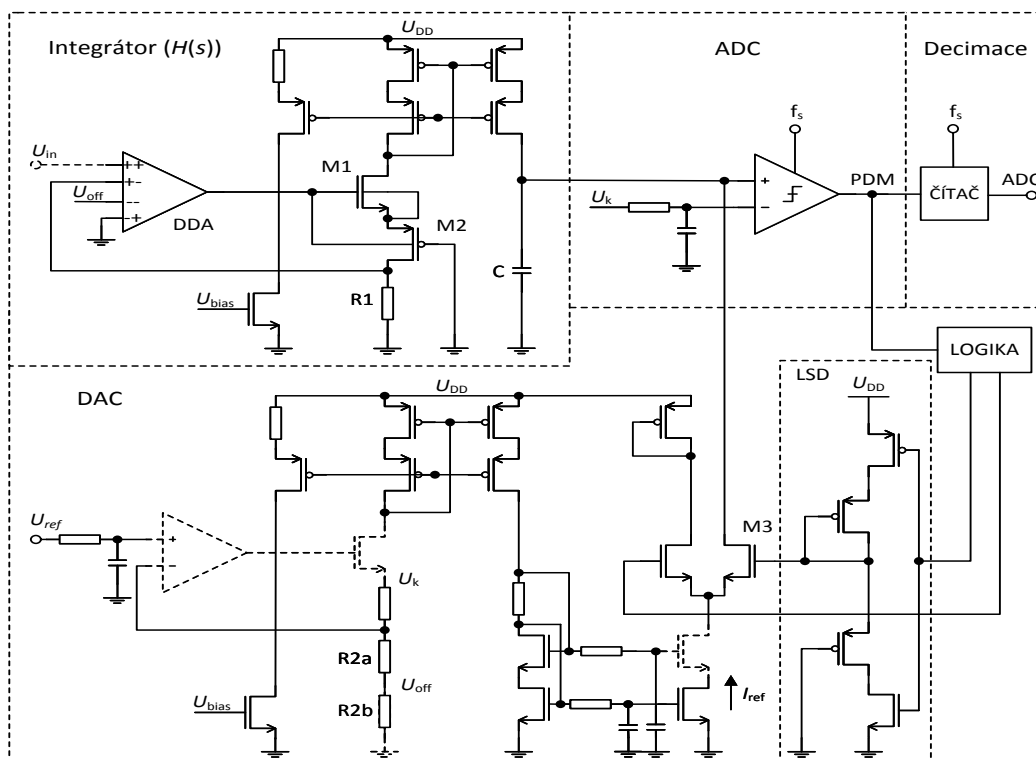
Převodníky $\Sigma\Delta$ nacházejí uplatnění v mnoha oblastech zpracování signálů s požadavky na vysoké rozlišení při úzké šířce pásma, jako jsou např. audio nebo měřicí aplikace. Funkce převodníku je založena na obvodu modulátoru se zpětnovazební smyčkou udržující na jednobitovém digitálním výstupu střední hodnotu odpovídající vstupnímu signálu (PDM). Využívá se procesu převzorkování s tvarováním šumu a následného digitálního zpracování decimálním filtrem. Výhody časově spojitě implementace modulátoru oproti diskretní realizaci se spínanými kapacitami spočívají především v menších nárocích na rychlost aktivních prvků a implicitnímu antialiasingovému filtru [1].

2 OBVODOVÁ REALIZACE NAVRŽENÉ STRUKTURY

Navržena byla struktura časově spojitěho modulátoru $\Sigma\Delta$ prvního řádu pracujícího v proudovém režimu (obrázek 1). Rozsah převodníku je vhodně posunut a rozšířen tak, aby i při napětích blízko referenčním hodnotám 0 V a 1,2 V nedocházelo k typickému propadu *SNDR*. Ke vstupu je pomocí diferenčně diferenciálního OZ (DDA) přičteno napětí zavádějící definovanou chybu nuly. Digitální kód odpovídající tomuto posunutí se následně od převedené hodnoty po decimaci odečte. DDA spolu s rezistorem R_1 tvoří převodník napětí na proud (U/I), kterým je nabíjen MOSCAP kondenzátor C . Dohromady tak tvoří integrátor s vysokoimpedančním vstupem představující základní blok modulátoru. Vlastnost, že i při nulovém vstupním napětí protéká převodníkem U/I proud, je výhodná i z pohledu tranzistoru M_1 , kdy nedochází ke ztrátě jeho transkonduktance. Pro snížení rozkmitu na výstupu DDA slouží tranzistor M_2 . Ten je při nízkém vstupním napětí v saturačním režimu, čímž zajišťuje dostatečné napětí na source tranzistoru M_1 a tím i na výstupu DDA. Naopak při vysokých vstupních napětích pracuje v lineární oblasti, kdy je na něm minimální úbytek.

Základ bloku DAC ve zpětné vazbě modulátoru tvoří generátor proudu z referenčního napětí pomocí OZ a rezistoru R_2 . Hodnota referenčního proudu je vůči proudu daného transkonduktancí převodníku U/I integrátoru povýšena o dvojnásobek zavedené chyby nuly tak, aby pracovní vstupní rozsah převodníku ležel ve středu skutečného rozsahu. Proud DAC je spínán k integračnímu kondenzátoru C , nebo k napájení, čímž je zajištěna funkce tranzistorů proudového zrcadla vždy v saturačním režimu a tím i malého zpoždění při spínání, které je řízeno generovanými nepřekrývajícími se signály. Je použit NRZ (Non Return to Zero) tvar pulzů, jehož nedokonalosti, např. přeskmy, nesymetrie hran apod., se projevují v nelinearitě převodníku a ovlivňují jeho přesnost. Proto

bylo navrženo řízení tvořené modifikovaným invertorem s omezeným výstupním rozkmitem (LSD), který redukuje chybu vzniklou injekcí náboje při spínání M_3 .

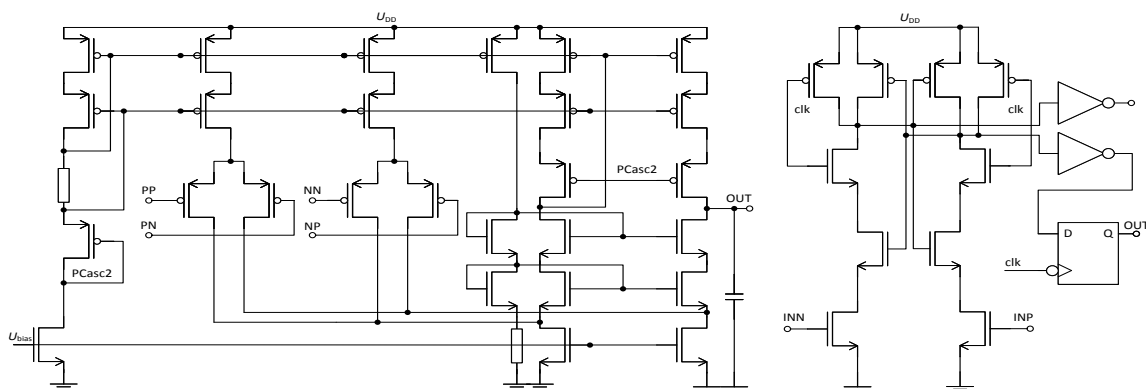


Obrázek 1: Navržená struktura převodníku AD.

Na obrázku 2 je zobrazeno zapojení DDA využítoho pro realizaci integrátoru a posunutí vstupního pracovního rozsahu převodníku. Je tvořen OZ se složenou kaskodou s dvěma vstupními diferenčními páry, které při záporné zpětné vazbě zajišťují rovnost: $(U_{pp} - U_{pn}) = (U_{np} - U_{nn})$. Pro dosažení dostatečného zisku v celém výstupním rozsahu OZ je použito trojitě kaskody i přesto, že v krajních polohách vždy jeden její tranzistor pracuje v triodové oblasti.

Kvantizační obvod je tvořen spínaným komparátorem Lewis – Grey ukázaným na obrázku 2, jenž dosahuje nízké spotřeby a spínacího rušení na svých vstupech. RC filtr dále potlačuje pronikání spínacího rušení do obvodu reference DAC, ze které je získána rozhodovací úroveň komparátoru.

Jako digitální filtrační a decimační blok slouží průměrovací filtr, který je ve své nejjednodušší variantě realizován resetovatelným čítačem. Pro dosažení rozlišení 8 bitů i se zavedeným rozšířeným rozsahem převodníku je zapotřebí 290 stavů, čemuž pak odpovídá i velikost koeficientu převzorkování. Při vzorkovací frekvenci 20 MHz je tedy šířka užitečného pásma modulátoru asi 35 kHz.

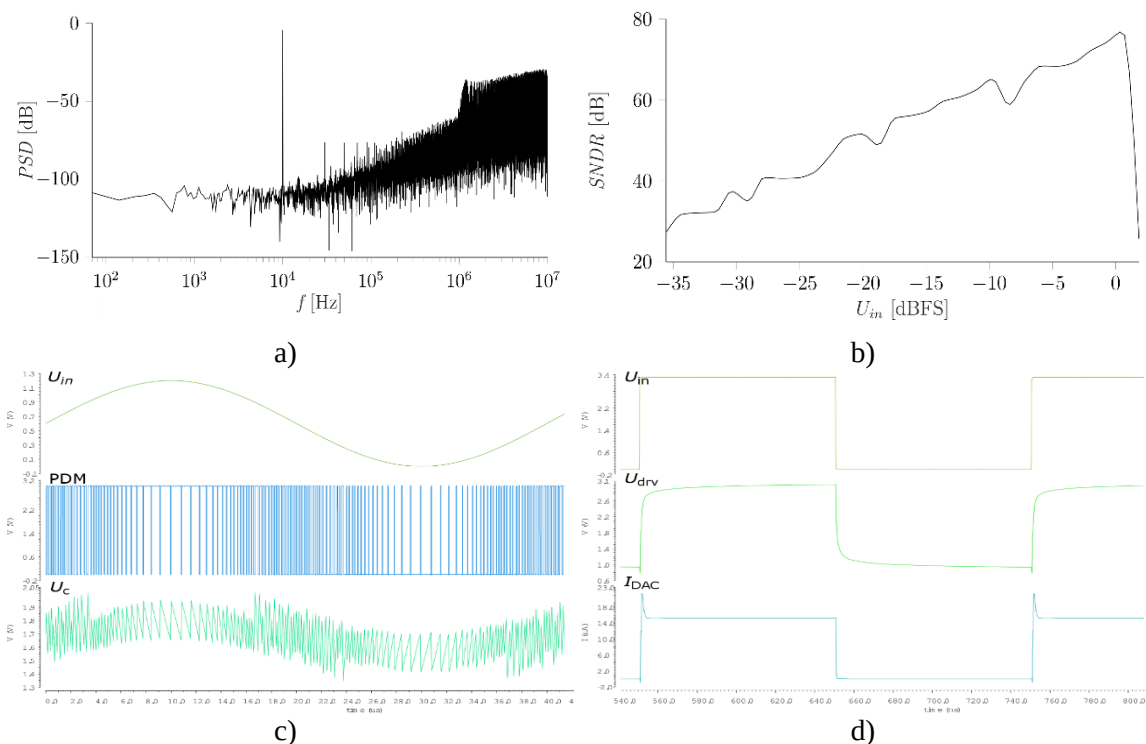


Obrázek 2: Zapojení DDA (vlevo) a zapojení komparátoru (vpravo)

3 SIMULACE

Behaviorálním návrhem v Matlabu bylo nejdříve provedeno ověření koncepce a definice parametrů. V prostředí Cadence pak byla simulována funkčnost na tranzistorové úrovni v celém teplotním rozsahu od $-40\text{ }^{\circ}\text{C}$ do $175\text{ }^{\circ}\text{C}$, napájecím napětí 3 – 3,6 V a toleranci technologie ONC18/I4T.

Rozložení výkonové spektrální hustoty modulátoru $\Sigma\Delta$ pro sinusový signál o frekvenci 10 kHz zobrazuje obrázek 3 a). Na obrázku 3 b) je ukázána závislost dosaženého SNDR na velikosti amplitudy vstupního signálu. Podle očekávání dochází k propadu SNDR až při amplitudách vyšších, než je pracovní rozsah převodníku. Obrázek 3 c) přibližuje funkci modulátoru s průběhy vstupního napětí, výstupního PDM signálu a napětí na integračním kondenzátoru. Na obrázku 3 d) jsou pak zobrazeny průběhy DAC na jeho vstupu, hradle spínacího tranzistoru M_3 řízeného invertorem s omezeným rozkmitem a výstupního proudu, u kterého je patrný jen mírný překmit při sepnutí.



Obrázek 3: a) Rozložení výkonové spektrální hustoty modulátoru b) Závislost SNDR na amplitudě vstupního signálu c) Průběhy signálů v uzlech modulátoru d) Průběhy signálů DAC

4 ZÁVĚR

Ve výrobní technologii ONC18/I4T (180 nm) společnosti ON Semiconductor byla navržena upravená struktura modulátoru $\Sigma\Delta$ v časově spojitě doméně pracujícího v proudovém režimu. Zapojení je určeno pro integraci do obvodů sensorů pro automobilové prostředí vyznačující se vysokým rozsahem pracovních teplot od $-40\text{ }^{\circ}\text{C}$ do $175\text{ }^{\circ}\text{C}$. Výhoda navrženého převodníku AD spočívá v posunutí a rozšíření vstupního napěťového rozsahu pro zpracování signálů od 0 V do 1,2 V při vysoké vstupní impedanci, použití pouze nelineárních MOSCAP kondenzátorů, nízké obvodové komplexnosti a tím i následné plochy na čipu a nízké spotřeby, jenž typicky dosahuje pouhých 80 μA . Převodník má rozlišení 8 bitů při vzorkovací frekvenci 20 MHz a šířce pásma 35 kHz.

REFERENCE

- [1] CHERRY, James A. a W. Martin SNELGROVE. *Continuous-time delta-sigma modulators for high-speed A/D/ conversion: theory, practice, and fundamental performance limits*. Boston: Kluwer Academic Pub., c2000. ISBN 978-0-7923-8625-4.